


УДК 004.051+004.272+004.318+004.382+004.8+004.9

 10.25209/2079-3316-2025-16-5-43-514

Вокруг условного 4-го поколения современных серверных процессоров AMD и Intel: их микроархитектура и производительность соответствующих вычислительных систем

Михаил Борисович Кузьминский[✉]

Институт органической химии им. Н. Д. Зелинского РАН, Москва, Россия

[✉]kus@free.net

Аннотация. Обзор посвящен особенностям микроархитектуры и производительности процессоров Intel Xeon – масштабируемых процессоров 4-го поколения (с микроархитектурой Sapphire Rapids-SP, далее Xeon SPR), 5-го поколения (Emerald Rapids-SP, далее Xeon EMR), и разных классов процессоров AMD EPYC архитектуры Zen 4, а также вычислительным системам на их основе. Анализируются данные о моделях Xeon SPR (и Xeon SPR с памятью HBM, то есть Xeon Max), Xeon EMR и процессорах AMD EPYC 9004 (хотя приведены и краткие данные о EPYC 8004 и 4004).

Эти процессоры отнесены в обзоре к условному 4-му поколению Xeon и EPYC. Сопоставления проводятся и с масштабируемыми процессорами Xeon 3-го поколения – Ice Lake-SP (далее Xeon ICL), Cooper Lake-SP, с AMD EPYC с архитектурой Zen 3 (Milan), а также иногда с процессорами ARM-архитектуры и GPU.

Кратко обсуждаются средства разработки программ (SDK) для процессоров 4-го поколения, имеющие важное значение для достигаемой производительности. В связи с применением чиплетов или использованием HBM-памяти в рассматриваемых процессорах AMD и Intel особое внимание обращается на поддерживаемые варианты NUMA.

Анализируется также аппаратная поддержка средств обеспечения безопасности для задач виртуализации, которые теперь часто применяются и в области высокопроизводительных вычислений (HPC).

Данные о производительности в обзоре охватывают широкий спектр областей применения, характерных для серверов с этими процессорами. Но основное внимание уделяется HPC и, в меньшей степени, задачам ИИ.

Рассматриваемые процессоры анализируются с точки зрения построения с ними гомогенных или содержащих GPU гетерогенных серверов и вычислительных систем на их основе (кластеров и суперкомпьютеров).

Анализируется также начальная информация о новейших процессорах Intel Xeon 6 Granite Rapids и AMD EPYC Zen 5 Turin, включая первые данные об их производительности.

Сделаны выводы общего характера о состоянии и образовавшихся тенденциях развития таких процессоров x86. *(Здесь только русскоязычная часть оригинальной двуязычной статьи)*

Ключевые слова и фразы: x86, Zen 4, Genoa, Bergamo, Zen 5, Turin, Sapphire Rapids, Xeon Max, Emerald Rapids, Xeon 6, Granite Rapids, микроархитектура, производительность, HPC, ИИ, суперкомпьютеры

Для цитирования: Кузьминский М. Б. *Вокруг условного 4-го поколения современных серверных процессоров AMD и Intel: их микроархитектура и производительность соответствующих вычислительных систем* // Программные системы: теория и приложения. 2025. Т. 16. № 5(68). С. 43–514. https://psta.psiras.ru/read/psta2025_5_43-514.pdf

Введение

Современные процессоры x86-64 от Intel и AMD по-прежнему остаются наиболее распространенными серверными процессорами в мире для самых разных областей применения. В области суперкомпьютеров это легко увидеть из списка TOP500 [1]. Это же имеет место и для всех областей высокопроизводительных вычислений (HPC) и ИИ, хотя для таких задач процессоры x86-64 очень активно используются также в гетерогенных серверах совместно с GPU [2]. Среди тех областей, в которых GPU по-прежнему не применяются, указываются, например, и задачи ядерной безопасности [3].

Для уточнения сравнительных показателей производительности таких процессоров и GPU полезно сразу дать иллюстрацию. Например, в [4] показано, что на двухпроцессорной (2P-) системе с Intel Xeon Platinum 8480+ при умножении квадратных матриц разных размеров достигается производительность, очень близкая к получаемой на одном GPU Nvidia A100 без использования тензорных ядер, но энергопотребление GPU гораздо ниже.

Но современные суперкомпьютеры часто строятся и на гомогенных узлах без применения ускорителей. Из 50 самых мощных суперкомпьютеров ноябрьского списка TOP500 2023 года [5] на гомогенных серверах с процессорами x86-64 от Intel и AMD построено 22%, в том числе с применением новейших процессоров четвертого поколения, рассматриваемых в данном обзоре. Хотя появление суперкомпьютеров с новейшими GPU уменьшило эту долю в июньском списке TOP500 2024 года до 14%, в TOP500 появляются и новые суперкомпьютеры с гомогенными узлами.

В обзоре анализируются только серверные процессоры x86-64, они будут далее для краткости именоваться просто x86. Под поколениями процессоров x86 далее подразумеваются поколения AMD EPYC Zen-архитектур и масштабируемых процессоров Xeon.

В частности, AMD EPYC Zen 4 и масштабируемые процессоры Xeon четвертого и пятого поколения (Xeon SPR и Xeon EMR), которым далее уделяется основное внимание, отнесены к условному четвертому поколению x86.

Лидирующими по пиковой производительности (14 TFLOPS для FP64) в мире сегодня стали китайские RISC-процессоры SW39000 [6], но они ориентированы в основном на суперкомпьютер Sunway.

В мире расширяется применение серверных ARM-процессоров, но они не достигли уровня однозначного опережения x86 по производительности, что имело место и при появлении Fujitsu A64FX [7]. В основном ARM конкурируют с x86 по энергоэффективности (отношению производительности к энергопотреблению) и при использовании облачной технологии (см., например, [8–10]), хотя успехи ARM наблюдались и в отношении стоимость/производительность (см., например, [11]).

Применение новых серверных ARM-процессоров в HPC могло бы начать расширяться за счет использования высокопроизводительных ARM-процессоров на базе архитектуры Neoverse V2, но кроме 72-ядерного Nvidia Grace в гетерогенных системах с GPU Nvidia H100 и H200 (см., например, данные [2, 12]) к моменту написания обзора известно только о 96-ядерном Amazon AWS Graviton 4, а данные, демонстрирующие их существенные успехи в производительности по сравнению с x86, практически отсутствуют.

Интересное сопоставление микроархитектуры ARM Neoverse V2 в Nvidia Grace Superchip и рассматриваемых в обзоре процессоров x86 проведено в [13], где отмечается соревнование Nvidia, Intel и AMD в гонке за лучший процессор. Однако сопоставление процессоров четвертого поколения Intel и AMD с ARM в практическом плане интересно на основе реальной производительности, а не на основе собственно микроархитектуры, и данные в том числе и из [13] говорят о четкой конкурентоспособности Grace в основном для серверов с GPU, где важна более высокая пропускная способность памяти для Nvidia Grace — за счет применения более дорогой памяти LPDDR5X (если не учитывать Xeон Max с еще более дорогой HBM).

Важной также бывает задача оптимального выбора процессора для специфических приложений [14].

Лидерство процессоров x86 по производительности относительно других процессоров не имеет отношения к преимуществам или недостаткам CISC по сравнению с RISC, поскольку аппаратура x86 давно переводит свои команды с ISA x86 в микрооперации RISC-архитектуры, которые и выполняются [15, 16]. Этот факт можно рассматривать как подтверждение преимущества RISC, как и недавнее APX-расширение ISA Intel [17], где будет применяться скорее характерное для RISC большее число регистров общего назначения и команды, работающие с тремя регистрами.

Но реально на внеочередную (OoO, Out-of-Order) обработку команд сегодня требуется весьма много аппаратуры в каждом ядре процессора. Для OoO нужна аппаратная поддержка планирования исполнения последующих команд на свободных исполнительных блоках, предсказание переходов и другие компоненты фронт-энд части современных суперскалярных процессоров, дающие возможность одновременно выполнять по мере доступности исполнительных блоков максимально возможное число команд. На это уходит больше ресурсов, чем требуется из-за различий CISC и RISC.

Появившиеся очень давно дискуссии на тему RISC vs CISC активизировались во время появления ARM [18–20], и поныне продолжают и в Internet. О фактической «пренебрежимости» преимуществами RISC или CISC говорилось уже давно [20]. По мнению автора, для задач

максимизации производительности в настоящее время более справедливой является точка зрения о пренебрежимости отличия между RISC и CISC-архитектурами по сравнению с используемыми современными сложными реализациями фронт-энд части соответствующих суперскалярных микропроцессоров (см., например, [21]). Важнее могут оказаться отличия собственно исполнительных устройств разных архитектур процессоров.

Преимущества современных моделей x86 сегодня связаны с их реализацией на уровне микроархитектуры, высоким уровнем используемой в них полупроводниковой технологии и массовым объемом поставок, дающих финансовые выгоды. Интегрально главное, на что ориентируется, например, AMD с точки зрения фронт-энд части ядра – это рост величины IPC (instructions per clock). В докладах AMD [22] или современных документах AMD по Zen 4 [23] на фронт-энд вообще обращается довольно мало внимания: изменения в исполнительных устройствах, высшие уровни иерархии памяти, и межсоединения ядер и процессоров важнее. В обзоре фронт-энд части процессоров x86 также будет рассматриваться относительно коротко.

Самым ярким показателем современных семейств серверных процессоров пожалуй является большое количество используемых там ядер. В Xeon SPR их минимум 8. В Xeon EMR их не меньше 16, как и в EYUC Zen 4 серии 9004. Для ряда задачи и приложений не требуется такого количества ядер. На современных серверах, кроме обыкновенной возможности одновременного выполнения несколько приложений в рамках одной ОС, широко применяются возможности виртуализации, для чего в процессорах используются и специальные аппаратные усовершенствования. Виртуализация и облачные технологии стали активно применяться и для задач НРС. Согласно [24], в не менее чем 48 суперкомпьютерах, занимающих места с 1 по 172 в TOP500 (июнь 2022 г.), используют контейнеры.

Обзор наиболее ориентирован на НРС (включая и суперкомпьютерный уровень), в меньшей степени – на ИИ, и еще меньше – на виртуализацию и облачные технологии.

Преимущества AMD EYUC по производительности в области виртуализации и применения облачных технологий (для массового применения не в области НРС и ИИ), в том числе и над Intel Xeon связаны с большим числом доступных в процессорах ядер и сформировались уже лет пять назад. Данных, демонстрирующих преимущества производительности EYUC Zen 2 и Zen 3, достаточно много. Пример для НРС – работы в области вычислительной гидродинамики (CFD) [25].

Много соответствующих данных для массово используемых областей применения этих серверных процессоров можно найти, например, в результатах разных OSG (Open System Group)-тестов SPEC, включая и SPEC CPU 2017 [26], или в данных сайта OpenBenchmarking [27] для тестов Phoronix Test Suite (PTS) [28]. Преимущества вышеуказанных серий EPYC в этих данных можно увидеть, например, сопоставляя производительности старших моделей этих поколений процессоров AMD с аналогичными моделями Xeon в соответствующие времена, или учитывая отношение стоимость/производительность.

Это подтверждается рядом соответствующих публикаций на сайте Phoronix (см., например, [29–31]). Исключения в основном относятся к случаям с активным использованием AVX-512. Небольшая информация с сопоставлениями производительности с Xeon третьего поколения (Xeon ICL и Xeon Cooper Lake-SP) и EPYC Zen 3 (Milan) приводится далее для демонстрации тенденций развития в четвертом поколении x86 от Intel (включая масштабируемые процессоры Xeon пятого поколения) и AMD, рассмотрению которых посвящен данный обзор.

Учитывая большое количество доступных данных о производительности для разных областей применения (в том числе указанных выше), не относящиеся к областям HPC и ИИ, соответствующие данные об улучшении производительности рассматриваемых в обзоре EPYC с архитектурой Zen 4 и масштабируемых процессоров Xeon четвертого и пятого поколения относительно их предыдущих поколений иллюстрируются дальше гораздо более ограничено.

К кратко рассматриваемым в обзоре областям относятся и активно анализируемые в последние времена проблемы возможного нарушения безопасности. Внимание к вопросам безопасности в последнее время возросло и в связи с ростом числа ядер в процессорах, сопровождавшимся использованием средств виртуализации в пределах уже одного процессора.

Проблемы безопасности имеют место для различных интегральных схем [32]. Архитектура фон Неймана уязвима для возможных нарушений безопасности (см., например, [33]). В суперскалярных процессорах, поддерживающих SMT, OoO и предсказание переходов, возможности нарушения безопасности возрастают и реализуемы на процессорах самых разных архитектур – x86, ARM, RISC-V [34, 35]. Естественно, в первую очередь такая информация появляется для x86 из-за гораздо большей распространенности (см., например, [36, 37]).

В четвертом поколении серверных процессоров Intel и AMD имеются специальные аппаратные средства для упразднения определенных возможностей нарушения безопасности. В последние времена появляется много публикаций о проблемах безопасности процессоров и проводятся подробные исследования в том числе и этих новых средств (например, для Intel – [38]).

Но эти средства в первую очередь относятся к возможным нарушениям безопасности, возникающим при использовании средств виртуализации. Возможно, эти аппаратные доработки не могут подавить все возможные нарушения безопасности ни в процессорах Intel, ни в процессорах AMD, поскольку появляются данные о новых типах атак.

Для разных поколений архитектур AMD Zen и Intel Xeon, включая и рассматриваемое в обзоре четвертое поколение, небезопасность виртуализации демонстрируется в [39–44]. Среди этих публикаций большее число посвящено атакам разных поколений AMD Zen. Соответствующие доработки в процессорах способствуют в первую очередь затруднению возможных нарушений безопасности и уменьшению вероятности их реализации. Аппаратные средства повышения безопасности рассматриваются далее в разделах про микроархитектуры конкретных семейств процессоров в первую очередь для задач виртуализации и соответственно облачной технологии.

Современные процессоры x86 от Intel сопровождаются еще рядом новых интересных аппаратных усовершенствований, реализованных в виде акселераторов. Они являются специализированными и полезны для некоторых важных, но узко ориентированных областей их применения и поэтому в обзоре рассматриваются достаточно кратко (см. о них далее в разделе 3).

Далее в разделе 1 анализируются важные общие аппаратные и программные возможности, в том числе сформировавшиеся до возникновения процессоров условного четвертого поколения. В разделе 2 рассматривается архитектура процессоров Zen 4 и вычислительные системы на их основе, а также данные об их производительности. В разделе 3 анализируется информация об архитектуре различных процессоров Xeon, отнесенных здесь к условному четвертому поколению, и вычислительных систем на их основе. Поскольку в разделе 3 объединены данные для разных процессоров Xeon, обсуждение производительности систем на их базе, в том числе в сравнении с Zen 4, проводится в отдельном разделе 4. В небольшом разделе 5 рассматривается информация о применении вычислительных систем на базе x86 четвертого поколения для виртуализации и облачных технологий. В разделе 6 анализируются данные о новейших высокопроизводительных процессорах Xeon 6 и Zen 5, включая первоначальные данные о производительности. Раздел 7 посвящен построению с применением x86 гомогенных и гетерогенных узлов кластеров или суперкомпьютеров.

В приложении дается список широко используемых в обзоре сокращений, которые, с нашей точки зрения, не распространены в литературе.

1. Общее для рассматриваемых процессоров x86, в том числе сложившееся до появления их четвертого поколения

1.1. Об аппаратных средствах x86 предыдущих поколений

Из-за быстрого прогресса технологии, используемой для производства процессоров, в них интегрируется больше функций. Отпала необходимость применения отдельного южного моста на материнской плате. Поскольку активная ориентация на SoC продолжается, с точки зрения автора в ближайшем будущем в современных серверных процессорах AMD и Intel вероятно исчезнет и применение чипсета. Для процессоров AMD он уже не используется, хотя масштабируемые процессоры Intel Xeon третьего и четвертого/пятого поколения еще имеют чипсет (C620A и C741 соответственно).

Наиболее важные для процессоров функции перестают базироваться на чипсете. Если в чипсете C620A имелись еще аппаратные средства акселераторов, то C741 их уже не содержит (они интегрированы в Xeon). Чипсет C741 поддерживает работу с SATA, USB, некоторые функции безопасности и др. [45]. Современные процессоры ЕРУС имеют интегрированный блок, отвечающий за все потребности ввода и вывода данных (имеются в виду не просто ввод-вывод, а любые передачи данных к и от процессора, включая и работу с оперативной памятью). Подробнее см. далее в разделе 2.2.

Во многих современных серверных процессорах от разных разработчиков используется многокристальный подход с чиплетами с двумерной (2D-) технологией. Применение многокристального подхода способствует сокращению количества отходов в производственном процессе. При размещении на кремниевой пластине монолитных процессоров один дефект может вызвать неработоспособность всего процессора, а при многокристальном подходе дефект относится только к одному кристаллу, дефектный кристалл просто отбраковывается, и в общем корпусе собираются только кристаллы без дефектов.

AMD одна из первых крупнейших компьютерных фирм мира, которая стала применять такую технологию [46] и использует этот подход также в своих GPU [2]. В результате сокращения количества отходов AMD получает возможность предлагать не самые высокие цены на свою продукцию.

Intel также очень давно стала использовать многокристальные архитектуры. В масштабируемых процессорах Xeon Intel стала применять многокристальные технологии, начиная со второго поколения [47]. Однако из-за технологических ограничений и меньшего количества применяемых в серверных процессорах ядер Intel до сих пор использовала этот подход в более ограниченной степени.

То, что было типичным в области производительности x86 (в первую очередь для НРС и ИИ) перед появлением 4-го поколения AMD Zen и Intel Xeon Scalable, мы опишем только «в целом», на макроуровне, поскольку сам анализ данных производительности для соответствующих поколений x86 к тематике обзора не относится.

AMD на рынке процессоров давно отличалась от Intel более низкой стоимостью своих аппаратных средств, аналогичных выпускаемым Intel [48]. Некоторые сравнительные данные для Zen 3 и масштабируемых процессоров Xeon 3-го поколения представлены в таблице 1.

Таблица 1. Краткая сопоставительная информация о третьем поколении x86 от Intel и AMD

	Число ядер в CPU	Частота, ГГц	Цена ¹ одного CPU	Число CPU	SPEC CPU2017 fp_speed (base/peak) ²	SPEC CPU2017 fp_rate (base/peak) ²
EPYC 7763	64	2.4–3.75	\$7890	2	263/270 ⁴	663/7101 ³
				1	177/181 ⁵	333/3571 ³
EPYC 7663	56	2–3.5	\$6366	2	246/253 ⁶	596/637 ⁴
				1	162/162 ⁶	299/3201 ³
EPYC 7643	48	2.3–3.6	\$4995	2	236/245 ⁶	576/617 ⁶
				1	153/158 ⁷	288/3041 ⁴
EPYC 7543	32	2.8–3.7	\$3761	2	232/242 ⁴	531/540 ⁴
				1	153/158 ⁷	260/268 ⁶
EPYC 75F3	32	2.95–4	\$4860	2	238/248 ⁴	546/565 ⁴
				1	160/165 ⁵	273/2831 ³
Xeon 8380HL	28	2.9–4.3	\$13012	4	255/255 ⁸	667/7061 ⁵
Xeon 8380	40	2.3–3.4	\$8978 ³	2	277/277 ⁹	605/640 ¹⁰
Xeon 8368	38	2.4–3.4	\$7214	2	269/260 ¹⁰	586/620 ¹⁰
Xeon 8362	32	2.8–3.6	\$6236	2	270/270 ¹¹	561/589 ¹¹
Xeon 8358	32	2.6–3.4	\$4607	2	251/251 ¹²	507/534 ¹⁰

¹ Данные на 12.05.2024 для AMD – из [49], для Intel – из [50]
² Данные из [51] с максимальной представленной там величиной base.
³ Last Price at 2022-04-03 (ранее цена была выше) из [52]. Данные от 12.05.2024
Направители результата и серверы, на которых получены эти результаты:
⁴ ASUS RS720A-E11 (KMPP-D32);
⁵ ASUS RS520A-E11(Z12PP-D32);
⁶ Cisco UCS C255 M6;
⁷ Lenovo ThinkSystem SR655;
⁸ Lenovo ThinkSystem SR860;
⁹ xFusion 2288H V6 и ASUS RS720-E10-RS12(Z12PP-D32);
¹⁰ ASUS RS720-E10-RS12(Z12PP-D32);
¹¹ ASUS RS720-E10(Z12PP-D32);
¹² Dell PowerEdge R650;
¹³ ASUS RS520A-E11(KMPA-U16);
¹⁴ Dell PowerEdge R6515;
¹⁵ New H3C UniServer R6900 G5.

Примечание. Для уточнения данных об использовавшихся серверах в круглых скобках иногда указана применявшаяся в тесте материнская плата.

Очень важной общей особенностью рассматриваемых в обзоре процессоров Intel и AMD, на которую обращается особое внимание в обзоре, является устремление обеих фирм к повышению пропускной способности используемой памяти. Производительность микропроцессоров растет

быстрее пропускной способности памяти [53], которая может лимитировать производительность приложений. Про это у процессоров известно еще с прошлого века [54]. Поскольку в мире x86-процессоры AMD и Intel до сих пор используются в серверах чаще других, тут влияние пропускной способности памяти проявляется наиболее широко.

Процессоры и ядра Xeon ранее обычно опережали соответствующие аппаратные средства AMD по производительности. Предыдущие успехи AMD с серверными процессорами Opteron были во многом связаны с высокими показателями пропускной способности памяти [55]. Наблюдаемые сегодня успехи AMD Zen разных поколений также сочетались с данными о более высокой пропускной способности памяти для одного ядра по сравнению с ядрами Intel [56]. Хотя эти данные относятся только к чтению из памяти, они дают разумную оценку пропускной способности на ядро [56]. Информация о пропускной способности памяти для рассматриваемых в обзоре процессоров будет обсуждаться далее.

Далее в тексте для ситуаций, когда производительность ограничивается пропускной способностью памяти, применяется словосочетание «связанные памятью». Для массово используемых тестов производительности и приложений, не применяющих активно умножения матриц и AVX-512, особенно связанных памятью (например, для задач CFD) во втором и третьем поколениях EYUC Zen сформировались преимущества AMD по производительности. Кроме большего числа ядер они связаны, в частности, с указанной выше пониженной пропускной способностью оперативной памяти на одно ядро в Xeon соответствующих поколений по сравнению с AMD [56].

В интернете давно появляются сообщения о предпочтительности серверных процессоров AMD EYUC по сравнению с Intel Xeon. Ссылки на соответствующие этому данные о преимуществах по производительности процессоров AMD в массово используемых тестах производительности и приложениях приведены выше во введении. Дополнительной общей иллюстрацией являются и данные таблицы 1. Для примера сравнительных оценок стоимости и производительности укажем еще на [52].

Отметим, что в анализе производительности немаловажно также учитывать и даты получения соответствующих результатов (что связано с версиями ставших доступными и использованных SDK). Так, в таблице 1 Xeon Platinum 8380 немного опередил EYUC 7763 в тесте SPECcpu2017 fp_speed. Эти данные в таблице для Xeon 8380 (как и в тесте SPEC CPU2017 fp_rate) получены в 2023 году, а для EYUC 7763 – в 2021 году. Максимальный результат Xeon 8380 в 2021 году был 241/244 для base и peak-вариантов теста fp_speed, то есть ниже, чем у EYUC 7763.

В качестве другого примера укажем данные о производительности от отдельных ядер до серверов (в которых применялись в том числе Xeon ICL и AMD EPYC Zen 3, Milan) и небольших кластеров в наборе задач вычислительной химии с применением широко используемых в мире приложений. Эти данные обычно показывают преимущество ряда моделей EPYC Milan над старшими моделями Xeon ICL [57].

Особенно полезные для HPC данные [8] отличаются широким охватом разных областей. Часть этих данных представлена в таблице 2.

Таблица 2. Сопоставление производительности 2P-серверов на базе Xeon ICL и EPYC Zen 3

Производительность	Xeon 8380 (40 ядер)	EPYC 7763 (64 ядра)
DGEMM (GFLOPS)	3824	3046
DGEMM на ядро (GFLOPS)	47.8	23.8
HPL (GFLOPS)	1713	2176
HPL на ядро (GFLOPS)	21.4	17.0
FFT (GFLOPS)	76.4	54.7
FFT на ядро (GFLOPS)	0.96	0.43
GROMACS (нс/день)	133.3	169.9
NWChem (секунд)	19.2	26.7
OpenFOAM (минут)	6.8	6.6

Данные из [8].
Жирным шрифтом помечены более высокопроизводительные результаты.

Эти данные четко демонстрируют сложившееся в третьем поколении процессоров x86 от AMD и Intel: преимущество последней благодаря применению AVX-512 в DGEMM, которое в HPL (High Performance Linpack) уже элиминируется из-за большего числа ядер в AMD Zen 3. В таблице 2 кроме данных о трех проведенных тестах из HPCC [58] (DGEMM, HPL, FFT–FFTW¹) приведены данные тестов известных высокоэффективным распараллеливанием приложений вычислительной химии – молекулярной динамики (GROMACS с системой из примерно 82 тысяч атомов) и квантовой химии (NWChem, с маленькой системой – ион Au+, методом ХФ с последующим MP2 и связанными кластерами).

Еще один приведенный тест, средств OpenFOAM (Open Source Field Operation And Manipulation CFD ToolBox) относится к области механики сплошных сред (motorBike – расчет несжимаемого потока воздуха вокруг мотоцикла). Хотя OpenFOAM – это набор инструментов на C++ для решения в дискретной форме систем уравнений в частных производных в пространстве и времени, и может применяться не только в области механики сплошных сред. Но изначально он был направлен на CFD, и поэтому далее в обзоре рассматривается совместно с CFD-приложениями.

¹<https://www.fftw.org/>, accessed 23.11.2024.

Сравнение с ARM-процессорами в [8] показало преимущества x86 в производительности; ARM могут быть впереди по энергоэффективности. Относительная производительность сильно зависит от приложений: GROMACS и OpenFOAM были быстрее в EPYC, а NWChem – в Xeon ICL. Соответственно надо внимательно смотреть, о данных каких тестов производительности идет речь.

Но в целом можно сказать, что и в приводимых здесь данных EPYC Zen 3 явно чаще оказывались более высокопроизводительными, чем Xeon ICL.

В качестве примера общих взвешенных рекомендаций для HPC и ИИ по выбору процессоров Xeon и EPYC третьего поколения с учетом и отношения цена/производительность укажем на данные сайта Microway [59, 60]. Для иллюстрации приведем здесь также пиковые производительности для разных моделей Xeon ICL – рисунок 1, рисунок 2 и для Zen 3 (Milan) – рисунок 3.

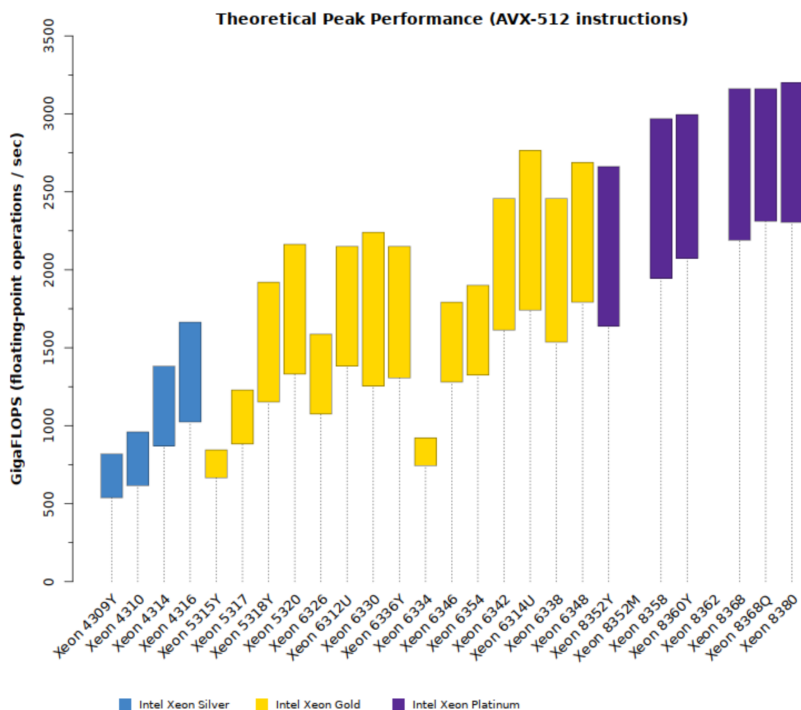


РИСУНОК 1. Пиковая производительность разных моделей Xeon ICL при использовании AVX-512 (рисунок из [59])

На рисунке 1 данные о пиковой производительности для FP64 в разных моделях Хеон ICL относятся к использованию AVX-512, а на рисунке 2 -к работе только с AVX2. На рисунке 3, для Zen 3, пиковые производительности разных моделей ЕРУС (там поддерживается только AVX2) рассчитаны для базовых тактовых частот, а теоретические данные для турбо-частот отображаются вершинами пунктирных линий.

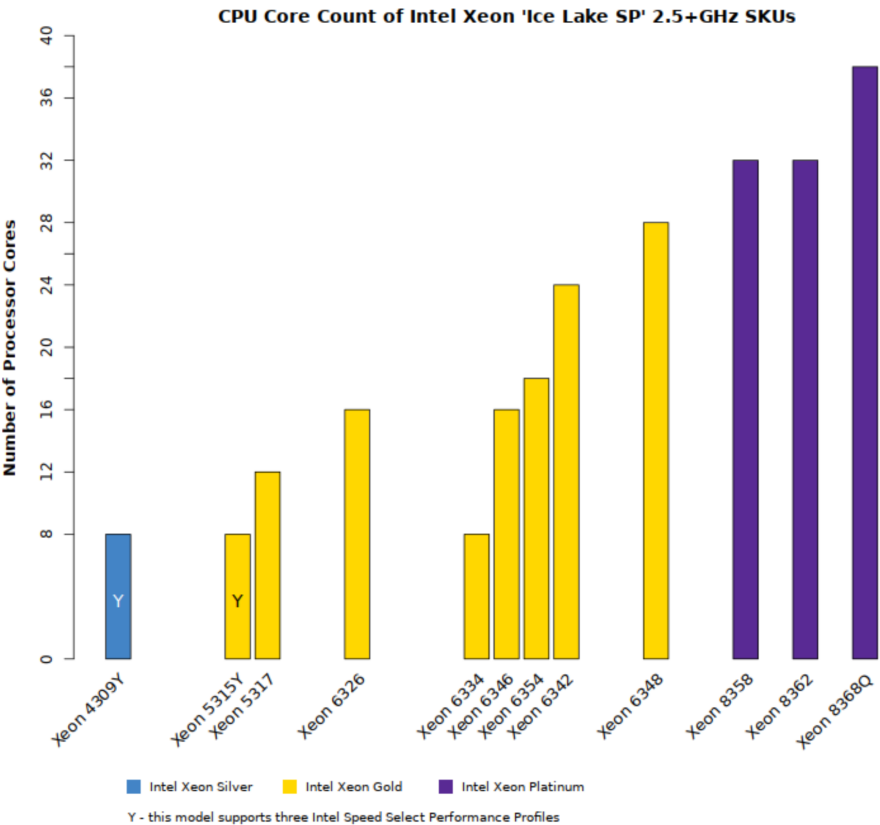


Рисунок 2. Пиковая производительность разных моделей Хеон ICL при использовании только AVX2 (рисунок из [59])

Несмотря на указанные выше преимущества в производительности процессоров ЕРУС предыдущих поколений Zen-архитектуры, реально по активности применения x86 на суперкомпьютерах в июньской версии TOP500 2024 года [1] предпочтительности использования x86 от AMD в первых 50 позициях данного списка не видно: ЕРУС применялись в 22 системах, Хеон – в 27. Статистические данные по всему списку [61] говорят

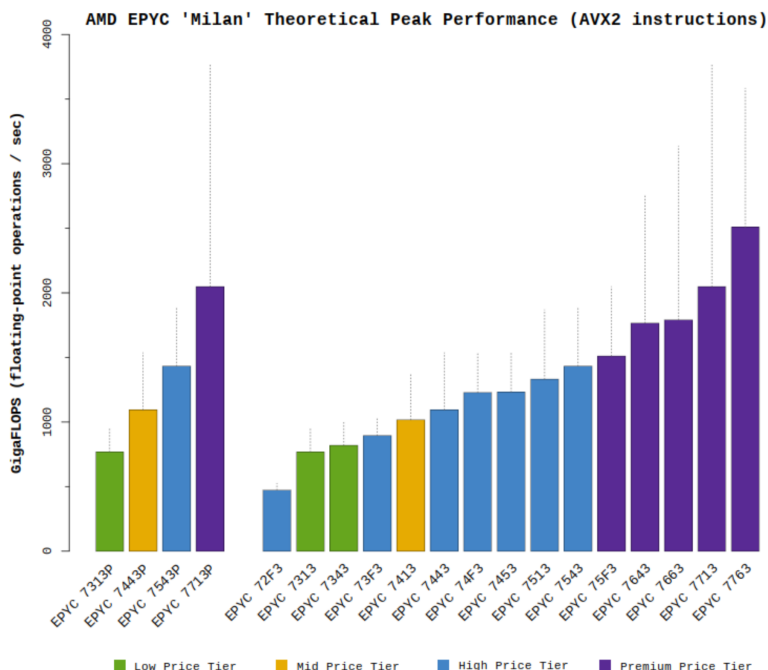


РИСУНОК 3. Пиковая производительность разных моделей EPYC Milan (рисунок из [60])

о применении второго поколения масштабируемых процессоров Xeon (Cascade Lake) в 123 суперкомпьютерах из TOP500, а второго поколения EPYC Zen 2 – в 68 суперкомпьютерах. Процессоры третьего поколения Xeon ICL применялись в 42 суперкомпьютерах этого списка, а EPYC Zen 3 Milan – в 73 суперкомпьютерах. Наконец, процессоры четвертого поколения Xeon SPR применялись там в 31 суперкомпьютере, а EPYC 9004 – в 15.

Также интересно отметить, что из 123 суперкомпьютеров с Xeon Cascade Lake в 79 использовались Xeon Gold 62xx, а более старшие серии Xeon Platinum 82xx и 92xx применялись на раза в два меньшем числе суперкомпьютеров. Задачи отбора моделей x86 для построения кластеров и суперкомпьютеров обсуждаются далее в отдельном разделе 7.

Обзор производительности ориентирован далее в основном на четвертое и пятое поколения масштабируемых процессоров Xeon и четвертое поколение Zen (EPYC) серии 9004 – как современных, ставших доступными примерно в одно и то же время, у которых есть достаточно много данных о достигаемой производительности. Ниже они объединены

в одно общее условно четвертое поколение серверных процессоров x86. Intel и AMD, естественно, приводят сопоставительные данные о росте производительности этих процессоров относительно их предыдущих поколений.

Соответственно сравнения производительности будут включать и данные для третьего поколения серверных процессоров (AMD Milan и Intel Xeon ICL). В разделе 6 анализируются и первоначальные данные о следующем поколении x86 от Intel и AMD – Xeon 6 (Granite Rapids) и Zen 5, включая их производительность. Но базовыми мы считаем сопоставления производительности условного четвертого поколения, поэтому в заголовке статьи и указано «вокруг четвертого поколения».

1.2. О регулировке частоты процессоров и использовании этого в Linux

Вопросы энергопотребления приобретают в последнее время все большее значение, и для вычислительных систем это может выражаться в двух аспектах: оптимизация отношения стоимость/производительность или рассмотрение потребляемой энергии как ограничения. Это в программном и аппаратном плане, включая современные серверные процессоры x86, анализируется в [62]. Здесь рассматривается только один важный, имеющий прямое отношение к энергопотреблению вопрос о регулировке частот процессоров.

Обсуждение этого, включая регулировку частот в Linux, вынесено в целый отдельный раздел по четырем причинам:

1. Из-за влияния на энергопотребление.
2. Изменение частот может иметь место у всех процессоров, например и у ARM, а не только у серверных процессоров x86 AMD и Intel.
3. Из-за важности информации об уменьшении повышенных (турбо) тактовых частот при интенсивной вычислительной нагрузке на процессорные ядра (особенно при работе с AVX-512), поскольку это влияет и на возможные оценки пиковой производительности.

В приведенной Fujitsu информации о своих серверах с процессорами Xeon SPR указывается, что применение режима турбо-частот может приводить и к понижению достигаемой производительности по сравнению с отключением этого режима на вычислительно интенсивных приложениях, например, с рабочими нагрузками на уровне теста HPL [63].

Информация производителя о снижении тактовых частот процессоров часто бывала недоступной, или конфиденциальной. В первом поколении масштабируемых процессоров Xeon использовалось

понятие «базовая частота ядра AVX-512» (об этом и о понижении частоты в турбо-режиме см. [64]). В последних рассматриваемых в обзоре поколениях процессоров часто стали указывать тактовую частоту, поддерживаемую одновременно всеми работающими ядрами.

В Хеон третьего поколения появилось понятие высокоприоритетных и низкоприоритетных ядер, для которых указываются свои разные частоты. Это дает возможность настроить ядра с предоставлением более высоких турбо-частот приоритетным ядрам по сравнению с низкоприоритетным, и относится к технологии Intel Speed Select [65]. Хотя сама эта технология поддерживается и в Хеон 6, указания на высоко- и низкоприоритетные ядра отсутствуют в их спецификациях [66]. Здесь это подробнее не рассматривается, так как относится только к определенным процессорам Хеон, а для использующих распараллеливание задач НПС, где наиболее важно изменение частот при работе с AVX-512, это представляется не так актуальным.

4. В Linux регулировка частоты процессоров была сделана достаточно давно (по сравнению с временами появления новых поколений x86), с ориентацией на универсальный подход, не направленный на конкретные семейства процессоров. Другое дело, что реализации этого с применением также конкретных драйверов ядра Linux от разработчиков соответствующих процессоров давали определенные ограничения (а многие процессоры вообще не позволяли этим пользоваться). Но в последнее время в связи с ростом важности энергопотребления ситуация поменялась в положительную сторону.

Опишем общие применяемые для регулировки частоты разных процессоров подходы и термины, используемые при работе в Linux. Они понадобятся в разделах про конкретные процессоры x86 от AMD и Intel. Описание ориентировано на Linux, понятно, поскольку эта ОС является основной при работе серверов, в частности, с вычислительно сложными приложениями НПС и ИИ.

В ядре Linux для вышеуказанной задачи имеются средства `CPUfreq` для увеличения или уменьшения частоты процессора в целях повышения производительности или экономии энергии, и соответственно его регуляторы (`governors`) [67, 68].

В [68] указано о 6 разных регуляторах «целевых направлений» — уровнях абстракции работы процессора, в которых применяются соответствующие алгоритмы, и между которыми можно выбирать при работе в Linux.

Для анализа этого используются С- и Р-состояния процессора, которые имеют по несколько своих уровней. Они давно применяются в исследованиях многоядерных процессоров (см., например, [69]). Эти состояния процессора, как и Т-состояния, относятся к интерфейсу ACPI (Advanced Configuration and Power Interface) [70].

Т-состояния относятся к механизму снижения тактовой частоты, когда температура достигает критически высокой величины. Это кажется естественным для процессоров Intel с реализацией AVX-512. Но Intel с масштабируемыми процессорами Хеоп давно предлагает собственные эффективные механизмы управления Р-состояниями (см., например, [71]). AMD в описании архитектуры процессоров Zen 4 [23], в которых AVX-512 реализованы в более простом двухстадийном режиме (см. раздел 3.1 далее), о Т-состояниях не упоминает, и мы в этом разделе их не рассматриваем.

В конкретных семействах процессоров имеются уточнения/изменения, которые ниже рассматриваются в других разделах. Современная динамически изменяемая информация, в том числе по соответствующим драйверам Linux для разных процессоров, может быть получена из [72]. Вышеуказанные состояния процессоров используются в соответствующих описаниях дистрибутивов Linux, и мы здесь базируемся на информации для широко используемых в области НРС дистрибутивов [73, 74].

С-состояния. Чем больше величина n в состоянии C_n , тем «дальше» процессор от состояния работы и тем меньше потребляемая им энергия.

$C0$ — процессор включен и работает.

$C1$ — первое состояние ожидания. Процессор не выполняет команды. Программно останавливает главные внутренние часы [73], но типично не находится в состоянии с пониженным энергопотреблением, и может продолжить работу практически без задержки [74]. В [74] это состояние кратко называют Halt.

$C2$ — основные внутренние часы процессора аппаратно остановлены. Но программное состояние сохраняется в норме, и работа может быть возобновлена после прерываний, но с определенной задержкой. В [74] это состояние кратко называют Stop-Clock.

$C3$ — Процессор спит, и все его внутренние часы остановлены. Он не должен соблюдать когерентность кэша [73]. Для пробуждения нужно существенно больше времени, чем из состояния $C2$. В [74] это состояние кратко называют Sleep.

Состояния $C0$ и $C1$ поддерживаются всеми процессорами [73], состояния $C2$ и $C3$ относятся к опционным.

Р-состояния. Когда процессор работает (находится в состоянии $C0$), он может находиться в разных состояниях производительности (Р-состояниях). Все Р-состояния являются рабочими, они связаны с используемой частотой и напряжением процессора. Чем больше величина n в состоянии P_n , тем ниже частота и напряжение,

на которых работает процессор. Хотя P0 всегда относится к состоянию наивысшей производительности (для турбо-режима имеются свои особенности), число и реализации различных P-состояний зависят от конкретных процессоров [73].

Соответственно информация про C- и P-состояния анализируемых в обзоре процессоров будет рассмотрена далее в соответствующих им разделах обзора.

В завершение раздела рассмотрим регуляторы CPUfreq в Linux.

performance — заставляет процессор установить статическую максимально возможную для него частоту. Это ориентировано на случаи, когда процессор практически все время сильно загружен, и никакого сохранения энергии быть не должно.

powersave — частота процессора статически устанавливается в наименьшее возможное значение. В этом случае энергия максимально сохраняется, а производительность понижается. Но, как указано в [73, 74], это не всегда соответствует устремлению к максимальному понижению используемой энергии. Сами соответствующие величины частот в Linux можно изменить [73].

ondemand — этот регулятор нацелен на динамическое изменение частоты в зависимости от текущей нагрузки системы [68]. Понятно, что изменение частоты всегда приводит к определенным задержкам, и при достаточно частом переключении между режимами ожидания и высокой рабочей нагрузки применение этого регулятора неприемлемо. Но он подходит для ситуаций, когда система занята только в определенное время суток. Как указано в [73, 74], при высокой нагрузке на систему регулятор установит максимальную частоту процессора, а при низкой — минимальную.

conservative — этот регулятор близок к *ondemand* и также предназначен для динамического изменения частот. Но он производит это не скачками от минимальной до максимальной частоты, а более плавно [68]. Этот регулятор подстраивается под тактовую частоту, которую он считает наиболее подходящей для нагрузки, а не просто выбирает между максимумом и минимумом. Хотя это может обеспечить значительную экономию энергопотребления, для этого требуется величины задержки больше, чем у регулятора *ondemand* [74].

userspace — этот регулятор позволяет процессу или программе устанавливать конфигулируемые в *sysfs*-файле величины используемых частот [68] и может дать более эффективный баланс производительности и энергопотребления [74].

Есть еще шестой регулятор, *schedutil* [68], но он в [73] и [74] вообще не рассматривается, и здесь анализироваться не будет. Работа регуляторов предполагает не только определенную версию ядра Linux, но и соответствующую реализующую эту работу драйверов для конкретных семейств процессоров, что приводит к появлению у них своих особенностей. Поэтому, как уже было сказано выше, далее в обзоре регулировка частот рассматривается для конкретных поколений анализируемых процессоров AMD и Intel.

1.3. Средства разработки программ (SDK, Software Development Kit) для x86

1.3.1. Традиционные (классические) и новые SDK для x86 от разных разработчиков

В связи с огромной распространенностью применения x86 за многие годы созданы и используются много разных SDK, которые в той или иной степени применяются для самых разных процессоров x86 разных производителей, и поэтому рассматриваются здесь как часть раздела 2 об общем для процессоров x86.

SDK для x86 – наиболее широко употребляемые и наиболее известные во всем мире, которые регулярно анализируются в публикациях, а их эффективность не только достаточно сильно зависит от ориентации, например, конкретного использующего их создаваемого приложения, но и быстро меняется во времени с появлением новых версий SDK. Их анализ должен был бы включать не только достигаемый уровень оптимизации, но и широту охвата имеющихся возможностей (например, в компиляторах – поддержки новых версий OpenMP или языковых конструкций новых стандартов языков).

Поэтому здесь проводится только краткий анализ с базовой и практически полезной информацией об актуальных для HPC компиляторах, применимых для рассматриваемых в обзоре процессоров, и совсем немного – об основных библиотеках программ. Отладчики и профилировщики в обзоре вообще не рассматриваются. Библиотеки средств распараллеливания и соответственно коммуникаций сообщениями типа MPI вообще почти не упоминаются.

Далее имеются в виду компиляторы только для C/C++ (вообще говоря, и Fortran, но в этом случае отличия относятся главным образом к фронт-энд части компиляторов). Из-за сверхбыстрых изменений SDK практически все цитируемые ссылки здесь ограничены публикациями последних лет.

SDK разных производителей обычно могут применяться как для Xeon, так и для EPYC (про некоторые ограничения этого речь пойдет ниже). SDK от Intel давно относят к лучшим для x86 в мире, и в практическом плане важно отметить доступность этих средств и для применения с EPYC. Но недавно Intel предложила новое оригинальное поколение SDK, oneAPI [75]. В настоящее время в мире используется как классический SDK от Intel («классический» – это термин Intel), так и средства oneAPI. Программные средства oneAPI являются огромным новым продуктом Intel, требующим отдельного анализа, и поэтому будут рассмотрены в следующем подразделе. Здесь мы ограничимся традиционными актуальными для HPC и хорошо известными SDK других разработчиков с упоминаниями о новых версиях SDK и разработках. Компиляторы, которые могут использоваться от ПК до суперкомпьютеров, представлены в таблице 3.

Таблица 3. Современные версии актуальных для HPC компиляторов x86

Compiler	GNU ¹	LLVM ²	Nvida ³	Cray ⁴	AMD ⁵	Intel
C/C++	gcc/g++	Clang	nvc/nvc++	craycc	aocc	icc
Fortran	gfortran	Flang	nvfortran	craftn	aocc	ifort

Текущие версии на 3.09.2024: ¹ gcc 14; ² LLVM 19.1.0-rc1;

³ NVHPC 24.7; ⁴ CPE 24.07; ⁵ aocc 4.2.

Компилятор gcc 14.2 поддерживает OpenMP 4.5, частично средства OpenMP 5.0², часть возможностей OpenMP 5.1 и немного возможностей и от OpenMP 5.2. Компилятор gfortran поддерживает³ стандарт Fortran 2008 (и соответственно PGAS-модель coarrays) и некоторые возможности Fortran 2018, а также OpenMP 4.5 и некоторые возможности OpenMP 5.1. Начинается и подготовка к поддержке нового стандарта Fortran 2023⁴.

Ссылки на различные компоненты SDK от AMD для работы с процессорами различных архитектур Zen общедоступны⁵, а общее руководство по SDK для задач HPC с высокопроизводительными процессорами EPYC 9004 представлено в [76]. Для также использующей архитектуру Zen 4 серии менее высокопроизводительных процессоров EPYC 8004 (они в обзоре почти не рассматриваются) имеется собственный аналогичный документ по SDK. AMD в своем наборе компиляторов aocc отмечает их ориентацию в первую очередь на процессоры разных поколений Zen и

² <https://gcc.gnu.org/wiki/openmp>, accessed 3.09.2024.

³ <https://gcc.gnu.org/onlinedocs/gfortran/Standards.html>, accessed 3.09.2024.

⁴ <https://gcc.gnu.org/gcc-14/changes.html>, accessed 3.09.2024.

⁵ <https://www.amd.com/en/developer/zen-software-studio.html>, accessed 30.10.2024.

задачи HPC [77]. Компиляторы аосс 4.2 базируются на LLVM 16.0.3. Там поддерживается C/C++ 17 и Fortran 2008 (но без средств coarrays). Для C/C++ поддерживается OpenMP 5.0, для Fortran – OpenMP 4.5; подробнее см. в [78].

Для AMD следует указать еще на новые разрабатываемые средства – компилятор на базе LLVM⁶ и AOMP⁷ – компилятор с открытым исходным кодом на основе Clang/LLVM, ориентированный в первую очередь на применение средств OpenMP на GPU от AMD. Для новейших процессоров EYU Zen 5 Turin была разработана версия аосс 5.0 на базе LLVM 17.0.6 [79].

По отношению к HPE/Cray ниже приводятся уже данные не о традиционных версиях их компиляторов, которые перестали поставляться, а о новых. В настоящее время HPE предлагает средства SDK, называемые CPE (Cray Programming Environment). Одна из компонент CPE, именуемая CCE (Cray Compiling Environment) [80] включает в себя, в частности, компиляторы, которые поддерживают языки Fortran, C/C++ и UPC (Unified Parallel C). Компилятор Fortran HPE Cray практически полностью поддерживает стандарт Fortran 2018 с некоторыми исключениями. Современные версии HPE Clang C/C++ базируются на Clang/LLVM. Общие программные средства CPE поддерживают также несколько сторонних компиляторов: аосс, компиляторы Intel, GNU и NVIDIA [81].

Здесь не рассматриваются математические библиотеки, средства обмена сообщениями MPI/SHMEM и другие компоненты CPE (см. о них в [82]).

NVHPC 24.7 [83] содержат компиляторы nvc с поддержкой ISO/ANSI C11, nvc++ с поддержкой ISO/ANSI C++17 и nvfortran с поддержкой ISO/ANSI Fortran 2003. Расширения этих компиляторов для поддержки CUDA здесь не рассматриваются.

Из компиляторов Intel здесь мы укажем только на классические компиляторы icc и ifort, которые активно используются во всем мире для трансляции программ, выполняемых на самых разных процессорах x86, не только Intel, но и AMD. Часто предполагается достижение наиболее высокого уровня оптимизации при использовании этих компиляторов Intel, хотя имеется данные и о том, что нередко это не так, особенно при использовании этих компиляторов для расчетов на x86 от AMD.

⁶<https://github.com/ROCm/llvm-project>, accessed 2.05.2025.

⁷<https://github.com/ROCm/aomp>, accessed 2.05.2025.

Исследования, сопоставляющие достигаемый уровень оптимизации этими компиляторами для процессоров x86, начали проводиться весьма давно, и по-прежнему активно выполняются и ныне. Приведем несколько примеров. Различные компиляторы и актуальность их применения для AMD Zen 2 (Roma) рассматривались, например, в работе [84]. Также для расчетов на EYUC Roma и Milan исследовалась оптимизация пятью различными компиляторами, в том числе icc и аосс, в работе [85]. Здесь компилятор Intel показал лучшие результаты, опережая аосс, хотя разница в достигаемой производительности обычно была не так велика.

В качестве другого примера укажем недавнюю работу [86], в которой в тестах MD-bench для молекулярной динамики исследовались icc, icx (это новое поколение, из Intel oneAPI), аосс, gcc и clang. Сопоставляются также и разные версии одного и того же компилятора (например, gcc – в [87], но там сравнение проводилось на процессоре Intel Core i7).

Все эти работы включали данные об оптимизации для процессоров Intel и AMD не старше третьего поколения. Быстрый прогресс в аппаратуре рассматриваемых в обзоре процессоров и расширения в них ISA, такие как поддержка AVX-512 в EYUC Zen 4, делают актуальными данные для конкретных рассматриваемых в обзоре поколений x86.

Для EYUC 9004 (модели EYUC 9654) данные об эффективности применения для теста HPL компиляторов аосс, средств библиотек aosl (AMD Optimizing CPU Libraries) и OpenMPI по сравнению с oneAPI Base & HPC Toolkit Classic Compiler 2022.2.0, oneAPI MKL 2022.2.0 (см. о них далее в разделе 1.3.2) и Intel MPI 2021.6 приведены в [88]. В [89] на примере EYUC 9654 сопоставлена получаемая от компиляторов аосс 4.0 и Intel производительность для целого ряда известных приложений, включая молекулярную динамику, CFD и предсказание погоды. Было найдено, что достигаемое различие лежит в пределах нескольких процентов.

В [90] с применением компиляторов аосс 4.0.0 и ifort 2019 сравнивалась достигаемая производительность известного CFD-приложения ANSYS LS-DYNA на двухпроцессорном сервере с EYUC 9654. При компиляции с поддержкой AVX2 чуть более быстродействующий исполняемый код давал аосс, а при использовании AVX-512 чуть быстрее такой код давал компилятор ifort.

Широкий диапазон различных приложений применялся при сравнении оптимизации компиляторами gcc 13.1 и LLVM Clang 16.0 [91]. Хотя разница в среднегеометрической оценке по всем приложениям составила всего несколько процентов, но известное мини-приложение молекулярного

докинга miniBUDE работало в 1.6 раза быстрее при использовании gcc, а тест oneDNN (про библиотеку Intel oneDNN говорится ниже) работал в разы быстрее при компиляции Clang. Приложение молекулярной динамики LAMMPS при использовании обоих компиляторов имело близкую производительность.

Применение среднегеометрической оценки имеет отчасти и ограниченный смысл из-за неясности уровня, который должны бы иметь различные «вклады». В любом случае важными могут оказаться возможные уточнения используемых для конкретных приложений параметров оптимизации. Поэтому по крайней мере для свободно доступных компиляторов целесообразно обеспечивать возможность их выбора программистами.

В связи с расширениями в ISA у процессоров Intel, начиная с Xeon SPR, на AMD Zen 4 не смогут выполняться некоторые использующие эти расширения современные программные средства. И некоторые SDK из состава oneAPI также на Zen 4 не применимы, например, библиотека oneDNN (см. о ней в разделе 1.3.2) для работы с задачами ИИ, которая поддерживает AMX-расширение ISA (см. о нем подробнее в разделе 3.1.2).

Однако AMD предлагает собственную аналогичную библиотеку ZenDNN, оптимизированную для характерных отличий Zen 4 – большого количества ядер и большой емкости кэша L3 [92]. Данные о достигаемой с ZenDNN на Zen 4 производительности имеются, например, в [93].

1.3.2. Средства oneAPI и набор программных инструментов Intel oneAPI

Из-за очень большой широты охвата области применения средств oneAPI они обсуждаются здесь в отдельном подразделе. Безусловно, средства oneAPI заслуживают гораздо более подробного рассмотрения, чем будет проведено далее. Однако про их «классическую» часть от Intel немного сказано выше, а большая и очень важная часть компонент oneAPI относится к задачам ИИ, на которые в обзоре обращается меньше внимания по сравнению с HPC.

С точки зрения автора, наиболее яркие достижения Intel последнего времени лежат как раз в области программного обеспечения, SDK. Здесь необходимо различать реализующийся по исходной инициативе Intel проект oneAPI (проект с открытым исходным кодом с открытым и основанным на стандартах набором интерфейсов, ориентированный на разные типы архитектуры, включая не только процессоры, но и акселераторы), поддерживаемый в рамках группы Unified Acceleration (UXL) Foundation [75], и конкретный оптимизированный свободно доступный программный продукт Intel oneAPI для разных аппаратных средств.

UXL-проект oneAPI во многом ориентируется на стандарт SYCL, расширение C++, которое в настоящее время наиболее актуально для применения в разных акселераторах (например, GPU), хотя может использоваться и на современных процессорах. Intel предложила и реализовала расширение SYCL, DPC++. Некоторую информацию о достигаемой при использовании этих средств производительности в GPU разных разработчиков можно найти в [2]. Кроме DPC++/SYCL, oneAPI включает широкий набор библиотек со стандартизованными интерфейсами, что и породило API в названии. Здесь, естественно, рассматриваются только относящиеся к x86 средства Intel oneAPI. Везде далее под oneAPI подразумевается именно Intel oneAPI для x86.

Безусловно, в oneAPI представлены аналоги знаменитых классических программных средств Intel. Например, библиотека MKL теперь называется oneMKL. Она, как известно, включает кроме программ для векторной математики, плотной и разреженной линейной алгебры также средства для преобразования Фурье и генераторы случайных чисел. Классические компиляторы C++ и Fortran также входят в состав oneAPI, но развиваться далее будут компиляторы oneAPI на основе LLVM. Это не означает, что все новые компиляторы oneAPI всегда превосходят по уровню оптимизации классические компиляторы Intel (см. [94]), но это может зависеть от версии.

Intel активно проводит ориентацию своих процессоров четвертого и пятого поколений на решение задач ИИ, соответственно в oneAPI представлены актуальные для этой области библиотеки. Упомянем, например, библиотеку oneAPI Data Analytics Library (oneDAL) для машинного обучения, ускоряющую анализ больших данных на всех стадиях: получение данных из источника данных, предварительную обработку, преобразование, интеллектуальный анализ данных, моделирование, проверку и принятие решений. OneAPI Deep Neural Network Library (oneDNN) предоставляет основные строительные блоки, используемые в приложениях глубокого обучения.

Мы приведем здесь только ссылки на документацию по средствам oneAPI для HPC [95] и для ИИ [96]. Хотя направления работы Intel все больше устремляются к задачам ИИ, можно отметить членство Intel в сообществе OpenHPC, ориентированном на объединение общих программных компонентов с открытым исходным текстом, нужных для развертывания и управления Linux-кластерами [97].

Текущие (доступные на 5.09.2024) документации для новых компиляторов Intel относятся к версиям 2024.2.1 для DPC++/C++ и 2024.2.0 для Fortran (ifx), а для классического компилятора – к версии 2021.1.0 для icc и 2024.2 – для ifort. Полные описания oneAPI доступны в [98]. Что касается ifx, то имеются данные о росте производительности при его использовании в 2P-сервере с Xeon Max 9480 на величину до 17% по сравнению с классическим ifort (в основанных на Fortran тестах из состава SpecOMP 2012) [99], хотя в некоторых тестах бывало понижение на 3%.

Говоря о применении SDK от Intel для работы с EYUC Zen 4, следует отметить, что самые высокие показатели производительности процессоров AMD Genoa (Zen 4, содержащих наиболее высокопроизводительные ядра – см. далее в разделе 2.2) в данных тестах SPECspu 2017 [51] получены с использованием средств аосс. Однако в суперкомпьютерных центрах, в том числе содержащих EYUC Genoa в узлах, возможно чаще используют компиляторы Intel. Оптимальным и часто применяемым в суперкомпьютерных центрах является предложение целого набора разных компиляторов.

Что касается математических библиотек, то кроме применения открыто доступных библиотек с Zen 4 может использоваться и MKL. Библиотека MKL для 2P-сервера с EYUC 9334 в [100] для HPL давала на 5% более высокую производительность, чем свободно доступная библиотека OpenBLAS. Известное отключение проверки идентификатора процессора в MKL на этом сервере увеличило производительности на 20%.

В отчете [88] на 2P-сервере с EYUC 9654 была получена при использовании аосс, aosl и OpenMPI отмечена более высокая производительность в HPL, чем при работе с oneAPI Base & HPC Toolkit Classic Compiler 2022.2.0, oneAPI MKL 2022.2.0, и Intel MPI 2021.6. Хотя производительность библиотек здесь могла оказаться определяющей, такой результат может быть связан с отсутствием отключения проверки идентификатора для Zen 4.

2. Процессоры AMD EYUC четвертого поколения (архитектуры Zen 4)

В Zen 4, естественно, крайне много общего с архитектурами предыдущих поколений процессоров AMD, особенно с Zen 3. Понятно, что много ярких особенностей Zen 4 обусловлены давним применением AMD многокристальной технологии. Но здесь укажем только одну общую

особенность, давно имеющуюся в серверных процессорах x86 как от AMD, так и от Intel – поддержку SMT (конкретно – двух логических ядер на одном физическом ядре). Про улучшения за счет применения SMT в Zen 4 по сравнению с Zen 3 см. в [22]. Далее об SMT речь в основном пойдет только в разделе 2.4 при рассмотрении влияния SMT на производительность. Для многих задач HPC включение SMT неэффективно.

2.1. Микроархитектура и ISA ядер Zen 4

Рассмотрение микроархитектуры процессоров мы начнем с микроархитектуры ядер. Такой анализ важен в более широком плане, чем тематика данного обзора, поскольку эти ядра применяются также и в других (не серверных) процессорах AMD. Достижение высокой производительности каждого ядра важно не просто из-за стремления к высокой производительности всего процессора, но особенно для ситуаций, когда за лицензию на программное обеспечение платится по числу используемых ядер. Информация в этом разделе будет также включать данные об усовершенствованиях в ISA, поскольку команды выполняются именно ядрами процессоров.

Основной публикацией AMD по микроархитектуре ядер Zen 4 можно считать работу [101]. Каждое ядро включает в себя 1 МБ частного кэша L2, что вдвое больше, чем в Zen 3. Улучшение IPC по сравнению с предыдущим поколением в среднем для однопоточных настольных приложений составляет 13%. Ядро Zen 4 может работать на частоте 5.7 ГГц. Относительно Zen 3 повышена как однопоточная производительность (более чем на 29%), так и производительность на ватт в многопоточных рабочих нагрузках [101].

Построение фронт-энд части Zen 4 (см. блок-схему на рисунке 4) по сути кардинально не отличается по сравнению с имеющейся для Zen 2 блок-схемой на известном сайте wikichip [102], где размещается детальная информация о микроархитектуре процессоров. Однако в [102] для Zen 2 рисунок более детален и охватывает большую часть ядра. Аналогичная информация для Zen 3 и Zen 4 в [103, 104] рассматриваются менее детально.

В Zen 4 за такт может диспетчироваться до шести целочисленных операций, и выполняться до трех загрузок и до двух сохранений. Точность предсказания переходов улучшена по сравнению с Zen 3. Увеличены также размеры буферов по всему ядру. Увеличена емкость кэша предварительно декодированных инструкций (Op Cache на рисунке 4), емкости очереди завершения (retire) обработки микроопераций, и файлов целочисленных регистров и регистров с плавающей запятой [101].

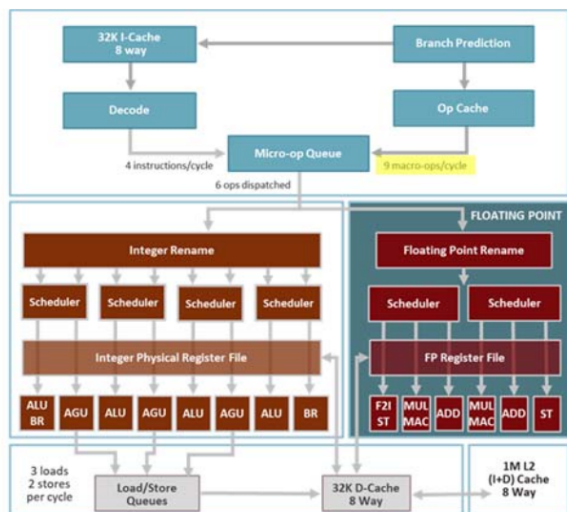


Рисунок 4. Микроархитектура ядер Zen 4 (рисунок из [101])

Что касается фронт-энд части, то в [22] относительно устройства выборки команд отмечены увеличение пропускных способностей очереди выборки команд и их диспетчирования, а также емкости кэша микроопераций. Ряд из этих данных отображены в таблице 4. На отнесенном к исполнительным устройствам слайде в [22] отмечено увеличение очередей загрузки/сохранения, обоих уровней буферов быстрой перезагрузки страниц (L1 и L2 DTLB) и др. (см. также таблицу 4).

Собственно про блоки выполнения мы скажем чуть ниже отдельно, поскольку в Zen 4 была расширена ISA и появилась частичная поддержка AVX-512. Интерес к более подробным, чем ставшие свободно доступными данным о микроархитектуре Zen 4, включая детальные блок-схемы, привел к появлению работ по установлению соответствующей информации с помощью применения микротестов (см. [106]). Подробные количественные данные о микроархитектуре Zen 4 имеются на сайте wikichip [104]; они были частично использованы и при построении таблицы 4.

Естественно, на увеличение производительности ядер Zen 4 относительно ядер Zen 3 влияет и увеличенная емкость кэша L2 (см. таблицу 4), и доли общего для ядер кэша L3, приходящегося на одно ядро (это будет рассмотрено далее).

В интегральном плане отмечается, что указанные выше и приведенные в таблице 4 усовершенствования микроархитектуры Zen 4 относительно

ТАБЛИЦА 4. Сравнение показателей микроархитектуры ядер Zen 3 и Zen 4

	Zen 3	Zen 4
Очередь загрузки, записей	72	88
Очередь сохранения, записей	64	64
Размер кэша микроопераций	4096	6912
8-канальный наборно-ассоциативный кэш L1 I/D	32/32 КБ	32/32 КБ
8-канальный наборно-ассоциативный кэш L2	512 КБ	1 МБ
Кэш L3 на ядро, МБ ¹	4	4
L1 DTLB; ² записей	64	72
L2 DTLB; ³ записей	2048	3072
Задержка кэша L2, тактов	от 12	от 14
Задержка кэша L3; ⁴ тактов	46	50
Ширина выдачи команд (INT+FP/SIMD)	10+6	10+6
Файл целочисленных регистров, записей	192	224
Целочисленный планировщик, записей	96	96
Файл регистров FP, записей	160	192
Буфер переупорядочивания, записей	256	320
Задержка FADD/FMUL/FMA ⁵ , тактов	3/3/4	3/3/4
Записей в L1 BTB	2x1k	2x1.5k
Записей в L2 BTB	2x6.5k	2x7k1

¹ 16-канальный наборно-ассоциативный;

² полностью ассоциативный;

³ Zen 4: 24-канальный наборно-ассоциативный (в Zen 3: 16-канальный наборно-ассоциативный);

⁴ от загрузки до начала использования (в среднем). BTB – branch target buffer.

⁵ векторных команд с плавающей запятой сложить/умножить/умножить-и-сложить

Источники данных: [103, 104], рисунок-таблица на сайте базы данных процессоров [105].

Zen 3 дают увеличение IPC на 14% [22, 23, 107]. Данные о том, какие усовершенствования микроархитектуры ядер дают какой вклад в рост IPC, были представлены на слайде доклада AMD, который носил сначала конфиденциальный характер, но потом стал свободно доступен на ряде сайтов (см., например, [108]). Но эти данные со среднегеометрической оценкой по 22 различным рабочим нагрузкам относятся к ядрам Zen 4 в процессорах AMD Ryzen, и очевидно, что использовались и соответствующие характерные для ПК рабочие нагрузки.

По этим данным, наименьший вклад в рост IPC вносит емкость кэша L2, почти столько же – блок выполнения, раза в два больше дали загрузка/сохранение, почти столько же – предсказание переходов, и еще раза в два больше дали другие блоки фронт-энд части ядер.

К этим данным об IPC можно также добавить полученную в [88] близкую оценку роста IPC (на 12%) в EPYC 9654 относительно Zen 3 Milan-X (EPYC 7773X) в известном квантовохимическом приложении Gaussian 16.

Исполнительные устройства в Zen 4 были существенно модернизированы относительно Zen 3 благодаря внедрению поддержки расширения ISA, AVX-512, которое давно используется в процессорах Xeon и давало им ранее четкие преимущества по пиковой производительности. Этот факт одновременно сопровождался до самого последнего времени другими фактами – отсутствиями аппаратной поддержки 512-битных векторов процессорами как AMD – в EPYC, так и серверными ARM-процессорами, включая и Nvidia Grace с архитектурой Neoverse V2 (A64FX являются в этом плане исключением [7]).

К этому есть понятные причины – возникающая из-за поддержки AVX-512 необходимость дополнительной площади кристалла, и соответственно увеличение стоимости и энергопотребления. Разработчики, естественно, сравнивали возможное удорожание процессора и с рост производительности для широко используемых приложений, в том числе и в HPC-области. Хотя для приложений, производительность которых при этом сильно возрастает, работа с AVX-512 может давать и повышение энергоэффективности.

Самым очевидным, с точки зрения автора, где очень полезно иметь 512-битовые вектора, в HPC-области является умножение больших плотных матриц (DGEMM), что актуально, например, для явно учитывающих корреляцию методах квантовой химии (но не для широко распространенных квантовохимических методов DFT). В качестве самого знаменитого теста производительности, где важно умножение матриц, обычно упоминается HPL [109].

В Zen 4 AMD реализовала аппаратную поддержку части (с точки зрения автора – наиболее важную) «подмножеств» из полного расширения Intel AVX-512 (про эти подмножества см., например, [110]).

Кроме естественной для HPC реализации в AVX-512 операций умножения-и-сложения векторов (fused multiply-add, FMA) в формате FP64, в Zen 4 поддерживается работа с актуальным для ИИ форматом низкой точности BF16 (который часто считают более полезным, чем FP16). Другая важнейшая для задач ИИ реализованная в Zen 4 поддержка AVX-512 – выполнение векторизованных операций нейронной сети VNNI [22, 23]. Остальные поддерживаемые в Zen 4 возможности AVX-512, в том числе и для криптографии, здесь вообще не рассматриваются.

Для обсуждения способа аппаратной реализации AVX-512 в Zen 4 нужно обратить внимание на то, как это было реализовано ранее в Xeon.

С точки зрения сопоставления возможной производительности при работе с AVX-512 в Xeon, давно поддерживающих реализацию AVX-512, надо иметь в виду, что ее применение с операциями FMA для задач НРС приводило там к сильному понижению используемой тактовой частоты (по сравнению с указанной Intel в спецификации турбо-частотой) сразу при выполнении таких команд, а не после повышения выделяемой процессором энергии.

Отсутствие детального описания Intel механизмов понижения частоты при работе с AVX-512 приводило к появлению исследований этого (не обязательно в виде научных публикаций) и работ, нацеленных на более эффективное применение AVX-512, несмотря на понижение частоты (см., например, [111–113]). Естественно, стала изучаться и достигаемая при этом энергоэффективность [114].

Однако относительно «десктопных» процессоров Intel ICL имеется информация о кардинальном улучшении механизма уменьшения частоты [115]; в Xeon ICL механизм понижения частоты также был улучшен (см., например, [116]). Но на конец 2023 года детальные данные Intel по поведению турбо-частот при работе с AVX-512 относились к разряду конфиденциальных [117].

Целесообразность аппаратной поддержки процессорами матричных операций, особенно для НРС-области, вообще подвергается сомнению [109]. Встает вопрос о большей эффективности применения GPU вместо процессоров для сложных расчетов в приложениях, где производительность сильно растет при работе с 512-битными векторами. Однако AMD с ориентацией на задачи НРС (и ИИ) в своих новых процессорах Zen 4 обеспечила поддержку AVX-512.

Аппаратная реализация AMD расширения AVX-512 существенно отличается от ее реализации в Xeon Platinum и большинстве моделей Xeon Gold. AMD пошла по пути экономичного решения, при котором может не требоваться сильное понижение тактовых частот при работе с AVX-512, как у Xeon. Однако при этом пиковая производительность ядер (из-за более низкого числа FLOPS/такт в Zen 4) оказывается все-таки ниже, чем у Intel.

Основная информация от AMD о том, как была аппаратно реализована поддержка AVX-512 в Zen 4, представлена в [22, 23]. Хотя в Zen 4 имеется необходимый для AVX-512 набор 512-битных регистров, но

далее используются 256-битные каналы и 256-битные блоки выполнения. Выполнение 512-битных операций реализовано в виде двух последовательных 256-битных операций, выполняемых в двух соседних тактах. С точки зрения разработчиков, такая реализация способствует высокой энергоэффективности [22].

Появляются и предположения, что EPYC 9004 могут при этом проводить больше времени в турбо-режиме [100]. И, естественно, получается возможным выполнять на Zen 4 двоичный код приложений, использующих AVX-512.

Но AMD еще усилила свои исполнительные устройства для AVX-512. В ядрах Xeon Platinum и большинстве Xeon Gold имеется по два устройства, способных выполнять 512-битные FMA-операции, что для FP64 дает 32 FLOPS/такт. Это выглядит естественно для актуальных для HPC DGEMM-умножений матриц, способных достигать производительности, максимально приближенной к пиковому значению.

Каждое ядро Zen 4 также как у Intel имеет по два исполнительных устройства, но их аппаратура содержит дополнительный к FMA векторный блок сложения [22]. Соответственно, каждое физически 256-битное исполнительное устройство выдает три результата над векторами длиной четыре числа FP64 за такт, а два исполнительных устройства дают 24 FLOPS/такт.

Для реализации DGEMM это не выглядит естественным, и не способствует достижению в DGEMM производительности, близкой к формальной пиковой величине. Можно выдвигать предположения, как такие расширенные возможности Zen 4 могут эффективно использоваться. Согласно [100], в однопроцессорной (1P) конфигурации в тесте HPL это дало возможность получить производительность выше пиковой величины, рассчитанной без учета наличия дополнительного блока сложения (т.е. с 16 FLOPS/такт).

В разделе 2.4.3 для двухпроцессорной (2P) конфигурации представлены подтверждающие такой уровень достигаемой производительности данные от AMD. Для уточнения ситуации нужны дополнительные исследования. Данные о производительности EPYC 9004 в DGEMM и HPL рассматриваются далее в разделе 2.4.3.

Отставание ядер Zen 4 от ядер масштабируемых процессоров Xeon четвертого и пятого поколений в числе FLOPS/такт может компенсироваться большими тактовыми частотами, большим числом ядер или другими преимуществами Zen 4 – но это относится к сравнительным данным о реально достигаемой производительности, которая будет обсуждаться далее.

В Xeon SPR Intel уже реализовала новое расширение ISA, AMX (Advanced Matrix Extensions) [118] с поддержкой матричных операций пониженной точности для задач ИИ. Это является важным преимуществом для этих процессоров Xeon в отношении задач ИИ. Что касается HPC, то AMX может потенциально стать актуальным в сильно ограниченном масштабе – в случае возможности эффективного использования для эмуляции расчетов более высокой точности. Работы в таком направлении сейчас ведутся, но в основном с ориентацией на тензорные ядра в GPU – см. об этом, например, в [2, 109].

В заключение этого раздела необходимо отметить, что у AMD есть еще чуть отличные от Zen 4 процессорные ядра Zen 4c. Содержащий до восьми ядер Zen 4c комплекс ядер (Core Complex, CCX) имеет расположенный в нем общий кэш L3 емкостью 16 МБ – в два раза меньше, чем у ядер Zen 4 [23]. Комплексы ядер CCX будут обсуждаться в следующем разделе 2.2.

В отличие от оптимизированных для высокой производительности ядер Zen 4, ядра Zen 4c оптимизированы по площади кристалла для энергоэффективности [23, 119]. Ядра Zen 4c используются не во всех типах процессоров EPYC Zen 4 (см. таблицу 5 ниже), и к обсуждению здесь микроархитектуры ядер они ничего важного, кроме вышесказанного, не добавляют. Подробнее о ядрах Zen 4c см. [119].

2.2. Микроархитектура процессоров EPYC Zen 4

Основным источником данных для всего дальнейшего анализа в этом разделе является [23]. В случае, если информация была получена из других источников, на них дается соответствующая ссылка.

Величина IPC, возрастающая благодаря проводимым усовершенствованиям в ядрах – это только один интегральный (для ядра) показатель среди информации о многих компонентах процессора, на которые в первую очередь обращают внимание производители, в том числе приводя табличные данные о достигнутом прогрессе в новых поколениях x86. Пожалуй, больше внимания, особенно AMD, в последнее время обращается на рост числа процессорных ядер.

Иерархия построения процессоров EPYC из отдельных ядер включает несколько уровней, что связано с большим количеством используемых ядер и применением многокристалльной технологии (чиплетов).

Следующий уровень иерархии над ядрами называется комплексом ядер, CCX. Из них строятся кристаллы CCD (Core Complex Die), а несколько кристаллов CCD образуют целый процессор. Прежде чем приступить

Таблица 5. Спецификации процессоров Zen 4

	Серия EPYC 8004 (1 сокет)	Серия EPYC 9004 (2 сокета – кроме Genoa 9004P)		
Кодовое имя	Siena	Bergamo	Genoa	Genoa 9004F/Genoa 9004X
Технология	TSMC 5 нм (6 нм для IOD)			
Сокет	SP6	SP5	SP5	SP5
Процессорные ядра	Zen 4c	Zen 4c	Zen 4	Zen 4
Нумерация моделей	8004P, 8004PN	9704	9104- 9604 ⁵	9004F/9004X
Максимальное число ядер (нитей)	64(128)	128 (256)	96 (192)	48(96)/96(192)
Максимальное число ядер на CСХ	8	8	8	8
Максимальное число CCD	4	8	12	8/12
Максимальное число CСХ на CCD	2	2	1	1
Максимальная емкость кэша L3 (на CСХ), МБ	128(16)	256 (16)	384(32)	256(32)/1152(96)
Максимальное число каналов DDR5	6	12	12	12
Максимальная пропускная способность памяти, ГБ/с ¹	230.4	460.8	460.8	460.8
Максимальная емкость памяти на сокет, ТБ	3	6	6	6
Линий PCIe-v5 (максимум)	96	128	128	128
Линий CXL ² 1.1+ (максимум)	48	64	64	64
Максимальная частота, ГГц ³	3.15	3.15	4.15	4.4/4.2
Максимальная boost-частота всех ядер, ГГц	3.1	3.1	3.55 ⁶	3.95 ⁷ /3.7 ⁸
Пиковая производительность, GFLOPS ⁴	3532.8	6912	5529.6	4147.2/5875.2

Данные из [22, 49, 120–122].

¹ Кроме используемой DDR5-4800, по данным [123] ожидается и DDR5-5200;

² Compute eXpress Links;

³ Здесь приводится boost-величины частот;

⁴ Рассчитана на основании базовой частоты для старших моделей – EPYC 8534P, 9754, 9654 и 9474F/9684X соответственно;

⁵ Использована традиционная для нумерации моделей замена разных цифр на 0;

⁶ for EPYC 9654, 3.9 for EPYC 9254;

⁷ for 9474F, 4.15 for EPYC 9174F;

⁸ for EPYC 9684X, 4.20 for EPYC 9184X.

Примечание. IOD (I/O Die) – кристалл ввода-вывода, см. об этом ниже. Приводимые в таблице характеризующиеся как максимальные значения могут не достигаться одновременно (в одной конкретной модели EPYC).

к анализу этой иерархии, укажем на общую для этого обсуждения и последующих анализов производительности таблицу 5.

Особенности процессоров серии EPYC 4004 описаны далее в отдельном подразделе. EPYC 4004 обладают практически всеми рассматриваемыми далее особенностями микроархитектуры, отличаясь в основном чисто количественными показателями.

К Zen 4 относятся три серии серверных процессоров AMD – 9004, 8004 (см. рисунки 5–7) и 4004.

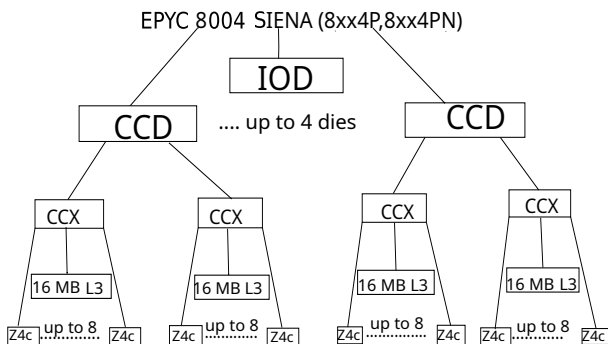


Рисунок 5. Иерархия построения процессоров Siena из ядер (Z4c на рисунке). Кэш L3 – общий для всего процессора

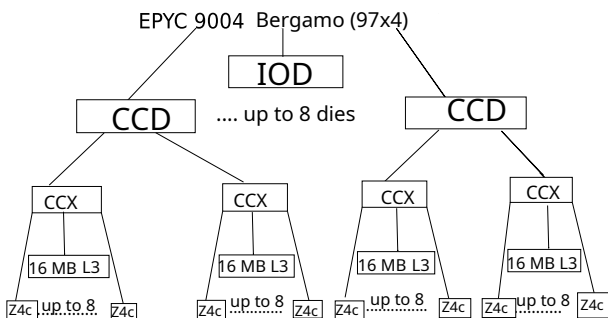


Рисунок 6. Иерархия построения процессоров Bergamo из ядер (Z4c на рисунке). Кэш L3 – общий для всего процессора

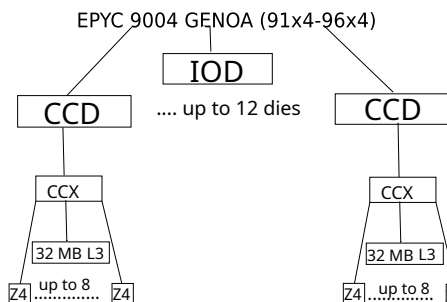


Рисунок 7. Иерархия построения процессоров Genoa из ядер (Z4 на рисунке). Кэш L3 – общий для всего процессора

Процессоры из серии 9004 используют большой сокет SP5 (LGA 6096 [124]), число контактов для микросхемы в котором существенно

больше, чем в пятом поколении масштабируемых процессоров Xeon. В серии 9004 имеются модели, которые могут работать только в 1P-конфигурации или в 1P- и 2P-вариантах. В процессорах серии 9004 могут использоваться ядра Zen 4 или ядра Zen 4c.

Процессоры серии 8004 (с кодовым словом Siena) с более низким TDP и более простым сокетом SP6 используют ядра Zen 4c, содержащие в два раза меньше емкость кэша L3, чем в Zen 4. Siena могут работать только в 1P-серверах. Серия 8004 ориентирована на системы с небольшими физическими размерами и работающими в экологически сложных условиях [23]. Модели серии 8004 бывают двух классов – с номерами 8004P, и с номерами 8004PN. В последнем классе моделей поддерживаются типичные для телекоммуникационных компаний США условия NEBS (Network Equipment-Building System) [125].

Процессоры серии 4004 (с кодовым словом Raphael) относятся к классу серверов с наименьшей (по сравнению с другими сериями) производительностью и определенными отличиями в микроархитектуре от двух других серий. ЕРУС 4004 не предполагаются для применения в областях НРС и ИИ, на которые в первую очередь ориентируется обзор, и их особенности рассматриваются далее вкратце в отдельном подразделе.

В процессорах Siena до восьми ядер Zen 4c с общим кэшем L3 емкостью 16 МБ объединяются в виде ССХ, а до двух ССХ формируют кристалл CCD с кэшем L3 емкостью 32 МБ. Наконец, до четырех кристаллов CCD вместе с кристаллом ввода-вывода IOD образуют процессор (см. рисунок 5). До восьми ядер на ССХ дают до 16 ядер на CCD и до 64 ядер на процессор.

Общая емкость кэша L3 соответственно составляет до 128 МБ; он разделяется всеми ядрами Zen 4c. Другие данные по процессорам Siena приведены в таблице 5. Далее в обзоре эти процессоры практически не рассматриваются, поскольку они не соответствуют основной его тематике.

Процессоры серии 9004 с кодовым словом Bergamo также строятся на ядрах Zen 4c (см. рисунок 6).

В Bergamo используется такая же иерархия вплоть до кристалла CCD, но процессор может содержать не до четырех, а до восьми кристаллов CCD и соответственно до 128 ядер Zen 4c с общей емкостью кэша L3 до 256 МБ. Другие данные, в том числе о пиковой производительности для FP64 и используемой памяти, приведены в таблице 5.

Процессоры семейства Bergamo нацелены на масштабирование с повышенной энергоэффективностью, и их естественным применением являются задачи облачных технологий [22, 107]. Процессоры серии 9004 с кодовым словом Genoa строятся на ядрах Zen 4 (см. рисунок 7). В Genoa до восьми ядер Zen 4 образуют ССХ с общей емкостью кэша L3 до 32 МБ, в два раза

большей, чем в ССХ на базе Zen 4c. Кристалл CCD содержит поэтому не два, а один ССХ. Весь процессор может содержать до 12 кристаллов CCD и соответственно до 96 ядер Zen 4 с общей емкостью кэша L3 до 384 МБ.

Кроме того, в серии 9004 имеются модели процессоров с кодовым словом Genoa-X. В них используется технология AMD 3D V-cache, которая ранее применялась и в EPYC Zen 3 (Milan). При использовании этой технологии поверх каждого кристалла CCD размещается дополнительный кэш, так что общая емкость кэша L3 на CCD в Genoa-X составляет 96 МБ. Соответственно на процессоре с 12 CCD суммарная емкость кэша L3 (он является общим для всех ядер) составляет 1152 МБ [23].

В заключение этого общего введения в иерархическое построение микроархитектуры различных серий процессоров Zen 4 рассмотрим таблицу 6, содержащую конкретные модели этих процессоров, интересные для нашего обзора. Но прежде проясним систему нумерации всех процессоров Zen 4.

Номер модели процессора состоит из четырех десятичных цифр, последняя из которых, равная 4, и означает отнесение модели к архитектуре Zen 4. Про смысл в первой цифре, 8 или 9 для серий 8004 и 9004, только что говорилось выше.

Сконцентрируемся на моделях серии 9004, номер каждой из которых представляется в виде $9KL4$, где K и L – десятичные цифры. С увеличением K от 0 до 6 растет число ядер (C), доступных в процессоре: $C = 8$ при $K = 0$, $C = 16$ при $K = 1$, $C = 24$ при $K = 2$, $C = 32$ при $K = 3$, $C = 48$ при $K = 4$, $C = 64$ при $K = 5$ и C бывает от 84 до 96 при $K = 6$.

Увеличение цифры L от 1 до восьми в номере модели соответствует росту производительности [121]. Кроме того, в конце номера может быть дополнительная буква F для моделей, отличающихся повышенной тактовой частотой, или буква X для Genoa-X с использованием 3D V-cache, или буква P для моделей, которые могут работать только в 1P- серверах. Для серии 8004 используется аналогичная система нумерации.

Причиной формирования такого большого количества разных моделей процессоров является их ориентация на разные области возможного применения и стоимостные показатели. Это стало возможным вследствие модульного подхода AMD с использованием многокристальной технологии и иерархического построения процессоров, описанного выше.

Intel в рассматриваемых далее процессорах Xeon также предлагает огромное количество самых разных моделей для разных применений. Однако для понимания SKU вышеописанный модульный подход AMD представляется более четким и лучше воспринимаемым.

Таблица 6. Модели серверных процессоров EPYC Zen 4 Номер

Номер модели	Кодовое имя	Число ядер	Частота, ГГц (Base/Boost)	Boost-частота всех ядер	Емкость кэша L3, МБ	TDP, Вт ¹	Цена ²	Пиковая производительность (FP64, GFLOPS) ³
9754	Bergamo	128	2.25/3.1	3.1	256	360	\$11900	6912
9684X	Genoa-X	96	2.55/3.7	3.42	1152	400	\$14756	5875.2
9654	Genoa	96	2.4/3.7	3.55	384	360	\$11805	5529.6
9554	Genoa	64	3.1/3.75	—	256	360	\$9087	4761.6
9534	Genoa	64	2.45/3.7	3.55	256	280	\$8803	3763.2
9474F	Genoa	48	3.6/4.1	3.95	256	360	\$6780	4147.2
9454	Genoa	48	2.75/3.8	3.65	256	290	\$5225	3168
9384X	Genoa-X	32	3.1/3.9	3.5	768	320	\$5529	2380.8
9374F	Genoa	32	3.85/4.3	4.1	256	320	\$4850	2956.8
9354	Genoa	32	3.25/3.8	3.75	256	280	\$3420	2496
9334	Genoa	32	2.7/3.9	3.85	128	210	\$2990	2073.6
9274F	Genoa	24	4.05/4.3	4.1	256	320	\$3060	2332.8
9174F	Genoa	16	4.1/4.4	4.15	256	320	\$3850	1574.4
8024P	Siena	8	2.4/3.0	2.95	32	90	\$409	460.8

Данные из [122] и [125] от 9.04.2024.

¹ значение по умолчанию; настраиваемые значения см. в [125, 126];

² данные из [49] от 23.04.2024;

³ рассчитаны автором для базовой частоты.

В таблице представлены модели, производительность которых будет обсуждаться далее, или которые мы считаем интересными для данного обзора.

Кристалл IOD и Infinity Fabric. Все исполнительные блоки, определяющие производительность процессора, по крайней мере относительно пиковых величин, расположены в ядрах и уже рассмотрены выше. Что касается иерархии памяти, то вплоть до уровня кэша L2 все также относится к ядрам.

Блоки общего для всего процессора кэша L3 также расположены в процессорных ядрах, как и собственно оперативная память также общая для всего ЕРУС. Для доступа ядер к памяти используется и межсоединение Infinity Fabric (далее в этом разделе и разделе 3 сокращенно именуется IF), которое связывает между собой CCD. Оно соединяет друг с другом все кристаллы (чиплеты) [121]. IF, как и контроллеры памяти, в Zen 4 интегрировано в блоке IOD. Хотя IOD реализует очень большое количество разных функций (что позволяет говорить о Zen 4 как о SoC), он несколько проще других кристаллов в Zen 4, и сконструирован с применением более дешевой технологии 6 нм. Блоки IOD и CCD как разные кристаллы могут изменяться и усовершенствоваться независимо.

Общее представление о компонентах IOD дает рисунок 8, а общую иллюстрацию того, как IOD задействован для соответствующих функций в разных сериях процессоров, дает рисунок 9.

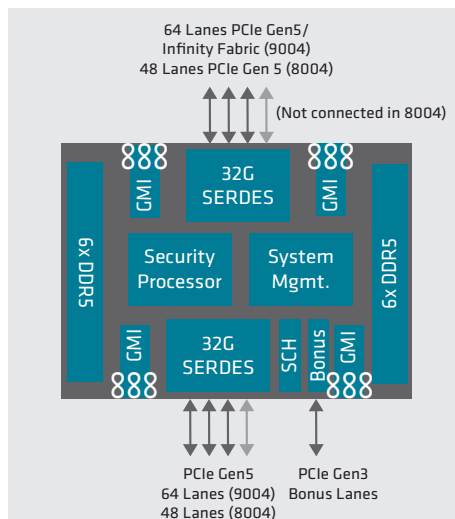


РИСУНОК 8. IOD (рисунок из [23])

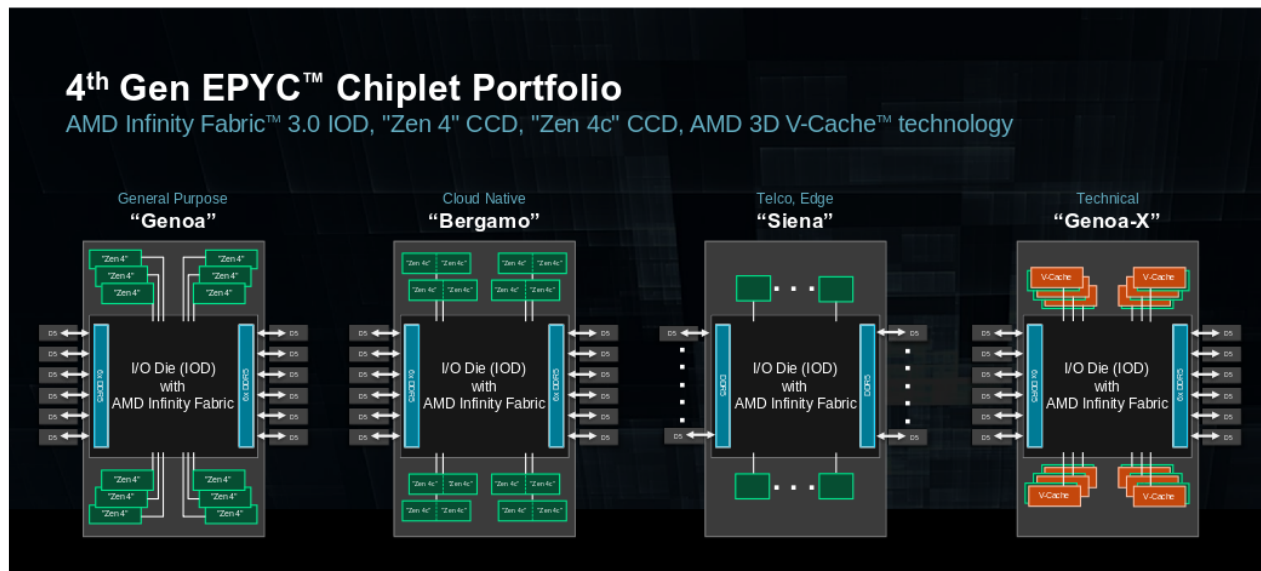


РИСУНОК 9. Использование Infinity Fabric и IOD в разных сериях процессоров EPYC Zen 4 (рисунок из [22])

В майской версии 2024 года документа [23] (в обзоре применялась в основном сентябрьская версия 2023 года) появилась также информация об еще одной компоненте в IOD, блоке управления системой – SMU (System Management Unit), который контролирует распределение мощности на IOD, CCD и ядра, поддерживая процессор в пределах его параметров, в том числе заданных с помощью настроек управления питанием. Об этом речь пойдет ниже при обсуждении TDP.

Технология IF используется AMD не только во всех поколениях процессоров Zen, но и в своих GPU [2] и постоянно совершенствуется. Растет ее пропускная способность. В Zen 4 применяется версия IF 3.0, в которой используются линии, работающие на скоростях на 78% быстрее, чем в IF 2.0, применявшейся в Zen 3 [127].

Топология IF конфигурируема. Базовая часть IF, Infinity Scalable Data Fabric (SDF) [128], нацелена на обеспечение масштабирования межсоединения. Она основана на более ранней технологии Hyper Transport, которая исходно ориентировалась на высокую пропускную способность и низкую задержку. SDF передает данные между конечными точками, например, между узлами NUMA. SDF может иметь точки подключения для PCIe PHY, контроллеров памяти, хаба USB, а также применяется для обеспечения когерентности кэша. SDF связывается с различными сериализаторами/десериализаторами (SerDes). Блок SCH на рисунке 8 отвечает за поддержку интерфейсов разных шин – I2C, SMBus, SPI/eSPI и т. д. Один из блоков IF, в частности, управляет температурой и электропитанием [128].

Поддержание на физическом уровне PCIe PHY дает IF очевидные преимущества в гибкости. Часть поддерживаемого в IOD большого набора линий SerDes используется для работы с SATA, часть – для работы с CXL 1.1+, часть – для работы с PCIe, часть – для работы с IF. Поскольку технология IF применяется и для межсоединения процессоров в серверах, имеется возможность гибкого конфигурирования для конкретных серверов – часть линий PCIe на физическом уровне переключаются на работу с каналами IF [23].

Конкретная конфигурация и применение IOD зависят и от используемого разъема процессора EPHYC, и от конкретной модели процессора, и от конфигурирования IOD в конкретной модели сервера. Эта гибкость позволяет в конечном счете эффективно создавать конкретную модель сервера для определенной области его применения. Все нижеследующие уточнения базируются на данных [23], а для расширений этой информации приводятся соответствующие дополнительные ссылки.

В ЕРҮС 9004 по сравнению с Zen 3 удвоена пропускная способность ввода-вывода процессора за счет применения PCIe-v5 в IOD. Кристалл IOD поддерживает 12 контроллеров DDR5, Infinity Fabric, контроллеры SATA и памяти Compute Express Link (CXL) 1.1+. Для конкретного сервера можно сконфигурировать возможности их применения.

В кристалле рядом с контроллерами памяти находится также процессор AMD Secure, позволяя управлять рядом механизмов шифрования памяти, входящих в набор функций AMD Infinity Guard (см. об этом далее в описании средств безопасности Zen 4).

Кристалл IOD в ЕРҮС Zen 4 имеет 12 IF-соединений с CCD. Эти CCD могут поддерживать одно или два IF-соединения к IOD. В моделях ЕРҮС с четырьмя CCD можно использовать два таких соединения для оптимизации пропускной способности каждого CCD. Это имеет место в некоторых процессорах ЕРҮС 9004 и всех процессорах ЕРҮС 8004. В моделях процессоров с более чем четырьмя CCD, например в серии ЕРҮС 9004, одно IF связывает каждый CCD с IOD.

Процессоры ЕРҮС с большим разъемом SP5 имеют 128 линий PCIe и 12 каналов памяти. Процессоры с более простым SP6, где меньше контактов, поддерживают 96 линий PCIe и 6 каналов памяти.

Но в 2P-конфигурации сервера часть IOD должна работать на IF-соединение между процессорами, поэтому 2P-конфигурация ЕРҮС 9004 на 2 процессора может предоставлять только до 160 линий PCIe.

Часть линий PCIe может быть настроена как встроенные контроллеры SATA, до 64 линий PCIe в ЕРҮС 9004 (до 48 линий – в ЕРҮС 8004) могут быть настроены для поддержки CXL 1.1+ для расширения памяти с когерентным кэшем и поддержки постоянной (persistent) памяти. В конструкции конкретной модели сервера бонусные линии PCIe-3.0 (см. рисунок 8) часто применяются для работы с не требующими высокой производительности устройствами ввода-вывода (например, с дисками SSD M.2), применяемыми для загрузки системы.

Но более важным для задач НРС представляется использование IF вместо части линий PCIe. Поскольку, как отмечено выше, IF совместимо с PCIe PNY, на физическом уровне часть линий PCIe могут применяться для IF. Один канал IF использует физическое соединение $\times 16$ PCIe (это соответствует пропускная способность 128 ГБ/с для двунаправленной передачи). С процессорами ЕРҮС 9004 можно создавать 2P-серверы, и тогда до четырех каналов IF (AMD называет их G-links, или xGMI, а что

такое GMI — см. ниже) могут применяться для связи между процессорами в сервере, что соответственно дает теоретическую двунаправленную пропускную способность до 512 ГБ/с. Это немного больше теоретической пропускной способности 12 поддерживаемых в IOD каналов DDR5-4800 ($12 \times 4.8 \text{ ГГц} \times 8 \text{ байт} = 460.8 \text{ ГБ/с}$). Соответственно скорость доступа к памяти другого процессора близка к скорости локальной памяти [23].

Подобно тому, как 16 линий IF (PCIe PHY на нижнем уровне) объединяются в G-канал, PCIe-линии объединяются в P-канал (см. ниже рисунок 11). Для связи между процессорами можно использовать не четыре, а три G-канала — и тогда освободившиеся линии предоставляются как дополнительные линии PCIe-v5 (или могут применяться для CXL) [121] (о межпроцессорной связи см. в разделе 2.3).

Для связи между набором кристаллов CCD и IOD может использоваться 12 интерфейсов IF, именуемых GMI (Global Memory Interface). IOD могут работать с 4-, 8- или 12-ядерными CCD с ядрами Zen 4 или Zen 4c. Модели EPYC, содержащие не более чем четыре CCD, могут использовать для связи CCD с IOD по 2 GMI.

Кроме того, в состав IOD входит процессор безопасности, обеспечивающий, в частности, безопасное шифрование памяти (Secure Memory Encryption, SME) и безопасную зашифрованную виртуализацию (Secure Encrypted Virtualization, SEV), хаб контроллеров шин USB и др. Краткая информация о функциях безопасности EPYC Zen 4 приведена в данном разделе ниже.

Хотя обсуждение IOD начиналось с иерархии памяти, до сих пор собственно основная память практически не обсуждалась. Выше уже не раз упоминалось про наличие 12 каналов DDR5-4800 в EPYC 9004, дающих соответственно пиковую пропускную способность 460.8 ГБ/с (6 каналов в EPYC 8004 дают пропускную способность в два раза меньше). Благодаря применению DDR5 пропускная способность в EPYC 9004 стала раза в два больше, чем в соответствующих моделях EPYC Zen 3.

Для каждого канала памяти в IOD имеется свой контроллер UMC (Unified Memory Controller). Каждый UMC позволяет использовать один или два модуля DIMM на канал (сокращенно 1DPC или 2DPC), и соответственно до 24 DIMM на разъем при максимально допустимой общей емкости 6 ТБ [121] (типовой вариант для создания такой емкости — использование 3DS RDIMM емкостью по 256 ГБ).

Здесь полезно напомнить, что хотя в DDR5 поддерживается два слота DIMM на канал, такая их установка на одном канале вызывает уменьшение частоты и соответственно пропускной способности канала. Для борьбы с этим, как известно, и появилась буферизованная память, в том числе LRDIMM (см., например, [129]). Буферизованная память могла применяться с AMD EPYC Zen 3 [103], и поддерживается Zen 4 [104].

Наличие в IOD поддержки CXL 1.1+ дает возможность подсоединять еще CXL-память как промежуточный уровень в иерархии памяти между оперативной и внешней памятью. Это представляется наиболее актуальным для работы с базами данных в памяти и машинного обучения, хотя CXL-память может быть целесообразно применять и в других областях [130]. Предполагается эффективность применения CXL-памяти и для задач HPC [131].

Несколько более позднее обсуждение в обзоре памяти для Zen 4, несмотря на ее высокую важность для производительности, было сделано преднамеренно, поскольку для EPYC Zen 4 имеется много более тонких нюансов, относящихся к NUMA-особенностям памяти, для чего требуется отдельный анализ.

NUMA-особенности памяти. При использовании многокристальной технологии в процессоре будут разные задержки памяти в зависимости от варианта соединения отдельного кристалла (CCD в случае с EPYC) и контроллера памяти, т. е. будет NUMA. Последующая информация относительно NUMA базируется на [121], и относится к EPYC 9004.

Благодаря использованию расположенных в IOD контроллеров памяти, которое было реализовано еще в AMD Zen 2, неравномерность задержек памяти была существенно уменьшена. Последующие увеличения емкости кэша L3 в новых поколениях Zen также в определенном смысле элиминируют разницу задержек. Применение в Zen 4 новой версии IF по сравнению с использовавшейся в Zen 3 также способствует уменьшению этой разницы [23]. Однако для приложений, в которых неравномерность задержки памяти остается важной, возможна дополнительная оптимизация с явным учетом возможного разделения процессора на домены (узлы) NUMA, обозначаемые NPS (Nodes Per Socket).

Как видно на рисунке 9, более важные для целей данного обзора процессоры AMD, EPYC Genoa и Genoa-X, а также ориентированные на вычислительные системы с высокой плотностью упаковки процессоры Bergamo, имеют четыре «группы» кристаллов CCD, чему соответствуют четыре квадранта в процессоре. Из них можно образовать четыре узла NPS (см. рисунок 10).

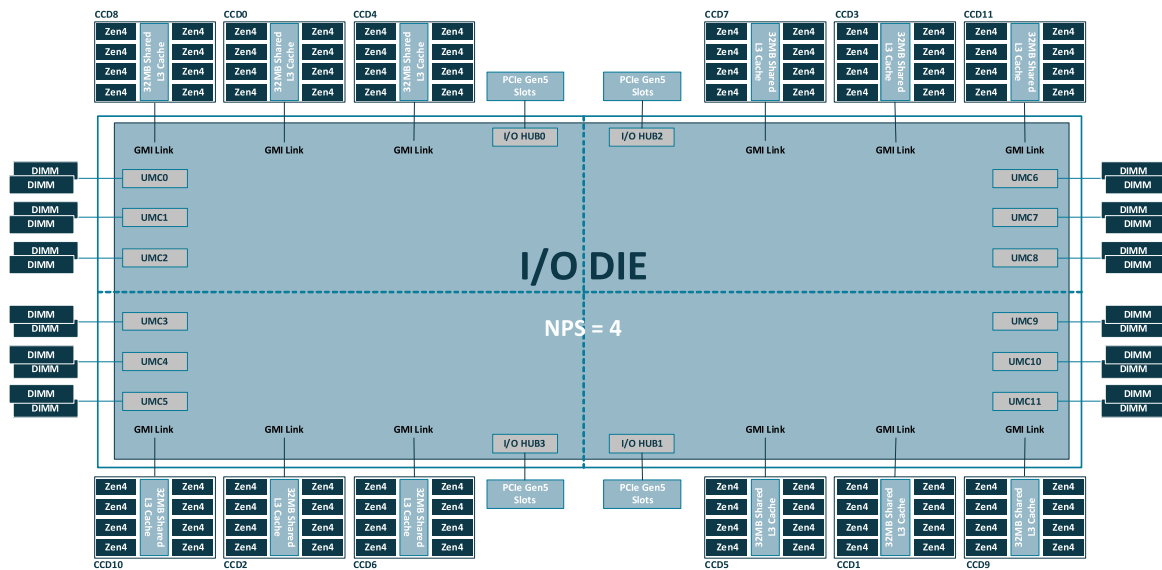


Рисунок 10. EPYC 9004 Genoa/Genoa-X – четыре квадранта и четыре NPS (рисунок из [121])

При NPS=4 процессор разделяется на 4 узла NPS, при NPS=2 – на 2 узла, при NPS=1 процессор имеет один общий NUMA-узел на сокет. Значения NPS устанавливаются в BIOS. Узлы NUMA обеспечивают локализацию ядер, памяти, хабов и устройств ввода-вывода. Можно использовать также и локализацию кэша L3 в каждом CCD, и тогда один процессор с 12 CCD может иметь до 12 узлов NUMA (подробнее см. [121]).

Здесь важно отметить чередование каналов памяти, используемое для возможности одновременной работы нескольких каналов памяти благодаря разбиению адресного пространства памяти на блоки. При NPS=1 чередуются все каналы памяти процессора, при NPS=2 в каждом узле чередуется по 6 каналов памяти, при NPS=4 чередование проводится свое в каждом квадранте. NUMA в 2P-серверах рассматривается далее в разделе 2.3 про вычислительные системы на базе Zen 4.

Получение информации о NUMA-конфигурации системы и привязка запускаемой программы к ядру процессора или узлу NUMA возможны в Linux с помощью команды numactl.

Что касается упомянутой выше CXL-памяти (имеется в виду не постоянная память, а поддерживающая обычные операции загрузки/сохранения), то она может восприниматься просто как отдельный домен NUMA-памяти, увеличивающий величину NPS на единицу (просто как еще один NUMA-узел без ядер) – см., например, [130].

TDP и регулировка частоты в EPYC 9004. Для задач HPC и ИИ, на что в большей степени и ориентирован обзор, актуальны именно процессоры этой серии.

Обычные значения расчетной тепловой мощности (TDP), «по умолчанию» применяемые в моделях EPYC Zen 4, приведены выше в таблице 6. BIOS поддерживает и режим настраиваемого TDP (сTDP), диапазон возможных значений которого известен для каждой конкретной модели Zen 4. сTDP могут использовать, например, производители серверов для оптимизации соответствующих им целевым установкам.

Например, TDP 96-ядерного AMD EPYC 9654 составляет 360 Вт, а сTDP – 320–400 Вт. Для задач HPC часто настраивают сTDP на максимальную мощность 400 Вт чтобы добиться максимальной производительности.

В BIOS у EPYC имеется важный режим детерминизма, который может быть установлен в Power или Performance. Этот режим использует уже упоминавшийся выше блок управления системой SMU для определения эффективной частоты каждого ядра. SMU отслеживает в режиме реального времени мощность, потребление тока и температуру во всех частях процессора и использует информацию о сTDP [121].

Выбор Performance уменьшает возможные различия производительности процессоров в кластере, используя общую базовую эталонную настройку для всех одинаковых моделей процессоров. Выбор Power использует преимущества возможной вариабельности «выработки» и может обеспечить улучшенную производительность во время выполнения. Это позволяет каждому процессору потреблять мощность в соответствии со своими индивидуальными возможностями, не допуская при этом превышения предела мощности cTDP. Выбор Power нужен для установки cTDP на максимальное значение [121].

В сочетании с настройками в BIOS BOOST=ON и детерминизма Power это позволяет SMU использовать всю возможную мощность, и может дать более высокую эффективную частоту выше базовой и для тяжелых SIMD-нагрузок (например, для DGEMM) [121].

Информация о поддерживаемых в EPYC 9004 соответствующих регулировке частоты состояниях процессоров и о регуляторах CPUfreq имеется в [121], на чем и основано изложение ниже. У всего процессора или его отдельных ядер поддерживаются состояния C0, C1, C2.

Для высокопроизводительных сетей с низкой задержкой (например, Infiniband), как указано в [121], состояние C2 в Linux нужно отключать. Настройки подобного типа выполняются с помощью команды `cpupower` для отдельных процессорных ядер или всего процессора. При включении SMT такая регулировка с помощью `cpupower` относится к «логическим процессорам», и отключать C2 надо для соответствующей пары логических процессоров.

В EPYC 9004 для работающего состояния C0 поддерживаются также состояния P0, P1, P2 с разными частотами. В boost-режиме (его можно включить в BIOS, а далее включать/отключать в Linux) каждое ядро может работать на частоте выше той, которая определяется состоянием P0.

Процессоры EPYC поддерживают четыре регулятора CPUfreq. Для HPC обычно используется регулятор `performance`, который выбирает частоту, устанавливаемую в P0. При включенном boost-режиме регулятор пытается поднять частоту до максимального boost-значения [121].

Регулятор `ondemand` устанавливает частоту в зависимости от используемой нагрузки. Это способствует быстрому выходу на максимальную рабочую частоту с последующим пошаговым снижением до P2 при простаивании. Это плохо для «коротко-живущих» нитей [121].

Регулятор conservative аналогичен ondemand, но предлагает более плавный переход к максимальной частоте и быстрый возврат к P2 на холостом ходу. Наконец, powersave устанавливает самую низкую поддерживаемую частоту, фиксируя ее на уровне P2.

Выбор исполняемого регулятора также осуществляется в Linux с помощью cpubower.

Аппаратная поддержка виртуализации. Как уже было указано выше, про эти особенности Zen 4 здесь будут сказано предельно кратко. Технология виртуализации AMD-V применяется в процессорах фирмы очень давно, и для нее используется соответствующая часть ISA. AMD-V включает в себя и такие функции, как виртуализацию ввода-вывода (AMD-Vi), поддерживающую прямое назначение устройств виртуальным машинам, и виртуализацию прерываний AVIC (Advanced Virtual Interrupt Controller).

Но самым важным здесь представляется минимизация накладных расходов на виртуализацию виртуальной памяти. AMD использует для этого вложенные таблицы страниц, применяя трансляцию адресов второго уровня (SLAT), позволяющую избежать накладных расходов при использовании теневых страниц. AMD для этого давно применяет свою технологию Rapid Virtualization Indexing (RVI).

Учитывая возможности расширения памяти с помощью контроллеров CXL для адреса виртуальной памяти в Zen 4 используется уже 57 бит, и реализован пятый уровень вложенных таблиц страниц [23] (пятый уровень таблицы страниц для работы с 57-битными адресами был предложен Intel в 2017 году [132]).

При использовании виртуализации резко возрастают требования к безопасности, поскольку необходимо обеспечить изоляцию данных в разных виртуальных машинах. Для часто используемого второго уровня вложенных страниц, SNP, у AMD давно используются и средства обеспечения безопасности SEV-SNP (SEV – Secure Encrypted Virtualization), см. ниже.

Прозрачные огромные страницы (Transparent Huge Pages, THP), используемые в Linux для уменьшения промахов в буфере TLB для компьютеров с большими объемами памяти, в Zen 4 могут иметь размер 2 МБ [121]. THP именуются прозрачными, поскольку при включении работы с ними в ядре Linux приложения об этом явно не уведомляются – в предположении повышения их производительности за счет сокращения накладных расходов на управление памятью при использовании TLB

благодаря сокращению числа требуемых записей в этом буфере. Включение поддержки ТНР в ядре Linux может повысить работу НРС-приложений, но при работе с БД чаще уменьшает производительность, и его там соответственно отключают.

Безопасность. AMD уделяет большое внимание обеспечению безопасности в Zen 4. Естественно, эти средства безопасности поэтапно развивались, начиная с первого поколения Zen. AMD принимает меры по устранению уязвимостей, известных во время разработки, и это не приводит к необходимости изменять прикладные программы [23].

Расширение применения виртуализации, естественной для многоядерных Zen 4, как отмечено выше, требует повышенной изоляции виртуальных машин, и сопровождалось соответственно усилением аппаратной поддержки средств безопасности. Поскольку у AMD имеется целый ряд таких средств, для некоторых имеется свое собственное описание, мы ограничимся здесь в основном указанием ссылок на них. Эти средства – Infinity Guard (в нем интегрированы упоминавшиеся выше средства SME и SEV-SNP) [133], безопасности памяти [134], теневой стек (Shadow Stack) и защита боковых каналов (Side Channels).

Большинство потенциальных проблем с безопасностью имеются у всех современных процессоров. Теневой стек и защита боковых каналов имеют прямое отношение к задачам виртуализации [135]: нужна строгая изоляция между различными виртуализированными гостями, и каждой виртуальной машине нужен собственный ключ шифрования. Обеспечиваются и безопасные вложенные таблицы страниц (nested paging). В состав IOD входит собственный процессор безопасности; поддерживается также многоключевое шифрование (SMKE) [133], которое позволяет гипервизорам выборочно шифровать диапазоны адресного пространства в памяти, подключенной к CXL [23].

Публикации по средствам обеспечения безопасности в Zen 4, вероятно, будут скоро появляться. Здесь мы укажем на работу [136], в которой анализируются доверенные платформенные модули и возможности процессора безопасности AMD в Zen 3. Пока работы по изучению безопасности проводятся еще и для AMD Zen 2 [137, 138].

Особенности процессоров ЕРУС серии 4004. Эти процессоры применяются в серверах с небольшим числом ядер и одним сокетом. Информация об ЕРУС 4004 имеется в майской версии 2024 года документа [23], на чем и основано краткое изложение в этом подразделе.

EPYC 4004 содержат от 4 до 16 ядер и до двух CCD. Максимально возможная емкость кэша L3 составляет соответственно 64 МБ, а 3D V-кэша – 128 МБ. В этих процессорах используется более простой IOD с меньшей, по сравнению с более старшими сериями процессоров, площадью.

В этом IOD по сравнению с другими сериями EPYC Zen 4 имеется ряд модификаций. В частности, добавлен графический процессор AMD с архитектурой RDNA2. В IOD здесь имеется одно устройство SerDes с 16 линиями, и одно – с 12 линиями, и это дает до 28 линий PCIe-v5. Имеется два канала памяти DDR5-5200 с общей теоретической пропускной способностью 83.2 ГБ/с, а емкость этой памяти может достигать 192 ГБ.

Но благодаря использованию небольшого числа ядер они могут работать в процессоре на высоких тактовых частотах, повышая производительность каждого ядра. Так, 16-ядерная модель EPYC 4564P имеет базовую частоту 4.5 ГГц, а ускоренную – до 5.7 ГГц [139].

Процессор безопасности в IOD этой серии EPYC не поддерживает SEV и SMKE. EPYC 4004 ориентируются на применение в серверах для малого бизнеса, хостинга выделенных серверов и других областей, где достаточно применение процессоров с небольшим числом ядер.

2.3. О вычислительных системах на базе процессоров EPYC 9004

Процессоры EPYC 8004 и 4004 могут использоваться только в компьютерах с одним сокетом и далее не рассматриваются. Реально на месте этого раздела можно было бы обсуждать все от материнских плат до суперкомпьютеров, поскольку ранее анализировались только процессоры. Но в соответствии с направленностью обзора рассмотрение ниже ограничено некоторыми относящимися к EPYC 9004 особенностями – а соответствующие материнские платы и серверы выпускают все ведущие производители. Имеются самые разные варианты серверов и систем из нескольких модулей-серверов и с воздушным, и с водяным охлаждением, как без, так и с GPU.

С EPYC 9004 могут создаваться 1P- и 2P-серверы. В последних, как было отмечено выше, для связи между процессорами используются три или четыре канала IF (G-канала, см. рисунок 11). Для серверов, требующих интенсивного ввода-вывода, можно использовать три G-канала, тогда освободившийся канал можно выделить для PCIe-v5, получая в сумме 160 линий PCIe на весь сервер.

AMD Infinity Fabric Platform Capability

- Up to 32Gbps performance
- 3Link or 4Link Infinity Fabric platform options ("3G" or "4G" option)
 - 3Link: 160L + 12L / platform
 - 4Link: 128L + 12L / platform
- Additional 4L option with front/back connectivity ("2P + 2G" option)
- Platform BW scaling and flexibility for platform innovation

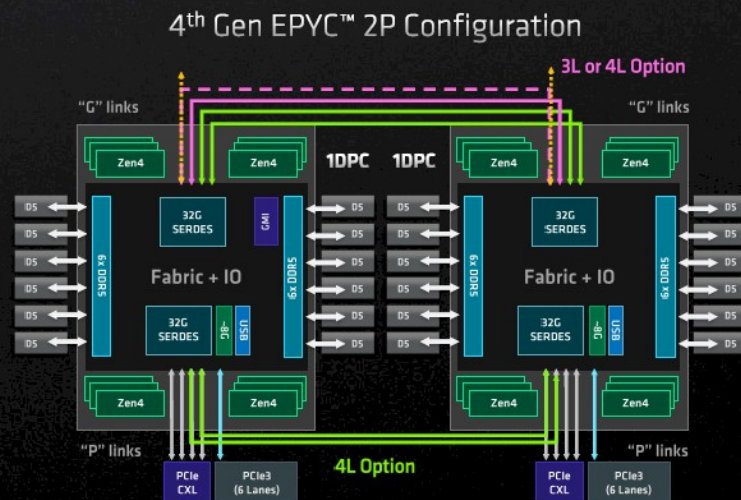


Рисунок 11. 2P-конфигурация с EPYC 9004 (рисунок из [127])

Ориентация AMD на HPC видна даже из руководства по BIOS. Параметры BIOS можно отслеживать в Linux, а некоторые даже изменять. В BIOS серверов с EPYC 9004 есть целый ряд интересных опций, способствующих возможному улучшению производительности или энергоэффективности. Можно с шагом 1 уменьшать количество используемых ядер в CCD от 8 до 1, сохраняя при этом неизменной общую емкость кэша L3. Можно уменьшать количество активных CCD в процессоре, сохраняя при этом количество ядер на CCD [121].

Как уже было указано в разделе 2.2, в BIOS есть опция, разрешающая или запрещающая увеличение используемой частоты процессора. Если она включена, то в командной строке Linux ее можно отключать. Понятно, что есть опция включения/отключения SMT (каждое ядро может поддерживать одну или две нити). Есть опция, повышающая в Linux эффективность обработки прерываний в конфигурации с большим числом процессорных ядер.

Можно явно устанавливать скорость памяти (до 5400 миллионов передач в секунду, что говорит о возможной работе Zen4 и с DDR5-5400). Система с двумя сокетами имеет 24 канала памяти. При установке в BIOS NPS=0 подавляется использование NUMA, и вся общая память, подсоединенная к обоим процессорам сервера, выглядит как однородная. Память при этом чередуется по всем каналам в едином адресном пространстве сервера. Чередование памяти в BIOS можно отключить [121].

Ряд опций относится к работе с xGMI. Подробнее про работу с xGMI и опции BIOS, а также другие важные для HPC особенности, включая работу с межсоединениями Mellanox, см. в [121].

Аналогично руководству [121] для HPC, AMD предлагает руководство для эффективной работы с ИИ [140], где описано, например, как эффективно создавать ориентированные на обработку больших данных Nadoor-кластеры.

С точки зрения безопасности серверов на базе EPYC 9004 укажем, что они получают сертификат FIPS 140-3 (например, сервер от Lenovo [141]).

В завершение раздела про вычислительные системы с EPYC 9004 проиллюстрируем их примерами серверов с этими процессорами, и использующих их узлов суперкомпьютеров из TOP500.

В качестве типичного варианта построения такого сервера можно указать на детальную блок-схему для Lenovo ThinkSystem SR665 V3, относящегося к традиционным 2P-серверам с формфактором 2U [142] (см. рисунок 12).

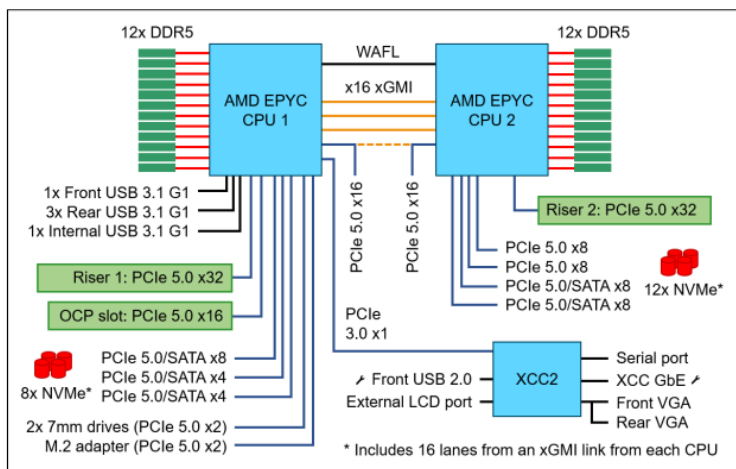


РИСУНОК 12. Блок-схема архитектуры сервера Lenovo SR665 V3 (рисунок из [142])

В качестве примера гомогенных узлов суперкомпьютеров укажем на Shaheen III в Саудовской Аравии, появившийся в 2023 году и занимающий 23-е место в июньском списке TOP500 2024 года. Там узлы содержат по два процессора EPYC 9654 [143].

В качестве примера для гетерогенных узлов с GPU нельзя не указать на первый в мире эксафлопсный суперкомпьютер Frontier. Хотя там в узлах используются 64-ядерные EPYC 7A53 с ядрами Milan (по одному процессору на узел), но в процессоре уже применяется более современный IOD [144]. Про лидирующий начиная с ноябрьского списка TOP500 2024 года суперкомпьютер El Capitan, в гетерогенных узлах которого применяются процессоры Zen 4, говорится в разделе 7.

Другим интересным примером суперкомпьютера из июньского (2024 года) списка TOP500 с GPU Nvidia H100 является немецкий суперкомпьютер HoreKa-Teal, занимающий 6-е место в соответствующем списке GREEN 500. В узлах HoreKa-Teal используются серверы Lenovo ThinkSystem SD665-N V3, содержащие по два 32-ядерных EPYC 9354 [145].

2.4. О производительности вычислительных систем с EPYC Zen 4

Здесь будут рассмотрены данные о производительности в первую очередь серверов с процессорами EPYC Zen 4 серии 9004, в том числе в сравнении с серверными процессорами x86 предыдущего поколения и

ARM-процессорами, хотя в некоторых случаях проводится и полезное сравнение с GPU. Данные о производительности кластеров приводятся исключительно для демонстрации масштабирования в них производительности конкретных приложений.

Рассматривая в обзоре сопоставления производительности разных процессоров, мы в первую очередь обращаем внимание на сопоставления старших моделей (которые часто применяются в суперкомпьютерах), а также на сопоставления моделей, имеющих одинаковое число процессорных ядер. Отдельно мы обращаем определенное внимание также и на модели среднего класса, которые активно используются в HPC, и здесь наиболее интересно именно сравнение моделей с одинаковым числом ядер.

Понятно, что интересно также сопоставление с близкими по ценам моделями или с близкими показателями TDP, но это считается здесь отчасти второстепенным. Кроме того, интерес представляет даже сопоставление производительности моделей с разным числом процессорных ядер, так как это может давать и совсем грубые начальные предположения о возможном масштабировании производительности с числом ядер.

Что касается роста производительности EPYC Zen 4 по сравнению с Zen 3 – то он очевиден из-за увеличения числа ядер, их тактовых частот, появления поддержки AVX-512, роста пропускной способности используемой памяти, емкости 3D-кэша L3 и др. Понятно, что это дает и увеличение производительности моделей Zen 4 при одинаковом числе ядер с Zen 3.

Имеется огромное количество данных о производительности EPYC Zen 4 на сайтах широко известных массовых тестов производительности spec.org, openbenchmarking.org, на сайте AMD (в первую очередь на хабе документации [146]) или на других сайтах, ориентированных, например, на конкретные области применения. Они демонстрируют повышение производительности Zen 4 относительно Zen 3, и обычно – преимущества в производительности относительно Xeon SPR и EMR.

В обзоре приводится лишь небольшая часть таких данных, относящаяся в первую очередь к HPC, и выбранная в качестве более актуальных. В качестве общей иллюстрации ускорения производительности известных HPC-приложений в старшей модели Zen 4 Genoa (EPYC 9654) по сравнению со старшей моделью Zen 3 (EPYC 7763) укажем на данные из доклада AMD на семинаре в Academia Sinica (Национальной академии Китайской Республики Тайвань) [89], см. рисунок 13.

Правда, можно предположить, что эти числовые данные (в процентах) о приросте производительности не средние, и их скорее разумно пометать

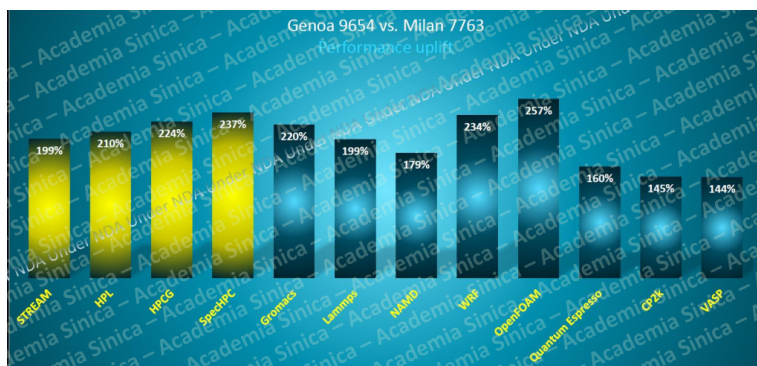


Рисунок 13. Относительная производительность EPYC 9654 по сравнению с EPYC 7763 на тестах и приложениях (рисунок из [89])

признаком «вплоть до». Большое количество данных о производительности разных моделей Zen 3 и Zen 4 для указанных на этом рисунке приложений и тестах, как и для многих других, можно найти в поиске на сайте [openbenchmarking](https://openbenchmarking.org/test/pts/cp2k-1.3.0) по имени теста, что предложит URL типа <https://openbenchmarking.org/test/pts/cp2k-1.3.0>, где cp2k – возможное имя приложения (или теста), а через тире – номер версии.

Данные о производительности для 1Р- и 2Р-конфигурации сервера с моделями EPYC 9654 и 9554 на большом количестве разных приложений, в том числе показывающих преимущества в производительности относительно EPYC Zen 3 и 3-го поколения масштабируемых процессоров Xeon, имеются в [147]. Сопоставление производительности EPYC 9004 с Xeon EMR и Xeon SPR/Xeon Max в основном проводится далее в разделах 4.1–4.4.

В качестве другого примера, охватывающего данные о производительности по большому числу самых разных областей применения, включая многие, не охваченные в данном обзоре, сошлемся на [148]. AMD EPYC стали очень активно использоваться для тестов PTS, там для 2Р-сервера с EPYC 9654 проведены даже сопоставления достигаемой производительности при использовании разных современных дистрибутивов Linux без их любых модификаций на широком наборе тестов, включая молекулярную динамику (NAMD), работу с базами данных (PostgreSQL и MariaDB), задачи ИИ (в том числе тесты OpenVINO и OneDNN) и много других [149].

AMD приводит много данных по производительности EPYC 9004, из них мы отобрали только кажущиеся наиболее актуальными. Но перед

обсуждением конкретных данных тестов производительности, включая данные тестов производительности приложений, полезно указать на общую информацию об ускорении, достигаемом за счет применения поддержки AVX-512 в Zen 4, которая в [150] была получена при тестировании 2P-сервера с EPYC 9654. Там продемонстрировано существенное ускорение на многих тестах для задач ИИ, включая TensorFlow (с моделями AlexNet, ResNet-50 и GoogleNet), OpenVINO, некоторых тестов oneDNN и др. Ускорение EPYC 9004 в задачах ИИ было ожидаемо из-за поддержки в реализованном в Zen 4 расширении AVX-512 возможностей VNNI и формата BF16.

Заметный прирост производительности при использовании AVX-512 был получен в [150] в мини-приложении молекулярного докинга miniBUDE. Это, возможно, связано с применением здесь трехмерных матричных преобразований [151]. В других HPC-приложениях, не использующих традиционные умножения плотных матриц, в том числе в приложении CP2K для молекулярной динамики или в средствах OpenFOAM для CFD, прирост производительности при включении поддержки AVX-512 в [150] был мал.

2.4.1. Данные о производительности в различных тестах SPEC

Естественно начать анализ с данных различных тестов SPECcpu 2017. Соответствующие результаты для производительности с плавающей запятой приведены далее в таблице 27 (там приведены данные этого теста не только для EPYC 9004, но и для Xeon SPR/Xeon Max и Xeon EMR). Много данных, показывающих преимущество в производительности в тестах SPECcpu 2017, SPECComp 2012, SPECmpi 2007 и SPECHpc 2021 разных моделей EPYC 9004 старшего и среднего класса по сравнению с соответствующими моделями EPYC Zen 3 и Xeon ICL (третьего поколения масштабируемых процессоров), в том числе при сравнении с одинаковым числом процессорных ядер, приведены в документе AMD для HPC [152].

Поскольку преимущества в производительности EPYC 9004 по сравнению с процессорами EPYC Zen 3 достаточно очевидны, наш анализ данных тестов SPECcpu 2017 сосредоточен исключительно на сопоставлении производительности с Xeon SPR, EMR и Xeon Max, и проводится далее в отдельных разделах 4.1 и 5.4. По аналогичным причинам данные тестов SPECHpc 2021 в таблице 28 также приведены в разделе 4.1, в котором в основном и сконцентрировано сопоставление производительности EPYC 9004 с масштабируемыми процессорами Xeon 4-го и 5-го поколений.

Что касается тестов SPECComp 2012, то соответствующие результаты из [153] приведены в таблице 7.

Таблица 7. Данные о производительности рассматриваемых процессоров x86 в тесте SPECComp 2012

Модели	Число ЦП	Число ядер	Результат SPECComp_2012	
			Пиковый	Базовый
EPYC 9654	1	96	48.4 ¹	47.5 ¹
	2	192	86.0 ¹	83.0 ¹
EPYC 9754	1	128	64.2 ²	61.7 ²
	2	256	108 ²	104 ²
Xeon 8480+	2	112	—	61.0 ³
Xeon 8490H	2	120	—	61.3 ³
	4	240	108 ⁴	100 ⁴
	8	480	138 ⁵	126 ⁵
Xeon 8592+	2	128	—	62.0

Приведены максимальные достигнутые данные на 1.09.2024.

Отправители результата и использованные серверы:

¹ Lenovo ThinkSystem SR655 V3;

² Cisco UCS C245 M8 SM;

³ xFusion FusionServer 2288H V7;

⁴ Lenovo ThinkSystem SR860 V3;

⁵ Lenovo ThinkSystem SR950V3.

Во всех представленных в таблице серверах, в которых проводились тесты, число процессорных ядер достаточно сильно отличается друг от друга, и большая производительность связана просто с большим числом ядер.

В приведенных в этой таблице данных использовались возможности SMT в процессорах, и применялось по 2 нити на физическое ядро. Данные этой таблицы при переходе от 1P- к 2P-серверам, и от двух- к четырехпроцессорным серверам показывают, какая может быть масштабируемость производительности в этих тестах с ростом числа ядер и соответственно числа используемых нитей OpenMP.

Производительность одного 128-ядерного EPYC 9754 (Bergamo) лишь немного выше, чем в 2P-сервере с Xeon 8480+ (со 112 ядрами на сервер) для базового (без индивидуальной оптимизации для каждого компонента теста) результата, и немного ниже, чем в 2P-сервере с Xeon 8592+ (со 128 ядрами на сервер). Однако процессоры Bergamo изначально не ориентированы на HPC-область и основаны на более медленных ядрах по сравнению с EPYC Genoa, а 2P-сервер с EPYC Genoa (с 96-ядерными моделями EPYC 9654), естественно, в этом тесте 2P-серверы с Xeon опережает.

Вторым важным моментом здесь является пропускная способность памяти. Когда общее число всех ядер в сопоставляемых серверах близко, 2P-система получает преимущество, так как каждый из процессоров имеет свои контроллеры памяти, и суммарная пропускная способность памяти удваивается. Поэтому тот факт, что производительность сервера с одним 128-ядерным процессором Bergamo EPYC 9754 очень немного уступает 2P-серверу с двумя топ-процессорами пятого поколения Xeon 8592+ с тем же общим числом в 128 ядер, говорит о сочетании высокой конкурентоспособности по производительности отдельных ядер Bergamo и хорошего ее масштабирования (а у Genoa – тем более).

Тест SPECComp 2012 для HPC является интегральным (его компоненты задействуют разные области применения), и поэтому результаты весьма актуальны. Но здесь надо было бы исследовать, как масштабируется производительность с ростом числа используемых в расчете ядер.

В [154] приведены интересные данные, показывающие влияние на результат SPECComp числа используемых нитей при тестировании производительности EPYC 9654 со включенной поддержкой SMT. Производительность при переходе от одного ядра (2 нити) к двум ядрам (4 нити) возрастает всего на 25%, но продолжает увеличиваться вплоть до использования всех 96 ядер (192 нитей). На 96 ядрах достигнутое ускорение было более чем в 24 раза. Но с другой стороны это не соответствует известным данным о возможных прекращении масштабирования производительности с увеличением до гораздо меньшего числа ядер, в том числе на приложениях CFD, и общим типовым рекомендациям по выбору процессоров для задач CFD [155]. При этом 5 из 18 тестов в составе SPECComp относятся к CFD, не считая еще и аэродинамический тест о прогнозе погоды (эти области являются связанными памятью). Такие ситуации с быстрым уменьшением роста производительности при увеличении числа использованных ядер часто имеют место и в других приложениях HPC, см. об этом далее.

Здесь также нужно обратить внимание на то, что в документе Lenovo [154], на серверах которой были получены некоторые наивысшие приведенные в этой таблице результаты SPECComp для EPYC 9004, показано, что включение режима SMT приводит к возрастанию производительности более чем в полтора раза. Это противоречит известным данным о слабом влиянии включения SMT на производительность в приложениях HPC и, в частности, рекомендации выключать SMT для CFD-приложений [155]. Но ясно, что исследование зависимости производительности от числа используемых ядер очень важно.

В таблице 8 представлены данные о производительности ЕРУС 9004 (все данные относятся к одному узлу кластера) в тестах SPECmpm 2007. В ней приведены также данные для процессора ЕРУС 9755 (Zen 5, см. об этом в разделе 6).

Таблица 8. Производительность некоторых моделей AMD ЕРУС в тесте SPECmpm 2007

Модель	Число процессоров	Число рангов	Число доступных нитей	Число ядер	Base	Peak
ЕРУС 9754 ¹	1	128	256	128	36.4	36.4
ЕРУС 9654P ²	1	96	96	96	36.4	36.4
ЕРУС 9654 ³	1	96	192	96	36.0	36.0
ЕРУС 9654 ⁴	2	192	384	192	64.1	64.1
ЕРУС 9654 ⁵	2	192	192	96	65.4	65.4
ЕРУС 9755 ⁶	2	256	256	256	96.6	96.6

Отправители данных и серверы, на которых проводился тест:

¹ Supermicro A+ Server 1025CS-TNR;

² Lenovo ThinkSystem SR655 V3;

³ Supermicro A+ Server 1115CS-TNR;

⁴ Supermicro A+ Server 2125HS-TNR;

⁵ Lenovo ThinkSystem SR665 V3;

⁶ Supermicro Hyper A+ Server AS -2126HS-TN.

Данные из [156] на 5.12.2024.

Соответствующие данные для обсуждаемых в обзоре процессоров Xeon SPR, Xeon EMR и Xeon Max отсутствуют, а 2P-сервер с 56-ядерными Xeon 3-го поколения (8380H) показал результат 40.4 (одинаковые базовое и пиковое значения) — чуть больше, чем 1P-сервер с ЕРУС 9654.

Характеристики производительности ЕРУС 9004 для Java-приложений и соответствующих серверных рабочих нагрузок в тестах SPECjbb2015 приведены в таблице 9. В данных этой таблицы отображены только те процессоры, которые могут представлять наибольший интерес с точки зрения автора.

ТАБЛИЦА 9. Данные о производительности ЕРУС и Хеон в тестах SPECjbb2015

Модель	Число ЦП	composite		MultiJVM		Distributed	
		max_jOPS	critical_jOPS	max_jOPS	critical_jOPS	max_jOPS	critical_jOPS
ЕРУС 9754	1P	405933	379972 ¹	446246 362000	192284 335166 ¹	441549 366259	195109 349986 ¹
	2P	645699 632433	538879 578007 ²	892492 703744	401899 ¹¹ 648506 ²	888595 706963	320876 659783 ²
ЕРУС 9684X	1P	442094	414785 ¹	494311 383203	218746 357304 ¹	497170 388313	222613 357576 ¹
	2P	628244 621185	566406 571538 ³	988621 741034	410550 ² 715483 ¹²	970665 745969	387180 ² 717538 ¹²
ЕРУС 9654	1P	381145	356013 ¹	494311	218746 ¹	424600	190451
		376911	356425 ⁴			344964	327561 ¹
	2P	607067	556933 ⁵	967587 741034	373830 ¹³ 715483 ¹²	838821 672893	361028 635876 ²
Хеон 8592+	1P	—	—	258368	152750 ¹⁴	—	—
	2P	-	-	558626 480007	310911 ¹⁵ 421207 ⁸	-	-
Хеон 8580	2P	391485	155366 ⁶	464765	254278 ⁶	—	—
Хеон 8570	2P	372676	147612 ⁶	451099	233491 ⁶	—	—
Хеон 8558U	1P	—	—	203534	112446 ¹⁶	—	—
Хеон 8490H	1P	200721	124502 ⁷	213001	125650 ¹⁷	—	—
	2P	421768	261161 ⁸	505379	257205 ¹⁸	-	-
				458295	368979 ⁸		
	4P	428829	299584 ⁹	884811 733918	472868 ¹⁹ 618248 ⁹	814136 743435	322485 624702 ⁹
Хеон 8480+	2P	343031	309274	476987	243526 ²¹	421268	213428 ²²
		338796	309284 ¹⁰	371890	313390 ¹⁰	373578	309482 ¹⁰
Хеон 8470	2P	334561	226875	402335	210668	402335	207396
		317651	297873 ¹⁰	363716	299820 ¹⁰	359630	298159 ¹⁰

Данные из [https://spec.org/jbb2015/results/ 29.08.2024]; приведены максимальные из полученных результаты на 29.08.2024. Отправители этих результатов и использованные системы:

¹ ASUS RS520A-E12-RS12U;

² ASUS RS720A-E12-RS12;

³ Dell PowerEdge R7625;

⁴ Lenovo ThinkSystem SR665 V3;

⁵ ASUS RS700A-E12-RS12U;

⁶ Nettrix R620 G50;

⁷ Supermicro SuperServer SYS-521E-WR;

⁸ ASUS RS720-E11-RS12U;

⁹ Lenovo ThinkSystem SR860 V3;

¹⁰ Dell PowerEdge MX760c;

¹¹ Kaytus KR1280V2(KR1280-E2-A0-R0-00);

¹² Lenovo ThinkSystem SR665 V3;

¹³ Cisco UCS C245 M8;

¹⁴ Supermicro материнская плата X13SEI-TF;

¹⁵ H3C UniServer R4900 G6;

¹⁶ Supermicro SuperServer SYS-521C-NR;

¹⁷ IEIT I22G7;

¹⁸ xFusion FusionServer 5288 V7;

¹⁹ xFusion FusionServer 5885H V7;

²⁰ Lenovo ThinkSystem SR950 V3;

²¹ Inspur NF5180M7;

²² Dell PowerEdge R760.

Результаты в каждой клетке относятся к тестам одного сервера.

Поскольку максимальный средний показатель `critical_jOPS` может достигаться в одном исполнении теста, а наивысший `max_jOPS` – в другом, во многих случаях максимальная производительность с применением одного и того же процессора отражается парой представленных в этой таблице результатов. Хотя всегда в верхней строчке из такой пары приводятся данные с максимальным `max_jOPS`, для удобства максимальный результат из пары `max_jOPS`, `critical_jOPS` отмечается жирным шрифтом.

Интересно, что во всех трех вариантах теста SPECjbb 2015 системы со 128-ядерными Bergamo EPYC 9754 с уменьшенными емкостями кэша и частотами ядер уступили системам с 96-ядерным Genoa EPYC 9684X (2P-системы уступили только в двух из трех вариантов), но обогнали системы с 96-ядерными Genoa EPYC 9654, не имеющими расширенного кэша L3 (за исключением варианта с MultiJVM).

Данные этих тестов для EPYC 9004 интересны также с точки зрения оценки производительности с процессорами Bergamo и для оценки влияния на производительность расширенного кэша L3.

Данные тестов энергоэффективности (производительности на Вт), SPECpower_ssj 2008 (см. таблицу 10) относятся к серверным бизнес-приложениям Java. Интересно, что разные ARM-процессоры (от Ampere) не показывают в этих тестах ожидаемых для ARM успехов, и отстают от x86 (не представленные в таблице данные для Ampere Altra Q64-30 давали еще более низкий результат).

Результаты этой таблицы демонстрируют сильное превосходство старших моделей EPYC 9004 над старшими моделями Xeon 4-го и 5-го поколений. Многократные «мировые рекорды» по SPECpower_ssj 2008 принадлежат разным серверам на базе ориентированных на энергоэффективность процессоров Bergamo (старшей модели EPYC 9754).

Максимальные показатели в этих тестах достигались на 2P-серверах. Дальнейшее повышение числа процессоров Xeon SPR в сервере (их может быть там до 8) приводит к уменьшению энергоэффективности.

Ниже в таблице 11 приведены данные, уже достаточно далеко отходящие от оценки производительности собственно процессора, но являющиеся интегральными показателями для широко используемых ЦОД. Это тесты производительности консолидированных виртуальных серверов SPECvirt_sc2013, в которых используются смешанные рабочие нагрузки – Web-серверов, mail-серверов, работы с БД и других широко используемых видов нагрузок.

ТАБЛИЦА 10. Данные по производительности на Вт разных процессоров в тестах SPECpower_ssj 2008

Модели процессоров	Число ЦП	Число ядер	Общее количество ssj_ops на ватт	Цена ¹⁴
EPYC 9654	1	96	27448 ¹	\$11805
	2	192	30602 ²	
EPYC 9754	1	128	36637 ³	\$11900
	2	256	37678 ¹	
Ampere Altra Q80-30	1	80	12718 ⁴	\$3950 ¹⁵
Ampere Altra Max M128-30	1	128	11497 ⁵	\$5800 ¹⁵
	2	256	12195 ⁶	
Xeon 8592+	1	64	17224 ⁷	\$11600
	2	128	20408 ⁸	
Xeon 8490H	1	60	14537 ⁹	\$17000
	2	120	17415 ¹⁰	
	4	240	15078 ¹²	
	8	480	11898 ¹²	
Xeon 8480+	1	56	10290 ¹³	\$10710
	2	112	16653 ¹⁰	

В таблице приведены максимальные достигнутые на 15.11.2024 показатели для приведенных процессоров из [https://spec.org/power_ssj2008/results/15.11.2024].
Владельцы аппаратуры и используемые серверы:

¹ Lenovo Think System SR655 V3;
² ASUS RS720A-E12-RS12;
³ Lenovo Think System SD535 V3;
⁴ FALINUX AnyStor-700EC-NM;
⁵ Supermicro, GIGABYTE R152-P31;
⁶ FOXCONN (FII), Mt. Collins;
⁷ Lenovo ThinkSystem SD530 V3;
⁹ Supermicro SuperServer SYS-521E-WR;
⁸ ASUS SC4000-E11;
¹⁰ xFusion FusionServer 2288H V7;
¹¹ Lenovo ThinkSystem SR860 V3;
¹² FUJITSU Server PRIMERGY RX8770 M7;
¹³ Supermicro SuperServer SYS-521C-NR;
¹⁴ Данные о ценах из [49] от 15.11.2024, за исключением цен для процессоров ARM
¹⁵ Данные из [157].

Хотя сравнительных данных этих тестов не так много, как для других использованных в обзоре тестов SPEC, а результаты существенно зависят от отличавшихся показателей как в аппаратуре (например, емкости памяти), так и в программном обеспечении (например, гипервизора), полученные данные о производительности в целом соответствуют ожиданиям. Можно только отметить успех Xeon 8592+. Эти данные могут быть полезными и

ТАБЛИЦА 11. Данные о производительности процессоров в тестах SPECvirt

Процессор	Число ЦП	SPECvirt_sc2013VMs	Платформа
EPYC 9654	2P	8336462	China Mobile (Suzhou) Software Technology
Xeon 8592+	2P	9801546	xFusion Digital Technologies Co., Ltd.
Xeon 8490H	2P	7528420	xFusion Digital Technologies Co., Ltd
Xeon 8480+	2P	5277294	China Electronics Cloud Technology Co., Ltd.
Xeon 8280L	8P	11966672	Lenovo Global Technology

Данные из [https://spec.org/virt_sc2013/results/specvirt_sc2013_perf.html 11.02.2025].

Примечание. После приводится число виртуальных машин. Приведены максимально достигнутые показатели для серверов с процессорами приведенных типов на 29.08.2024.

вообще для оценки возможностей виртуализации.

Можно сказать, что во всех разных приведенных тестах SPEC старшие модели процессоров EPYC 9004 опережают по производительности Xeon SPR и EMR (за исключением некоторых данных для SPECvirt_sc2013).

2.4.2. Тесты пропускной способности памяти stream

Анализ производительности EPYC 9004 в тестах stream сразу после рассмотрения тестов SPEC мы начинаем вследствие все возрастающего числа ситуаций, когда приложения оказываются связанными памятью. Сам рост пропускной способности памяти при переходе от EPYC Zen 3 к Zen 4 очевиден просто хотя бы из-за перехода от применения DDR4-3200 в Zen 3 Milan на DDR5-4800 в EPYC Zen 4. Пропускная способность в stream triad при замене 2P-сервера с 64-ядерными EPYC 7773X или EPYC 7763 на 2P-сервер с 96-ядерными EPYC 9654 возрастает в два раза [88, 158].

В тестах stream пропускная способность может зависеть (кроме размерности массивов) от целого ряда дополнительных параметров – числа нитей в OpenMP, применяемой NUMA-конфигурации (параметра NPS), использования режима SMT, включения/отключения турбо-режима процессора, применения 3D V-cache, а также числа и типа используемых DIMM. В большинстве рассматриваемых далее результатов приводятся данные для наиболее широко используемого теста присвоения линейной комбинации двух векторов третьему (stream triad). В случае применения другого варианта теста stream на это указывается явно.

Необходимые базовые данные об этом тесте с зависимостями от вышеупомянутых параметров приводятся в руководстве AMD по настройке EPC 9004 для HPC [121]. Соответствующие результаты там представлены для 2P-серверов с применением 1DPC и двухранговых DIMM (что дает максимальную пропускную способность) DDR5-4800 с моделями EPC 9654, 9754 и 9684X, с использованием в этих процессорах 8 или 12 CCD. В этом документе представлены также данные с сопоставлениями относительно применения одноранговых DIMM, но эта информация будет рассмотрена ниже отдельно, после явного упоминания о работе с одноранговыми модулями.

Данные оптимальных размеров одномерных массивов для максимизации пропускной способности в stream, указанные в [121], приведены в таблице 12. Из этой таблицы видно, что при увеличении числа CCD и соответственно общей емкости кэша L3 пропорционально увеличивается оптимальный размер массивов. Аналогичное имеет место при увеличении емкости кэша L3 при добавлении 3D V-cache (в EPC 9684X).

Таблица 12. Оптимальные параметры stream для моделей EPC 9004

Модели	Число CCD	Оптимальная емкость памяти каждого массива
EPC 9654	8	2.1 GiB
	12	3.2 GiB
EPC 9754	8	2.1 GiB
EPC 9684X	8	6.4 GiB
	12	9.6 GiB

Для 96-ядерных EPC 9654 при использовании разных количеств CCD, разного числа нитей (до 192), разных значений NPS и включениях/отключениях турбо-режимов работа с применением SMT дает понижение пропускной способности за двумя исключениями из всех возможных комбинаций. Включение турбо-режима приводило к росту достигаемой пропускной способности при любых комбинациях других параметров за исключением случаев с применением в тесте 192 нитей (отметим, что максимальные пропускные способности чаще достигались при другом числе нитей, см. ниже).

Для 128-ядерных EPC 9754 (Bergamo, CCD=8, NPS=4, число нитей до 128) аналогичное поведение пропускной способности при включении SMT или турбо-режима также имеет место при любых комбинациях параметров, за исключением тестов с применением 96 или 128 нитей.

Для 96-ядерных EPYC 9684X с 3D V-cache (CCD=12, NPS=4, число нитей до 192) включение турбо-режима всегда давало увеличение пропускной способности, а включение SMT приводило к уменьшению пропускной способности за исключением случаев работы с 24 нитями.

Из этих данных [121] можно сделать вывод, что включение режима SMT обычно способствует понижению пропускной способности, а перевод процессора в турбо-режим (Boost=ON в EPYC) обычно повышает достигаемую пропускную способность.

Наивысшие значения пропускной способности, ожидаемо, для EPYC 9654 были получены при NPS=4. Поэтому мы приведем одну таблицу 13 с разными числами CCD для всех трех моделей процессоров с NPS=4, SMT=OFF, Boost=ON.

Таблица 13. Пропускная способность памяти (МБ/с)
2Р-серверов с EPYC 9654, EPYC 9684X или EPYC 9754

Число CCD	Число нитей	Пропускная способность		
		EPYC 9654	EPYC 9684X	EPYC 9754
12	24	739500	717866	
	48	770343	755924	
	96	771153	756739	
	144	774746	755686	
	192	766863	753407	
8	16	651350		755930
	32	771730		782937
	64	784341		787422
	96	779301		780101
	128	765102		774657

Данные из [121].

Для EPYC 9654 здесь использовался размер массивов 3.2 GiB, оптимальный для работы с CCD=12. Подробные численные данные для других режимов (параметров), в том числе с указанием числа активных ядер, имеются в [121].

Данные о пропускной способности с EPYC 9654 при использовании оптимальных размерностей массивов для каждого числа CCD (2.1 GiB для 8 CCD и 3.2 GiB для 12 CCD) и двухранговых DIMM приведены в таблице 14.

При использовании одноранговых DIMM достигаемая пропускная способность в этом тесте заметно ниже. Так, «абсолютный максимум»,

ТАБЛИЦА 14. Пропускная способность памяти в 2Р-сервере с ЕРҮС 9654 при CCD=8 с массивами 2.1 GiB и CCD=12 с массивами 3.2 GiB

Число нитей (8/12 CCD)	8 CCD	12 CCD
16/24	656994	742480
32/48	772818	772308
64/96	787566	771964
96/144	784398	774630
128/192	778488	766348

Данные из [121].

полученный при работе с 8 CCD и 64 нитями с ЕРҮС 9654, составляет 788 ГБ/с для 2Р-сервера с двухранговыми DIMM (NPS=4, SMT=OFF, Boost=ON). При работе с одноранговыми DIMM при оптимальных других параметрах пропускная способность меньше, только 726 ГБ/с.

Данные [121] не показывают увеличения достигаемой в этих тестах пропускной способности памяти за счет использования 3D V-cache (возможно и более высокая частота ядер ЕРҮС 9654 в турбо-режиме влияет на нее сильнее), а применение 8, а не 12 CCD часто давало более высокую пропускную способность. И при этом максимальная величина достигается с ЕРҮС 9654 с применением 64 нитей при наличии 96 ядер в каждом из двух процессоров. Если подобная ситуация имеется и для других моделей ЕРҮС 9004, это может способствовать уменьшению масштабирования производительности с ростом числа ядер в разных моделях ЕРҮС 9004 (особенно при работе со связанными памятью приложениями, например, CFD).

В завершение анализа данных [121] следует отметить, что хотя в соответствующих тестах использованы массивы достаточно больших размерностей, в НРС может понадобиться работа и с более крупными массивами, и важно также получить информацию, не будет ли при этом пропускная способность уменьшаться.

Из других данных теста stream для 96-ядерных ЕРҮС 9004 можно указать на [159], где для ЕРҮС 9R14 (грубо говоря, первоначального варианта ЕРҮС 9654) продемонстрирована зависимость пропускной способности от числа задействованных ядер.

В [160] приводятся данные об изменении средней величины пропускной способности между всеми четырьмя вариантами тестов stream (copy, scale,

add и triad) в зависимости от числа применяемых нитей в 2P-сервере на базе 32-ядерных ЕРУС 9384Х по сравнению с 2P-сервером с 32-ядерными Хеон Мах 9462 с использованием в нем только НВМ-памяти или в ее сочетании с DDR в режиме кэширования НВМ-памятью. Тут кэширование НВМ-памятью фактически рассматривалось как аналог кэширования с имеющим большую емкость 3D V-cache в ЕРУС 9484Х. Выигрыш в такой величине пропускной способности у ЕРУС 9384Х по сравнению с пропускной способностью с Хеон Мах 9462 в режиме кэширования убывает при росте числа нитей от 1 до 64. Выигрыш такой пропускной способности в НВМ-режиме без кэширования растет при числе нитей до 64, уже опережая ЕРУС 9384Х при 64 нитях.

Другие отчасти аналогичные данные для тестов stream triad [161] относятся к серверам Fujitsu PRIMERGY (1P с 64-ядерным ЕРУС 9554Р и 2P с 64-ядерными ЕРУС 9534). Там использовались настройки BIOS и выбор NPS= один, два или четыре, и рассматривались разные варианты поддерживаемых DIMM (в т.ч. RDIMM и 3DS RDIMM) с разными величинами скоростей передачи (MT/s) и разной емкостью. Но основные данные об относительной пропускной способности в stream относятся к NPS=1, выключенному SMT и применению 3DS RDIMM (4Rx4 емкостью 128 ГБ).

При этом рассматривается разное число DIMM на сокет. При увеличении их количества до 12 пропускная способность растет, а при 16 модулях и более с применением 2DPC уменьшается на 30–50%. В [161] обсуждено также чередование каналов памяти и энергопотребление при выполнении теста.

Другая интересная информация имеется для 1P- и 2P-серверов (Dell PowerEdge R7615 и R7625) с процессорами ЕРУС 9654Р и 9654 в тестах stream из PTS при использовании параметров BIOS по умолчанию [162]. Здесь была исследована зависимость достигаемой пропускной способности от конфигураций DIMM и соответственно емкости памяти. Было найдено, что все 4 теста stream (copy, scale, add, triad) показали одинаковые тенденции, и данные приведены для теста triad. Эти данные представлены на рисунке 14. Они показывают, что увеличение пропускной способности при переходе от 1P- к 2P-конфигурации очень близко к двукратному.

Если на основе этих данных предположить удвоение пропускной способности в 2P-сервере по сравнению с 1P-сервером для представленной AMD максимальной пропускной способности 788 ГБ/с для stream triad в 2P-сервере с ЕРУС 9654 (см. выше), то очень грубой оценкой максимальной

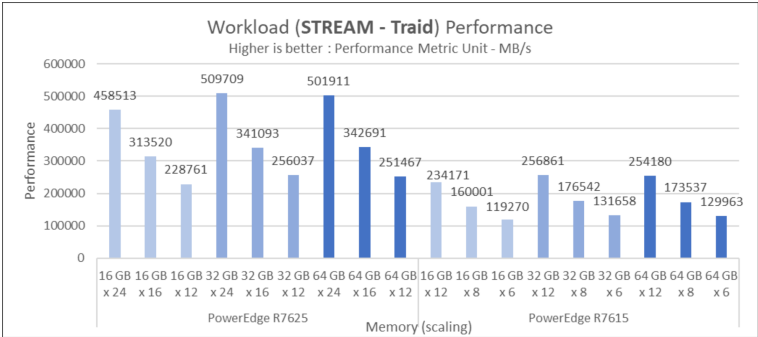


Рисунок 14. Пропускная способность в stream triad (МБ/с) у серверов с ЕРУС 9654/9654Р в зависимости от емкости памяти и параметров DIMM (рисунок из [162])

пропускной способности 1Р-конфигурации будет 394 ГБ/с, что составляет около 85.5% от пиковой величины для 12 каналов памяти DDR5-4800 (см. таблицу 5).

В [162] приведены также аналогичные рисунку 14 данные для зависимостей пропускной способности на Вт и пропускной способности на доллар. Наилучшую пропускную способность и энергоэффективность дает сбалансированная конфигурация с 12 DIMM на сокет с DIMM емкостью 32 ГБ. Этот вариант рекомендуется Dell для связанных памятью рабочих нагрузок. Эта конфигурация обеспечивает пропускную способность на 49 процентов выше, чем с 8 модулями DIMM на сокет с 32 ГБ DIMM. Сбалансированная конфигурация с 12 модулями DIMM на разъем и 16 ГБ DIMM обеспечивает наилучшую пропускную способность за доллар.

Приводившиеся данные, к сожалению, не дают важной информации о зависимости пропускной способности памяти от размера используемых массивов. Выше речь шла о больших емкостях памяти массивов (см. данные их оптимальных размеров в таблице 12). Как показано в [163], пропускная способность памяти в 2Р-сервере с 56-ядерным Xeon Max 9480 достигала максимума при размере массива порядка 100 МБ, а затем понижалась при увеличении размера, и стабилизировалась при одном ГБ и выше. Но у старших моделей ЕРУС 9004 емкость кэша старшего уровня гораздо выше, чем у Xeon Max, и влияние кэша на пропускную способность может быть сильнее.

2.4.3. Тесты умножения плотных матриц (DGEMM) и HPL

С точки зрения приближения к пиковой производительности тестирование DGEMM для НРС является самым важным. По данным [148], 2Р-сервер с 96-ядерными ЕРУС 9654 показал в DGEMM (с использованием аос1) производительность примерно в 1.75 раза больше, чем 2Р-сервер с 64-ядерными ЕРУС 7763 (Milan).

В качестве базовых оценок для ЕРУС 9004 мы будем использовать данные AMD из [121], где для 2Р-серверов производительность DGEMM с ЕРУС 9654 составила 8658 GFLOPS, с ЕРУС 9684X – 8525 GFLOPS, а с ЕРУС 9754 – 10730 GFLOPS. Эти данные показывают, что возможности немного более высоких тактовых частот в ЕРУС 9654 для производительности важнее расширенного 3D V-cache L3 в ЕРУС 9684X, а применение большего числа ядер в ЕРУС 9754 важнее меньшей емкости кэша L3 на ядро в этом процессоре.

Данные AMD о производительности в DGEMM для 2Р-серверов с другими моделями процессоров представлены в таблице 15.

Таблица 15. Сопоставление производительности 2Р-серверов в тестах DGEMM и HPL с разными процессорами ЕРУС 9004 и Xeon ICL

Модели	ЕРУС 9214	ЕРУС 9174	ЕРУС 9224	ЕРУС 9354	ЕРУС 9374F	ЕРУС 9534	ЕРУС 9554	ЕРУС 9654	Xeon 8380
Число ядер	16×2	16×2	24×2	32×2	32×2	64×2	64×2	96×2	40×2
DGEMM (GFLOPS)	1769	2065	2300	3479	3937	5423	6363	7375	
HPL (GFLOPS)	1742	2017	2262	3411.5	3837	5281	6081	7106	4433

Данные из [152], для Xeon 8380 – из [164].

Приведенные в этой таблице данные не являются максимальными величинами из числа предоставлявшихся производителем. Так, в более позднем документе [121] для 2Р-сервера с ЕРУС 9654 приведена производительность 8658 GFLOPS (это уже было указано выше). Кроме того, имеются и еще более высокие показатели производительности в DGEMM и HPL для этих моделей ЕРУС 9004, полученные в тестах в Китае (см., например, [отсылку на Chongqing Microcomputer](#)⁸). Там для ЕРУС 9654 приводится производительность DGEMM 9283 GFLOPS. Нужно также

⁸<https://news.qq.com/rain/a/20230912A0A4M100>, accessed 6.03.2025.

отметить данные о производительности DGEMM для процессоров EPYC 9004 в [100], где в рамках тестов HPCC получена и производительность DGEMM на одно ядро. Там для этого использовалась библиотека MKL. Для ядра в EPYC 9654 там получено 51 GFLOPS, в EPYC 9554 – 58 GFLOPS, а в 32-ядерном EPYC 9334 – 60 GFLOPS, что, вероятно, связано с ростом допустимой частоты процессоров с меньшим числом ядер. Но производительность ядер Xeon SPR среднего класса (в 32-ядерных Xeon 6430) выше (71 GFLOPS) [100].

Кроме распространенных тестов DGEMM, в которых принято использовать соответствующий модуль из оптимизированных библиотек, для EPYC 9004 имеются менее интересные данные тестов Phoronix mt-dgemm (см., например, [147]), в которых применяется трансляция простых вложенных циклов для умножения матриц без использования специальных библиотек, что в таком варианте исходного текста вынужденно должно давать более низкую производительность.

Что касается используемого в TOP500 теста HPL, то согласно данным [148] производительность 2P-сервера с EPYC 9654 примерно в 1.77 раза больше 2P-сервера с EPYC 7763. В [88] производительность аналогичного сервера с EPYC 9654 сопоставляется с 2P-сервером с EPYC 7773X, в том числе для разных размерностей (от 140 до 220 тысяч). Для максимальной размерности сервер с EPYC 9654 в HPL быстрее в 1.75 раза. Эти данные были получены с применением aocl 4.0 (при использовании oneAPI MKL 2022.2 производительность была ниже).

Как и рассмотренные выше данные таблицы 15 о производительности 2P-серверов EPYC 9004 в DGEMM, соответствующие данные для HPL – не максимальные из достигавшихся. В более позднем документе, [121], AMD привела более высокие показатели: 8856 GFLOPS для EPYC 9654, 10134 GFLOPS для EPYC 9754, 8620 GFLOPS для EPYC 9684X. Получавшаяся иногда более высокая производительность EPYC 9654 и EPYC 9684X в HPL, чем в DGEMM, вероятно, связана с наличием в ядрах в дополнение к одному блоку FMA еще одного векторного блока сложения (см. выше в разделе 2.1).

Если из данных таблицы 15 поделить приведенную производительность HPL на число ядер, то в расчете на одно ядро для 40-ядерной модели Xeon 8380 получается 55 GFLOPS, для старшей 96-ядерной EPYC 9654 – существенно ниже, 37 GFLOPS. Однако у моделей EPYC с меньшим числом ядер бывает существенно более высокая тактовая частота, и для 64-ядерной EPYC 9554 такая производительность на ядро равна 48 GFLOPS,

а для 32-ядерной EPYC 9374F уже выше, чем для Xeon, 60 GFLOPS (для младшей 16-ядерной модели EPYC 9214 она 54 GFLOPS, почти как для Xeon). В определенном смысле можно говорить о конкурентоспособности по производительности в HPL на ядро у EPYC 9004 и Xeon ICL, поэтому существенно большее число ядер в старших моделях EPYC 9004 дает им соответственно преимущество в производительности.

По данным AMD [165], в тесте HPL для 2P-сервера на базе 128-ядерного EPYC 9754 получена производительность 10134 GFLOPS, в то время как для 2P-сервера с 60-ядерными Xeon 8490H полученная Fujitsu производительность равна 7296 GFLOPS [166]. Число ядер в сервере с EPYC было в 2.13 раза больше, чем число ядер в сервере с Xeon, а производительность в HPL больше в 1.39 раза. И эта производительность сервера с 60-ядерными Xeon 8490H немножко выше, чем приведенная в [88] величина (7257 GFLOPS) для сервера с 96-ядерными EPYC 9654 (представленные в [152] производительности, указанные в таблице 15, еще чуть меньше). Но приведенные выше более поздние данные о производительности от AMD [121] все равно больше.

В обзоре [100] приведены данные о производительности HPL для процессоров: 96-ядерного EPYC 9654 (3811 GFLOPS), 64-ядерного EPYC 9554 (3319 GFLOPS) и 2P-сервера с 32-ядерными EPYC 9334 среднего класса (3527 GFLOPS) с использованием библиотеки MKL, которая давала несколько более высокую производительность, чем OpenBLAS. Более высокая производительность 2P-сервера по сравнению с 64-ядерным процессором, вероятно, также связана с показателями турбо-частот. Этот 2P-сервер также немного опередил 2P-сервер с Xeon SPR среднего класса (Xeon 6430, 3436 GFLOPS), содержащий такое же число ядер, что, вероятно, связано с более высокими тактовыми частотами в EPYC 9334.

2.4.4. Производительность в тесте HPCG

Другим тестом производительности, результаты которого для суперкомпьютеров приводятся в TOP500, является HPCG, который многие считают более актуальным для большинства HPC-приложений из-за более низкой вычислительной интенсивности и большей чувствительности к пропускной способности памяти, чем в HPL.

Соответственно в этом тесте можно увидеть и зависимость результата от пропускной способности памяти. В [121] для 2P-серверов максимальная производительность, 137.9 GFLOPS была получена при использовании 96-ядерного EPYC 9684X или 128-ядерного EPYC 9754; с EPYC 9654 она была чуть ниже – 135.0 GFLOPS. Эти данные были получены при работе с двухканальными DIMM, а при использовании более медленных одноканальных DIMM (с процессорами без 3D V-cache) она была на 4% ниже. Эти результаты получены с подсетками размером 192 по каждой оси, с 60-секундным хронометражем.

По данным на 20.11.2024 2P-серверы с EPYC 9654 или EPYC 9754 давали в тесте HPCG 3.1 из PTS при разных исходных данных⁹ производительность сильно ниже, чем в [121], опережая при этом 2P-серверы с Xeon ICL (Xeon 8380), но отставая от 64-ядерного Xeon SPR (Xeon 8462Y). В этом тесте данные для 2P-серверов с EPYC 9554, 9654, 9754 и 9684X [12] продемонстрировали преимущество в производительности относительно GPU Nvidia GH200; Ampere Altra Max M128-30 здесь сильно отстает. Сопоставление производительности EPYC 9004 с Xeon SPR и Xeon EMR проводится далее в разделе 4.1.

2.4.5. Параллельные тесты NAS (NPB)

Классическим примером приложений HPC, связанных памятью, являются задачи CFD. Набор тестов NPB базируется на программах, актуальных для CFD, и эти программы также обычно связаны памятью (см., например, [167]). Важным преимуществом NPB можно считать то, что для каждого из тестов в NPB, которые имеют двухсимвольное название, имеется набор исходных данных для классов проблем разного размера, именуемых символами от A (маленькая проблема) до F (самая большая). Классы D, E и F относятся к очень большим и *требуют*¹⁰ соответственно 12.8 ГБ, 250 ГБ и 5 ТБ памяти. Учитывая поддержку до 6 ТБ памяти в EPYC 9004, тесты можно провести даже в 1P-сервере.

⁹<https://openbenchmarking.org/test/pts/hpcg>, accessed 11.02.2025.

¹⁰https://www.nas.nasa.gov/software/npb_problem_sizes.html, accessed 21.11.2024.

В отчёте [100] также представлены данные о производительности EPYC 9654, 9554 и 9334 в тестах класса C. Производительность отдельных ядер этих процессоров в тестах SP, FT, LU, BT, MG, IS и CG из-за более высоких тактовых частот в более младших моделях с меньшим числом ядер (см. таблицу 6) выше, чем у более старших моделей, и у всех этих процессоров ядра сильно опережают Milan 7713P и Xeon ICL 6330. Аналогичные сравнительные результаты имеют место в этих тестах для 1P и 2P-серверов. Но в тесте EP (с чрезвычайной параллельностью – генерация набора из N псевдослучайных чисел и расчет для них гауссовских отклонений) такого сильного эффекта в производительностях не наблюдается.

На рисунке 15 приведены данные из [100] о масштабировании производительности с числом использованных ядер в тесте MG (многосеточный метод, пожалуй наиболее математически приближенный к задачам CFD), а на рисунке 16 – в тесте SP (скалярный пятидиагональный решатель).

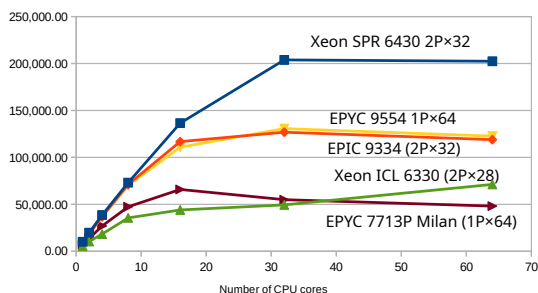


РИСУНОК 15. Производительность в тесте NPB MG.C (Mop/s) по данным [100])

MG.C является связанным памятью (см., например, [168]).

Рисунок 15 четко показывают практически прекращение роста производительности в тесте MG класса C при использовании свыше 32 ядер. В тесте SP.C на рисунке 16 мы видим масштабирование производительности до 64 ядер (а для EPYC 9654 – до 96). Эти результаты могут быть важны для выбора оптимального для расчетов в области НРС процессора, поскольку они четко демонстрируют бессмысленность применения в некоторых случаях процессоров с большим числом ядер.

Поскольку выше уже обсуждались данные для HPCG, тест CG из NPB мы здесь далее не рассматриваем, а тест FT рассмотрен далее в подразделе

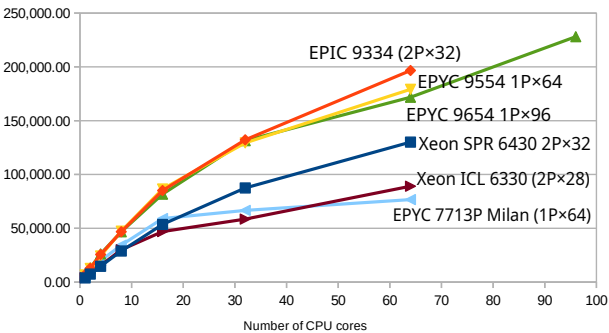


Рисунок 16. Производительность в тесте NAS SP (Mop/s) по данным [100])

про БПФ. Из имеющихся на сайте openbenchmarking.org результатов PTS-тестов NPB для EPYC 9004 мы выбрали для иллюстрации результаты тестов MG и LU (см. таблицу 16).

Таблица 16. Данные PTS-тестов NPB-1.4

Модели	Число ядер	Тест MG.C (Mop/s)		Тест LU.C (Mop/s)	
		1P	2P	1P	2P
EPYC 9754	128	127926	247898	281541	598378
EPYC 9654	96	119395	197380	270942	499455
EPYC 9684X	96	136394	233202	342023	537685
EPYC 9554	64	126497	231992	253447	477048
EPYC 9374F	32	122186	214956	179539	372552
EPYC 7763	64	57458	100845	143472	286606

В таблице приводятся средние значения по разным полученным результатам выполнения тестов [https://openbenchmarking.org/test/pts/npb 11.02.2025] на 24.11.2024.

Эти данные теста MG.C показывают большое увеличение производительности относительно EPYC 7003, масштабирование производительности при переходе от 1P к 2P и повышение производительности за счет использования 3D V-cache в EPYC 9684X. Для EPYC 9554 (1P) результат MG.C в этой таблице достаточно близок к представленному на рисунке 15.

Внешне в этой таблице якобы наблюдается и масштабирование производительности с ростом числа ядер в ЕРҮС 9004. Но эти данные демонстрируют и серьезный недостаток результатов PTS-тестов в openbenchmarking.org, связанный с получением там данных исключительно при использовании всех процессорных ядер в каждом процессоре.

Не так важно, что там бывают большие отклонения в производительности выполнявшихся тестов у разных авторов (для MG.C с ЕРҮС 9654 они были более 10 тысяч Мор/с). Но быстродействие ЕРҮС 9654 в MG.C (даже при использовании максимальной из всех достигнутых в тестах производительности) оказалось ниже 64-ядерного ЕРҮС 9554 (и 32-ядерного ЕРҮС 9374F с ядрами повышенной частоты). Причиной этого могло быть и прекращение роста производительности при числе ядер в процессоре свыше 32, что показывает рисунок 15 – а потом производительность могла начать уменьшаться.

Соответственно данные таблицы 16 показывают относительную производительность разных процессоров в конкретном тесте, не давая оценки эффективности использования тех или иных процессоров. Старшие модели (в первую очередь ориентированные на НРС ЕРҮС 9654) могут показывать гораздо большую производительность относительно моделей с меньшим числом ядер в других тестах (или, наоборот, не демонстрировать этого).

Кроме того, нужно отметить высокие результаты ЕРҮС 9374F в тесте MG.C – они достаточно близки к ЕРҮС 9554 со в два раза большим числом ядер.

В тесте LU.C также видно существенное увеличение производительности при переходе от ЕРҮС 7003, масштабирование производительности при переходе к процессорам с большим числом ядер и от 1P к 2P-конфигурациям серверов. Серверы с ЕРҮС 9554 также опережают по производительности в тестах MG.C и LU.C серверы с Xeon SPR и EMR (см. об их производительности далее в разделе 4.1).

2.4.6. Тесты производительности преобразования Фурье (БПФ)

Далее рассматриваются данные для трех разных тестов БПФ – FT из набора тестов NPВ, теста FFTW¹¹ (точнее, варианта FFTW из пакета FFTE, части набора тестов HPCC¹²) и heFFTe (Highly Efficient FFT for Exascale) [169].

¹¹<https://www.fftw.org/>, accessed 23.11.2024.

¹²<https://hpcchallenge.org/hpcc/>, accessed 8.05.2025.

Библиотека heFFTe для трехмерного БПФ исходно ориентирована на экзамасштабирование (и соответствующий американский проект ECP). Поэтому heFFTe предполагает использование гетерогенных узлов с GPU, однако тестировалась и на гомогенных системах, в том числе на суперкомпьютере Fugaku с ARM A64FX [170].

Показатели производительности в этом тесте¹³ зависят от того, для какого варианта Exascale они представлены (последняя версия на 24.11.2024 -2.4), от версии heFFTe (последняя версия на 24.11.2024 -1.1.0). Там используется тест r2c с разными бэк-эндами (мы рассматриваем FFTW), размерностями N по всем осям (в таблице 17 приведены для N=512) и форматами чисел (в таблице 17 данные heFFTe для FP64). По указанной выше ссылке можно найти данные для разных поколений Хеоп и ЕРУС.

ТАБЛИЦА 17. Производительность в разных тестах БПФ

Модели	heFFTe ¹	NPB FT.C ³		FFTW из HPCC ⁴
	2P	1P	2P	1P
ЕРУС 9754	208	142074 ± 2376	230807 ± 16627	
ЕРУС 9654	254	123767 ± 2015	225350 ± 6792	68
ЕРУС 9684X	323	122140 ± 2543	232995 ± 7382	
ЕРУС 9554	236	125629 ± 1385	238502 ± 5200	65
ЕРУС 7773X	125	64292 ± 373	126663 ± 1938	
Хеоп Max 9480	2212	—	105720 ± 7286	
Хеоп 8490H	129	70543 ± 778	113779 ± 6001	

¹ GFLOPS – для Exascale 2.3 и 2P-конфигураций ЕРУС 9004 с параметром Power в 400 Вт. Данные из [171].
² Для работы только с HBM.
³ Мор/s – для NPB 3.4 в варианте npb.1.4.x из [https://openbenchmarking.org/test/pts/npb от 25.11.2024]. Приведены средние значения и отклонения в разных выполнениях тестов.
⁴ GFLOPS, данные из [100].

Тест heFFTe здесь демонстрирует большой прогресс от Zen 3 к Zen 4, определенное масштабирование производительности до 96 ядер в процессоре (только в крайне ограниченном смысле, указанном выше в подразделе про тесты NPB). В нем 128-ядерный ЕРУС 9754 с уменьшенным кэшем L3 показал более низкую производительность, чем 96-ядерные ЕРУС Gepoa, что сочетается и с большим положительным эффектом 3D V-cache в ЕРУС 9684X, и с сильным увеличением производительности при работе с высокоскоростной памятью HBM в Хеоп Max. Последнее соответствует ограничению производительности БПФ пропускной способностью памяти.

¹³https://openbenchmarking.org/test/pts/heffte, accessed 24.11.2024.

Приведенные данные теста NPV FT.C менее информативны, поскольку данные от разных авторов давали большие величины отклонений. Но здесь можно увидеть большой рост в производительности EYUC 9004 по сравнению с 64-ядерным EYUC 7773X (Milan), масштабирование производительности при переходе от 1P к 2P-конфигурациям серверов, и в весьма ограниченном смысле – масштабирование в EYUC 9004 с ростом числа ядер в процессорах от 64 в EYUC 9554 до 128 в EYUC 9754 (несмотря на уменьшение в нем емкости кэша L3). Кроме того, здесь проявляется не такой большой положительный эффект и от емкости кэша L3, и от высокоскоростной памяти HBM (в Xeon Max).

2.4.7. Производительность в механике сплошных сред

В этом подразделе в основном речь пойдет о задачах CFD, а аэродинамика сюда также включена из-за близости используемых математических методов, но имеющиеся данные о производительности в ней касаются в основном только предсказания погоды.

Здесь рассматриваются данные о производительности, которые могут быть сопоставлены для разных моделей процессоров, обсуждаемых в обзоре; поэтому они в основном касаются производительности в известных приложениях. В качестве примера исследований в данной области, которые здесь не рассматриваются, приведем работы с применением серверов с EYUC 9654 [172, 173].

Однако мы здесь отметим также относящуюся в некотором смысле и к вычислительной химии работу [174] (относится к задачам химического горения), где используются плагины из CFD (в том числе из приложения Nek5000), и исследована производительность на 2P-сервере с EYUC 9654 в сопоставлении с применением GPU Nvidia H100 и AMD MI250X.

Изучение производительности в области CFD представляет интерес для современных многоядерных процессоров в том числе для понимания эффективности применения процессоров с разным числом ядер, поскольку связанные памятью приложения CFD могут прекращать масштабирование производительности при числе ядер, далеко от максимально доступного в настоящее время (см., например, данные по тесту NPV MG.C выше).

Производительность на задачах CFD является одним из самых важных показателей для EYUC 9004 в области HPC, поскольку именно для CFD, возможно, два предыдущих поколения EYUC Zen использовались чаще, чем в других областях HPC. Демонстрация преимуществ производительности EYUC 9654, 9554 и 9374F по сравнению с моделями Zen 3 (EYUC 7763 с 64 ядрами и EYUC 75F3 с 32 ядрами) имеется, например, в [175]. Там даже имеющих наименьшую производительность среди применявшихся процессоров EYUC 9004, 32-ядерный EYUC 9374F, опережал обе модели Zen 3.

Сразу после начала поставок серверов с процессорами Zen 4 на известном в мире CFD ориентированном на практическое применение задач гидродинамики сайте появилась общая рекомендация о выборе моделей EPYC 9004 для их применения в этой области [155].

Поскольку стоимость лицензии на используемые программные средства CFD часто пропорциональна числу доступных для применения процессорных ядер, отношение стоимость/производительность принимает более высокую практическую значимость. Понятно, что там рекомендуется применять модели процессоров, достигающие большую пропускную способность памяти, соответственно поддерживающие 12 каналов DDR5. Кроме того, важной отмечена и емкость кэша L3, соответственно рекомендация ограничивается только серией Genoa (включая Genoa-X с применением 3D V-cache). Там рекомендуется не старшая 96-ядерная модель EPYC 9654, что в первую очередь связано, возможно, с большим стоимостным показателем.

Данные на рисунках 15 и 16 выше также соответствуют выбору процессоров с не самым большим числом ядер. Такому выбору отчасти соответствуют и приведенные ранее данные для теста stream triad, где наибольшая пропускная способность памяти в 2P-сервере с EPYC 9654 получалась с применением 96, а не 192 нитей при использовании 12 кристаллов CCD, а при работе с 8 CCD (и 64 нитями) пропускная способность была еще немного выше.

Производительность средств OpenFOAM. Мы начнем относящуюся к приложениям часть обсуждения производительности в CFD с данных для программных средств более общего характера, поскольку OpenFOAM используются вообще для решения уравнений в частных производных, и, как отмечено выше в разделе 1, применимы не только для задач механики сплошных сред. Последняя на 2024 год версия OpenFOAM была 12 [176].

Для OpenFOAM давно появились разные тесты производительности, а многочисленные данные о ее масштабировании в зависимости от числа процессорных ядер для самых разных процессоров, как x86, так и ARM, постоянно появляются в ориентированном на OpenFOAM блоге использующих CFD¹⁴ с 2018 года по настоящее время.

Используемые ныне и ориентированные на HPC тесты разработаны в 2019 году [177]. Они применяются для разных целей, и для них предлагаются сетки разного размера. Полный их список имеется в [178]. Данные

¹⁴<https://www.cfd-online.com/Forums/hardware/198378-openfoam-benchmarks-various-hardware.html>, accessed 1.12.2024.

этих тестов¹⁵ стали активно появляться для современных процессоров, когда они вошли в состав PTS где результаты теста openfoam-1.2.x для новейших процессоров относятся к OpenFOAM 10. Для этих вариантов теста мы будем ниже рассматривать данные из [171], поскольку это наиболее хорошо подходит для сопоставления разных моделей процессоров.

AMD в [179] приводит средние композитные значения по разным тестам OpenFOAM только для относительной производительности 2P-серверов с EPYC 9004 по сравнению с Xeon SPR. По отношению к 2P-серверу с 56-ядерными Xeon 8480+ сервер с EPYC 9654 быстрее в 1.55 раза (а ядер больше в 1.7 раза), а с EPYC 9684X сервер быстрее в 2.08 раза. У 60-ядерной модели Xeon 8490H соответствующее отношение равно 1.02. Кроме того, по отношению к 2P-серверу с 32-ядерными Xeon 8462Y+ сервер с также 32-ядерными EPYC 9384X быстрее в 1.77 раза. Из этих данных следует также отметить существенное увеличение производительности за счет применения 3D V-cache, что соответствует рекомендациям [155].

В данных [179] может быть более важно другое – AMD показала сверхлинейное масштабирование производительности для кластера с Infiniband HDR из серверов с EPYC 9684X при числе узлов до 8. Это не является удивительным, поскольку такое имело место еще с процессорами EPYC архитектуры Zen 2 (Roma), в которых также используется иерархия микроархитектуры с применением CXX, и было показано сверхлинейное масштабирование в OpenFOAM [180, 181]. Суперскалярное масштабирование там объясняется более эффективным использованием большой емкости кэша L3 в узлах кластера. При этом, согласно [180], более высокая производительность достигается при использовании только половины ядер в 2P-узлах с 64-ядерными EPYC 7742, что способствует высокопроизводительной работе с кэшем L3.

Здесь полезно также отметить, что сверхлинейное ускорение в кластерах достигается и при умножении разреженных матриц на вектор (SpMV) [182], а такая операция активно применяется в задачах CFD.

Хорошее масштабирование в тесте OpenFOAM MotorBike с разными размерами сетки при числе узлов до 16 показано также в кластере с Infiniband NDR и 32-ядерными EPYC 9354 в 2P-узлах [183].

В качестве числовых показателей производительности 2P-серверов с разными старшими моделями EPYC 9004 для конкретного теста OpenFOAM приведем в таблице 18 данные [171] для теста driveerFastback при использовании сетки среднего размера.

¹⁵<https://openbenchmarking.org/test/pts/openfoam>, accessed 30.11.2024.

Таблица 18. Производительность в тесте OpenFOAM
drivaerFastback

Модели	Число ядер	Время расчета, сек
EPYC 9684X	96×2	84
EPYC 9654	96×2	106
EPYC 9754	128×2	115
EPYC 9554	64×2	127
EPYC 7773X	64×2	165
Xeon 8490H	60×2	192

Данные для серверов с EPYC 9004 получены с параметром POWER в 400 Вт.

Из данных этой таблицы видно существенное опережение старшими моделями EPYC 9004 старшей модели Zen 3, которая в свою очередь существенно опережает по производительности старшую модель Xeon SPR. Кроме того, видно положительное влияние на производительность 3D V-cache в EPYC 9684X. Данные, сопоставляющие производительность OpenFOAM на EPYC 9004 и Xeon Max приводится далее в разделе 4.

Производительность в приложениях CFD. По отношению к рассматриваемым далее широко применяемым в мире CFD-приложений от ANSYS при их использования в серверах с EPYC 9004, в том числе в кластерах, есть общие предложения от Supermicro [184]. Там рекомендуется отключать SMT и применять NPS=4. Что касается нецелесообразности применения SMT в разных процессорах для задач CFD, про это известно достаточно давно (см., например, [185]).

Для четырех приложений ANSYS – LS-DYNA, CFX, Mechanical и Fluent – в [186] представлены данные об относительной производительности 2P-серверов с 64-ядерными EPYC 9554 или с 32-ядерными EPYC 9374F по сравнению с 2P-сервером на базе 32-ядерного EPYC 75F3. Для LS-DYNA ускорение составляет соответственно до 1.8 или 1.4 раз, для CFX – до 1.9 или 1.6 раз, для Mechanical – до 1.9 или 1.5 раз, для Fluent – до двух или полутора раз.

Для приложений LS-DYNA, CFX и Fluent в разных тестах количественные, а не относительные показатели производительности представлены в [187] для 2P-серверов с 32-ядерными EPYC 9384X и 96-ядерными EPYC 9684X. Выбор моделей, применяющих 3D V-cache, связан с фактами повышения производительности при его использовании. Применение в тесте 32- и 96-ядерных моделей позволяет оценить производительность для процессоров как старшего, так и среднего класса.

Для оценок производительности в [187] использовался широкий набор тестов: 3-Cars, Neon, ODB 10m для LS-DYNA; LeMans car, Automotive

Pump и Airfoil 10m, 50m и 100m (числа указывают, сколько миллионов ячеек применяется) для CFX; 15 разных тестов для Fluent.

В [187] проведено сопоставление производительности этих моделей с моделями Xeon Max 9462 (32 ядра) и старшей 56-ядерной моделью Max 9480, содержащими 64 ГБ высокоскоростной памяти HBM на процессор. Почти для всех использовавшихся тестов этой емкости для 2P-серверов было достаточно. Исключениями являлись AirFoil 100 для CFX и 3 теста для Fluent. Рост производительности при переходе на работу только с HBM из режима кэширования HBM-памятью в Xeon не превышал 5%. В режиме кэширования среднее композитное ускорение производительности EPYC относительно Xeon для этих трех приложений для 32-ядерных процессоров менялось от 1.3 до 1.7, для старших моделей – от 1.8 до 2.3 раз.

Имеется много представленных AMD данных об ускорении производительности в 2P-серверах с EPYC 9004X относительно Xeon SPR. Для 32-ядерных EPYC 9384X относительно Xeon 8462Y+ : в CFX с Airfoil 10m – до 2 раз, в Fluent с Pump 2m – до 1.8 раз, в LS-DYNA с 3-cars – до 1.9 раз [165]. Ускорения в 2P-серверах с EPYC 9684X по сравнению с 2P-серверами с Xeon 8480+ (топ-модели), а также в 2P-серверах с 32-ядерными процессорами EPYC 9384X по сравнению с Xeon 8462Y+ для LS-DYNA представлены в [188].

Для CFX аналогичные сравнительные данные для 2P-серверов с EPYC 9684X и 9654 относительно 64-ядерных EPYC 7773X, 56-ядерных Xeon 8480+ и 60-ядерных Xeon 8490H (топ-модели) а также для 32-ядерных EPYC 9374F относительно Xeon 8462Y+ приведены в [189]. Для приложения Fluent в [190] приведены аналогичные данные для относительной производительности 2P-серверов с 96-ядерными процессорами EPYC 9684X, 9654, 32-ядерными EPYC 9384X, 9374F, EPYC 7773X и с Xeon 8480+, 8490H, 8462Y+. Там также продемонстрировано сверхлинейное масштабирование производительности в ряде тестов Fluent в кластере с Infiniband HDR и 2P-серверами с EPYC 9684X при числе узлов до 8.

Кроме рассматривавшихся выше широко распространенных в мире приложений ANSYS, нельзя также не упомянуть данные о производительности разных процессоров EPYC 9004 в знаменитом программном комплексе Национальной лаборатории Лоуренса в Ливерморе (США), LULESH¹⁶, который направлен на экзамасштабирование. Хотя это приложение узко ориентировано на решение определенной задачи взрыва, там используются численные алгоритмы, достаточно типичные и для других научных приложений для CFD. В LULESH для решения уравнений гидродинамики делается разбиение всей пространственной области.

Соответствующие результаты для 1P- и 2P-серверов с EPYC 9004¹⁷,

¹⁶<https://asc.llnl.gov/codes/proxy-apps/lulesh>, accessed 13.12.2024.

¹⁷<https://openbenchmarking.org/test/pts/lulesh>, accessed 13.12.2024.

также и [147], показывают плохое масштабирование производительности при переходе от одной модели процессора на другую с большим числом ядер, например, от EPYC 9554 к EPYC 9654, что требует для начала рассмотрения масштабирования с разным числом нитей на процессор. Единственное, имеющиеся там данные показывают более высокую производительность серверов с этими процессорами по сравнению с EPYC Zen 3 и с Xeon ICL, Xeon SPR, Xeon Max и Xeon EMR.

Интересен еще один пример о производительности в области CFD для приложения MFC, предназначенного для решения проблем сжимаемого многофазного потока — то есть не относящегося к таким широко используемым приложениям, как рассмотренные выше приложения ANSYS. В [191] представлены данные о достигаемой в MFC производительности с GPU Nvidia GH200, H100, A100 и V100, а также AMD MI250X, — в том числе по отношению к производительности 1P-серверов с разными процессорами, включая и EPYC 9654, Xeon Max 9468 и Nvidia Grace (ARM Neoverse v2). Среди процессоров самым быстрым оказался EPYC 9654, который отставал от GPU в 1.5–5.3 раза.

В заключение в данном подразделе приведем данные о производительности приложения WRF, предназначенного как для атмосферных исследований, так и для оперативного прогнозирования погоды.

WRF относится к числу связанных памятью приложений. Все приводимые далее данные тестов производительности WRF¹⁸ относятся к применению набора данных Conus 2.5km одной из лабораторий национального центра атмосферных исследований США. Они, в частности, используются в WRF-тесте¹⁹ из PTS, где применяется WRF 4.2.2. Такие тесты проводились, например, как часть PTS-тестов в [147, 171].

По данным AMD [192], в 2P-серверах производительность EPYC 9684X и EPYC 9654 по сравнению с EPYC 7773X выше более, чем в два раза, а по отношению к Xeon 8480+ — в 1.7–1.8 раз. При этом EPYC 9684X с 3D V-cache имеет наивысшую производительность.

Числовые показатели в таблице 19 получены в [147] с использованием детерминизма Power для EPYC 9004. Они демонстрируют высокий рост производительности уже при переходе от 64-ядерных процессоров EPYC 7773X к EPYC 9554. В [171] показана более высокая производительность 2P-сервера с EPYC 9684X (но также в режиме с более высоким энергопотреблением), который опередил и Xeon 8490H.

¹⁸https://www2.mmm.ucar.edu/wrf/users/benchmark/v44/v4.4_bench_conus2.5km.tar.gz, accessed 4.12.2024.

¹⁹<https://openbenchmarking.org/test/pts/wrf>, accessed 4.12.2024.

ТАБЛИЦА 19. Данные теста WRF 4.2.2 (с conus 2.5km) для серверов с EPYC 9004

	EPYC 9654		EPYC 9554		EPYC 7773X	
	1P	2P	1P	2P	1P	2P
Время расчета, сек	7370	3940	8228.5	4503	15436	7411

Данные о производительности WRF 4.2.2 в 1P- и 2P-серверах с 32-ядерными процессорами EPYC 9374F в этом же тесте, в том числе в сравнении с производительностью серверов с 32-ядерными EPYC Zen 3 и Xeon ICL, имеются в [193].

По данным [192], производительность кластера с Infiniband HDR и 2P-серверами на базе EPYC 9684X и EPYC 9654 до восьми узлов растет почти линейно (с EPYC 9684X чуть быстрее, с EPYC 9654 чуть медленнее). В [183] производительность WRF 4.5 в Infiniband NDR-кластере с 2P-серверами, использующими 32-ядерные EPYC 9354, показала практически линейную масштабируемость при числе узлов в кластере до 16.

2.4.8. Производительность в задачах вычислительной химии

В этом разделе рассмотрены области, которые можно отнести ко всем разделам химии, включая биохимию и науку о материалах. Здесь рассматриваются данные о производительности в задачах молекулярной динамики, квантовой химии и молекулярного докинга. Но поскольку вычислительная химия активно используется и для задач конструирования лекарств, в конце этого раздела добавлена еще информация о ставших актуальными для медицины задачах геномики, в которых применяются обработка больших данных и, возможно, векторные операции.

Молекулярная динамика. Задачи молекулярной динамики стали одной из самых главных областей, для которой разработчиками процессоров и GPU демонстрируются данные о производительности. Одна из важнейших причин этого – высокий достигаемый уровень распараллеливания. Но с точки зрения применяемых рабочих нагрузок в этой области имеются и кардинальные различия в зависимости от использования классической или квантовой молекулярной динамики, а в последней – еще и в зависимости от применяемого базиса (плоских волн или, что реже, гауссовских функций). Чаще всего тесты производительности выполняются для классической молекулярной динамики, которая и будет далее обсуждаться. Данные для квантовой молекулярной динамики рассмотрены в конце данного подраздела с явным указанием на квантовый уровень расчетов.

AMD для своих процессоров EPYC 9004 приводит специальные обзоры эффективности для задач молекулярной динамики. В [194] демонстрируется ускорение в известном высоким уровнем распараллеливания программном комплексе GROMACS на вычислительном экземпляре Amazon AWS EC2 hpc7a.96xlarge с EPYC 9004 по сравнению с EPYC 7003 в hpc6a.48xlarge и хороший уровень масштабирования производительности при использовании до 16 экземпляров виртуальных машин. В [195] AMD показала ускорение на 2P-сервере со 128-ядерным EPYC 9754 (Bergamo) по сравнению с аналогичным сервером на базе 56-ядерного Xeon 8480+ более чем в два раза на задачах классической молекулярной динамики (в программных комплексах GROMACS и NAMD), что лишь немного ниже, чем увеличение числа ядер. Для квантовой молекулярной динамики (с методом DFT в базисе плоских волн) в Quantum Espresso ускорение составило 1.4 раза. Можно отметить, что AMD продемонстрировала это при использовании Bergamo с уменьшенной емкостью кэша L3 на ядро, хотя и предлагает такие процессоры в первую очередь для облачных технологий.

В [121] AMD привела данные о производительности 2P-сервера с EPYC 9654 в классической молекулярной динамике по программе GROMACS для расчета молекулярной системы (с 1536 тысячами атомов) из молекул воды, показывая зависимость от включения турбо-частот, SMT, применения разных NPS и разного числа ядер в ССХ, образующих там общий кэш L3 (см. рисунок 7). Эти данные представлены на рисунке 17.

На оси ординат здесь приводится достигаемая производительность — количество рассчитанных наносекунд (нс) во временной траектории за день. На горизонтальной оси для каждого значения NPS и каждого числа используемых ССД (8 или 12) указывается еще разное число задействованных в ССХ ядер (от 1 до 8). Эти данные показывают, что максимальной производительности можно добиться в турбо-режиме с отключенным режимом SMT. Здесь показано, что использовать более тонкие NUMA-настройки (более высокие уровни NPS) не нужно. Зависимость от числа использовавшихся ядер позволяет пользователю определить более оптимальный по их числу процессор.

В [183] получены данные о масштабируемости GROMACS в 16-узловом кластере с Infiniband NDR 200 и 2P-серверами с 32-ядерными EPYC 9354 с разными исходными данными (при использовании 5 разных молекулярных систем). Соответствующие результаты представлены на рисунке 18, который показывает хорошее масштабирование во всех случаях. На оси ординат здесь отложена производительность, как и на рисунке 17.

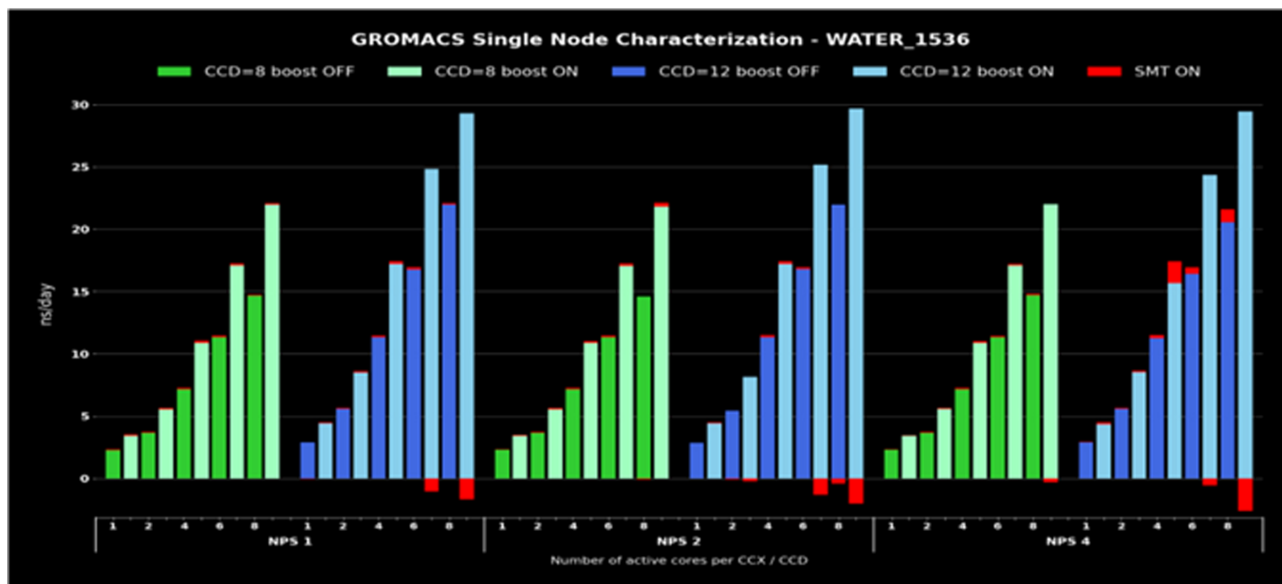


Рисунок 17. Производительность GROMACS в 2P-сервере с EPYC 9654: зависимость от параметров сервера (рисунок из [121])

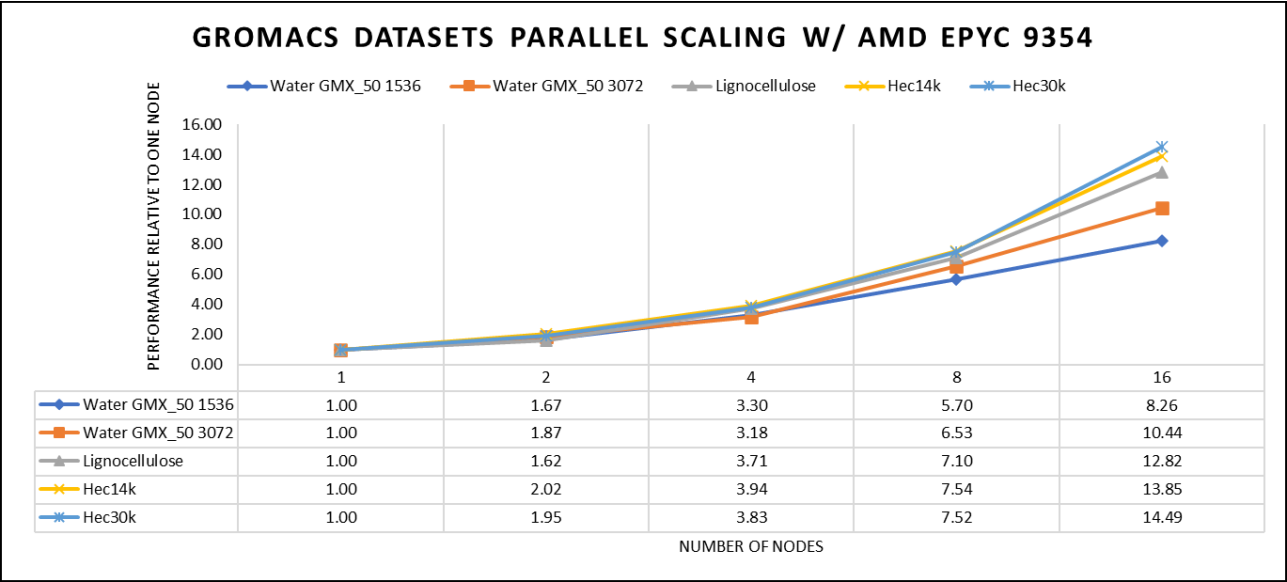


Рисунок 18. Масштабирование производительности GROMACS в кластере с EPYC 9354 (рисунок из [183])

Достижимое ускорение при распараллеливании зависит, в частности, от размера системы, что четко видно при сравнении распараллеливания в тестах комплексов молекул воды: Water_GMX50_1536 (1536k атомов) и Water_GMX50_3072 (3072k атомов): последний, содержащий свыше 3 миллионов атомов, распараллеливается заметно лучше.

Производительность 1P- и 2P-серверов с EPYC 9684X, 9654 и 9554 в GROMACS с такими комплексами молекул воды представлена в PTS-тестах²⁰. Имеющиеся там данные для тестов Water_GMX50_bare в GROMACS 2024 демонстрируют более высокую производительность старших моделей EPYC 9004 по сравнению с Xeon SPR, Xeon Max и Xeon EMR.

Здесь представляется актуальным привести данные о зависимости производительности EPYC 9654 в молекулярной динамике от числа задействованных параллельных процессов в 2P-сервере, которые в [88] имеются для программного комплекса AMBER для расчета в тестах Cellulose NVE с явным учетом растворителя (там молекулярная система содержит около 400 тысяч атомов) и Nucleosome GB с неявным растворителем (там около 25 тысяч атомов). Соответствующие данные из [88] представлены в таблице 20.

ТАБЛИЦА 20. Распараллеливание в AMBER на 2P-сервере с EPYC 9654

Число параллельных процессов	Производительность (нс/день)	
	Cellulose NVE	Nucleosome GB
16	3.31	0.46
32	6.10	0.93
64	10.01	1.85
96	11.99	2.55
128	12.26	3.26
160	11.49	3.75
192	10.58	4.00

Они показывают, что в обоих тестах хорошее масштабирование производительности прекращалось при использовании свыше 64 параллельных процессов, на основании чего рекомендовалось выбирать соответствующее число ядер. Кроме того, данные этой таблицы показывают, что достигаемый уровень распараллеливания здесь зависит не только от размера молекулярной системы.

²⁰<https://openbenchmarking.org/test/pts/gromacs>, accessed 10.12.2024.

В отчете [88] приведены также данные, показывающие более высокую производительность программного комплекса AMBER на этом сервере по сравнению с 2P-сервером с 64-ядерными EPYC 7773X и с 2P-сервером с 24-ядерными Xeon ICL при одинаковом числе параллельных процессов. Однако Xeon ICL в тесте Nucleosome GB при числе процессов до 32 был быстрее обоих серверов с EPYC.

Данные о производительности 1P- и 2P-серверов с 96-ядерными EPYC 9654 и 9684X в другом известном приложении, LAMMPS, имеются в PTS-тестах²¹. Данные о масштабируемости производительности LAMMPS в 16-узловом кластере с Infiniband NDR 200 и 2P-серверами с 32-ядерными EPYC 9354 с разными исходными данными получены в [183].

Последним в обсуждении данных о производительности в классической молекулярной динамике рассмотрим информацию для приложения NAMD. Из результатов PTS-тестов NAMD²² автором отобраны данные для STMV, которые относятся к молекулярной системе, содержащей свыше миллиона атомов. Эти результаты представлены в таблице 21, где указана средняя среди проводившихся расчетов производительность. Учитывая имеющиеся в этих результатах отклонения от среднего значения, приведенные величины производительности были округлены.

Таблица 21. Производительность серверов с EPYC 9004 в NAMD 3.0b6 в тесте STMV

Модель	Число ядер	Частота, ГГц	Цена	Средняя производительность, нс/день	
				1P	2P
EPYC 9124	16	3–3.7	\$1083		1.6
EPYC 9184X	16	3.55–4.2	\$4928		1.8
EPYC 9224	24	2.5–3.7	\$1825		2.2
EPYC 9374F	32	3.85–4.3	\$4850		3.3
EPYC 9534	64	2.45–3.7	\$8803		3.9
EPYC 9634	84	2.25–3.7	\$10304		5.0
EPYC 9654	96	2.4–3.7	\$11805		5.6
EPYC 9684X	96	2.55–3.7	\$14756	3.3	6.4
EPYC 9734	112	2.2–3	\$9600		5.6
EPYC 9754	128	2.25–3.1	\$11900	3.0	6.0

Цены – из [49] на 11.02.2025

Из данных таблицы можно сказать, что достигаемая производительность растет с числом ядер (хотя в конкретной модели кривая зависимости производительности от числа используемых ядер при его увеличении может загибаться). Увеличение емкости кэша L3 за счет применения 3D V-cache вызывает повышение производительности, и этот эффект перевешивает эффект роста числа ядер свыше 96. Понятно, что лучше было бы смотреть на зависимости производительности от числа

²¹<https://openbenchmarking.org/test/pts/lammps>, accessed 11.12.2024.

²²<https://openbenchmarking.org/test/pts/namd>, accessed 4.12.2024.

задействованных в расчете ядер для каждой конкретной модели, поскольку это могло бы продемонстрировать и понижение производительности при росте их числа выше определенного порога – как это было, например, при 64 ядрах в AMBER.

Из этих данных нельзя делать однозначных выводов. Например, применять Bergamo EPYC 9734 вместо Genoa EPYC 9654 даже исключительно для расчетов по NAMD не имеет смысла хотя бы потому, что результаты могут зависеть от рассчитываемой системы, а отклонения в разных расчетах от средней производительности в 2P-сервере с EPYC 9654 составляли аномально высокую величину по сравнению с другими моделями: около 0.4 нс/день.

Кроме того, доступны различные данные об относительной производительности в тестах NAMD в сопоставлении разных моделей EPYC 9004 с Xeon SPR, Xeon EMR и Xeon Max (см., например, данные от AMD [160, 195, 196]), показывающие преимущества этих моделей EPYC в производительности относительно указанных серий процессоров Xeon.

Информация о производительности разных моделей EPYC 9004 в квантовой молекулярной динамике доступна для приложений CP2K и Quantum Espresso. Имеются данные о производительности для серверов с EPYC 9004 в различных тестах CP2K²³ с использованием DFT в базе плоских волн (в том числе в варианте с линейным масштабированием) в квантовохимической части.

Данные об относительной производительности Quantum Espresso в 2P-сервере с EPYC 9754 и EPYC 9654 по сравнению с 2P-сервером с Xeon SPR 8480+ фирма AMD привела в [195, 196].

Квантовая химия. Теперь можно перейти собственно к производительности в задачах квантовой химии. В [88] исследована производительность в расчетах по приложению VASP методом DFT в базе плоских волн с применением разных псевдопотенциалов и обменно-корреляционных функционалов для молекулярной системы из тысячи атомов. Расчеты проведены на 2P-серверах с использованием 96-ядерных EPYC 9654, 64-ядерных EPYC 7773X (Milan) и 24-ядерных Xeon ICL. Для создания двоичного кода применялся компилятор Intel и библиотека MKL, без поддержки AVX-512.

При сравнении с одинаковым числом параллельных процессов в разных серверах и одном процессе на ядро, при использовании до 32 ядер (на два процессора) Xeon ICL оказался быстрее (он опережал Milan и при распараллеливании с применением всех 48 ядер). EPYC 9654, естественно, опережал Milan при одинаковом числе задействованных в распараллеливании ядер.

²³<https://openbenchmarking.org/test/pts/cp2k>, accessed 12.12.2024.

Но такие расчеты требуют большой пропускной способности памяти, например, из-за применения БПФ. Время расчета с EYUC 9654 обычно уменьшалось при использовании только до 64 параллельных процессов (в одном из расчетов – до 128), и тогда он опережал Xeon ICL.

В [88] исследована также производительность в этих серверах другого широко используемого квантовохимического комплекса программ Gaussian 16. Там расчет проводился для органической молекулы валиномицина (168 атомов) с применением массово применяемого метода DFT (по test0397, одному из прилагаемых к Gaussian) в гауссовском базисе 3-21G. На 48 параллельных процессах время расчета на сервере с EYUC 9654 составило 45 секунд, что в 1.2 раза быстрее, чем с EYUC 7773X, и в 1.6 раза быстрее, чем с Xeon ICL. Но следует сказать, что такие расчеты явно не требуют применения современных мощных процессоров.

При использовании в таком расчете более точного и более распространенного в настоящее время базиса 6-31G (d,p) время расчета с применением 48 параллельных нитей возросло до 164.5 секунд, и уменьшается с увеличением числа используемых нитей до 89 секунд на 192 нитях.

Производительность Gaussian в последнем тесте прилично масштабировалась при числе нитей до 96. Учитывая не самые высокие показатели достигаемого распараллеливания в этом программном комплексе и вычислительную интенсивность квантовохимических расчетов, можно предположить, что такие расчеты в традиционном гауссовском базисе более крупных молекулярных систем и/или более точными методами в серверах с многоядерными EYUC 9004 будут эффективными, что соответствует выводу в [88]. Однако это хотелось бы обосновать соответствующими конкретными расчетами.

Другие данные о временах вычисления на EYUC 9654 в расчете методом TDDFT с использованием численного базиса, центрированного на ядрах атомов (это вычислительно более сложные расчеты, чем DFT в базисе плоских волн), с применением программного комплекса FHI-AIMS для расчета электропроводности теплого плотного водорода имеются в [197].

Для встроенного теста приложения CP2K (H₂O-DFT-LS), расчета методом DFT с линейным масштабированием, AMD в [160] привела ускорения, достигаемые в 2P-серверах с содержащими 3D V-cache процессорами EYUC 9004 по сравнению с 2P-серверами с Xeon Max (с HBM-памятью). С 32-ядерными процессорами ускорение EYUC было указано около 1.8 раз (для EYUC 9384X по сравнению с Xeon Max 9462); для старших 96-ядерных EYUC 9684X по сравнению с 56-ядерными Xeon Max 9480 – около 2.1 раза.

В [183] продемонстрировано масштабирование производительности квантовохимического приложения CP2K в кластере с Infiniband NDR 200 и 2P-серверами с 32-процессорными EPYC 9354 в узлах. При расчетах систем из молекул воды в рамках встроенных тестов H2O-DFT-LS-NREP и H2O-64-RI-MP2 (методом RI-MP2) достигнуто хорошее ускорение производительности при увеличении числа узлов до 16 (сверхлинейное – в тесте H2O-64-RI-MP2).

В заключение анализа данных о производительности квантовохимических приложений на EPYC 9004 приведем информацию для приложения NWChem, отличающегося самым высоким достигаемым уровнем распараллеливания. Соответствующая информация стала доступна²⁴ благодаря включению в PTS знаменитого для NWChem теста методом DFT в базисе 6-31(d) молекулы C240 (3600 базисных функций) без учета симметрии и без оптимизации геометрии. Этот тест отличается хорошим распараллеливанием в кластерах и, в частности, на суперкомпьютере Cascade (занимавшем 13-е место в ноябрьском списке TOP500 2013 года) [198]. При использовании в узлах по два 16-ядерных процессора Intel Xeon E5-2670 (Intel Xeon Phi, судя по этой публикации, здесь не применялся) при использовании 128 ядер на 4 итерации ССП потребовалось около 500 секунд, а масштабирование производительности было замечено вплоть до применения 2048 ядер.

В PTS-тестах NWChem²⁵, [199, 200] этим же методом для этой же молекулярной системы было получено плохое масштабирование производительности с увеличением числа использовавшихся ядер, например при «переходе» от 1P к 2P-серверу со старшими моделями EPYC 9004 (и при «переходе» от процессора с 32-ядерными EPYC 9374F, например, к EPYC 9554 и 9654). Причины этого требуют дополнительного исследования.

Молекулярный докинг. Для EPYC 9004 имеются данные о существенном увеличении производительности приложения miniBUDE при включении поддержки AVX-512 [150], а в [201] демонстрируется гораздо более высокая производительность в miniBUDE для сервера с EPYC 9654 по сравнению с серверами с Xeon ICL и Xeon SPR 8490H (относительно последнего – более чем в два раза). Xeon EMR 8592+ также сильно отстает в производительности от EPYC 9654 [202]. Данные о производительности miniBUDE в серверах с разными моделями процессоров архитектур Zen 4 и Zen 3 имеются²⁶.

²⁴<https://openbenchmarking.org/test/pts/nwchem>, accessed 13.12.2024.

²⁵<https://openbenchmarking.org/test/pts/nwchem>, accessed 13.12.2024.

²⁶<https://openbenchmarking.org/test/pts/minibude>, accessed 15.12.2025.

Геномика. Безусловно, задачи геномики не имеют отношения к задачам вычислительной химии, а относятся к молекулярной биологии. При использовании вычислительной техники речь фактически идет о биоинформатике или вычислительной биологии. Но геномика выделена в отдельный подраздел здесь потому, что огромная область вычислительной химии актуальна для задач конструирования лекарств, а современная геномика также активно используется в медицине. Серверы и кластеры с топ-моделями EYCS 9004 активно стали применяться в научных исследованиях в геномике (см., например, [203–205]).

Для классического в этой области приложения, GATK [206], AMD указывает на увеличение производительности в 2P-сервере с EYCS 9654 на 28% по сравнению с 2P-сервером с Xeon 8490H [196].

Созданное позднее приложение Sentieon обладает более высокой производительностью при секвенировании генома [207], и в [208] показано, что в 2P-сервере с EYCS 9654 полное время выполнения оказалось меньше, чем при секвенировании с приложением Parabricks [209] на сервере с GPU Nvidia H100.

2.4.9. Тесты производительности в задачах ИИ

AMD, в отличие от Intel, может не так активна в области ИИ. Но аппаратные средства EYCS 9004 имеют необходимые ресурсы (в том числе благодаря поддержке AVX-512), а в программной области можно указать, например, на библиотеку AMD ZenDNN, аналог Intel oneDNN. Естественно, для EYCS 9004 доступны и фреймворки, в том числе TensorFlow и PyTorch, которые объединены AMD как входящие в средства UIF (Unified Inference Frontend) [210]. Для настройки EYCS 9004 для задач ИИ AMD подготовила соответствующее руководство [140]. И почти сразу после появления этих процессоров стали появляться и научные публикации в области ИИ с использованием серверов на базе EYCS 9004 с анализом данных о достигаемой производительности (см., например, [211, 212]).

По данным [150], при включении в EYCS 9654 поддержки AVX-512 производительность в модели ResNet-50 с использованием TensorFlow 2.10 при работе в формате BF16 возрастает на 73%.

AMD указывает на рост производительности (числа изображений в секунду) на 68% в известной модели обнаружения объектов Yolo (You look only once) v5 [213], использующей PyTorch, и на 97% (в величине задержки распознавания изображений) при использовании модели ResNet-50 с форматом BF16 в случае подключения в них работы с ZenDNN [210]. Это увеличение производительности было достигнуто в 2P-сервере с EYCS 9654.

В [214] имеются данные AMD о производительности 2P-сервера с EPYC 9654, в том числе относительно 2P-сервера с 64-ядерными EPYC 7763, с использованием ZenDNN для трех разных моделях ИИ. В ResNet-50 при работе в формате FP32 с данными из использующей иерархию WordNet БД изображений ImageNet (resnet50_fp32_pretrained_model.pb) была получена производительность вывода около 920 изображений в секунду при размере пакета 640 или 927 изображений в секунду при размере пакета 960. Это примерно в 2.1 раза быстрее, чем на сервере с Zen 3.

Для обработки естественного языка в предварительно обученной модели BERT-Large с 340 миллионами параметров для wwm_uncased_L-24_H-1024_A-16 в формате FP32 была получена производительность около 29 выборок в секунду для длины последовательности 256 или около 19 выборок в секунду для длины последовательности 384. Это примерно в 1.8 раз быстрее, чем на сервере с Zen 3. Для модели рекомендаций глубокого обучения с использованием теста DLRM из известного набора тестов MLPerf Inference [215] для ИИ (для tb00_40M.pt в формате FP32) также были получены оценки производительности²⁷, которые не предоставлялись для официальной проверки MLCommons для размещения на сайте [214]. Производительность с EPYC 9654 составила около 2948 выборок в секунду для пакета размером 1 и около 3132 выборок в секунду для пакета размером 2, что в 1.7–1.8 раза больше, чем у сервера с Zen 3 [214].

Другой известный тест производительности относится к OpenVINO²⁸, разрабатываемому Intel кроссплатформенному инструментарию с открытым текстом для глубокого обучения (нацеленному на получение высокопроизводительного вывода) [216], который поддерживает уже целый ряд известных моделей разных категорий – в том числе больших языковых моделей (LLM, Large Language Models), компьютерного зрения и генеративного ИИ.

В таблице 22 приведены данные о производительности для задач выводов ИИ в PTS-тестах OpenVINO 2022.3, в которых измеряется число кадров (выводов) в секунду (FPS). Там использовались 3 разные модели – обнаружения транспортных средств (Vehicle Detection, VD в таблице), обнаружения велосипедиста (Person Vehicle Bike Detection, PVBD в таблице) и машинного перевода с английского на немецкий (ENtoDE в таблице). Во всех тестах применялись 2P-серверы и формат FP16.

В соответствии с более известными данными для разных GPU, задачи ИИ отличаются высоким уровнем распараллеливания и связанностью

²⁷<https://mlcommons.org/benchmarks/>, accessed 8.05.2024.

²⁸<https://www.intel.com/content/www/us/en/developer/tools/opencvino-toolkit/overview.html>, accessed 28.11.2024.

ТАБЛИЦА 22. Данные о производительности (FPS) в тестах OpenVINO

Модель	Число ядер	Модель VD	Модель PVBD	Модель ENtoDE
EPYC 9754	128×2	7097	10290	1249
EPYC 9654	96×2	7970	10005	1001
EPYC 9684X	96×2	8125	9766	1065
EPYC 9554	64×2	6270	7536	805
Xeon Max 9480	56×2	3607	7652	688
Xeon 8490H	60×2	3679	7617	693

Данные из [171], для EPYC получены с параметром POWER в 400 Вт, для Xeon Max – с применением только HBM-памяти.

памятью. Соответственно конкуренция нитей за доступ к памяти может привести к деградации производительности и снижению уровня распараллеливания. Последнее может иметь место не только в модели VD при переходе от EPYC 9654 к EPYC 9754, но это требует дополнительного исследования. В таблице 22 не приводятся данные [171] о задержках, поскольку этот показатель мало приемлем с точки зрения его зависимости от числа задействованных в расчете ядер.

Применение 3D V-cache не всегда дает преимущество в производительности. Часто имеющее место сильное опережение моделями EPYC 9004 производительности по сравнению с Xeon SPR и Xeon Max может быть связано с применявшимися программными средствами фреймворков в серверах с Xeon.

Возможные выводы из данных этой таблицы крайне ограничены. Естественнo, ее данные говорят только о том, что EPYC 9004 могут часто опережать Xeon SPR по производительности в этих тестах. Есть, конечно, результаты PTS-тестов OpenVINO, где Xeon 8490H опережал EPYC 9004 (см., например, [217]).

Другие данные о производительности, где использовались средства OpenVINO, были получены AMD для разработанной Microsoft библиотеки DeepSpeed [218] с применением нескольких моделей для LLM, в том числе opt-350m (350 миллионов параметров) и opt-1.3b (1300 миллионов параметров) с размерами пакетов от 1 до 128 [219]. Эти данные представлены на рисунке 19, где производительность (в токенах/с) гомогенного 2P-сервера с EPYC 9654 сопоставлена с GPU Nvidia H100. Грубо говоря, H100 опережает гомогенный сервер в два раза. Производительность в этих тестах возрастала с увеличением размера пакета, но на H100 не получилось провести тест opt-1.3b с размером пакета 128 из-за ограниченного размера памяти.



Figure 1: opt-350m and opt-1.3b performance in tokens per second

Рисунок 19. Производительность в токенах в секунду с opt-350m и opt-1.3b (рисунок из [219])

Интересным представляется также тест обработки транзакций, в котором различные этапы решения задач ИИ объединяются в единое целое. Такой тест, TPC Express AI (TPCх-AI) [220], эмулирует реальные сценарии ИИ и примеры использования науки о данных. Он реализован в виде конвейера, включающего фазы генерации данных, управления данными, обучения, оценки и обслуживания. Здесь после машинного обучения производится и измерение его точности.

В TPCх-AI могут применяться различные наборы данных, что обеспечивает разные уровни масштабирования – SF3, SF10, SF30, SF100, SF300, SF1000 и SF3000, которые отличаются объемами данных. Соответственно тесты до SF30 проводятся обычно на отдельных серверах, а от SF100 и выше – в кластерах. Кроме величины производительности (AIUCpm) определяется отношение стоимости к производительности и энергоэффективность (причем отдельно можно отобразить результаты в Nadoor-кластере).

В TPCх-AI версии 1 на 27.11.2024 все наивысшие показатели производительности до уровня SF1000 были получены Dell с применением 32-ядерных EPYC Zen 4 (в одиночных серверах использовались EPYC 9374F, в кластерах от SF100 до SF1000 – EPYC 9354). Для SF3000 лидерство принадлежало кластеру от Nettrix с 16 узлами²⁹ (2P-серверами с Xeon ICL 8380). В новом TPCх-AI версии 2 в лидерах на 8.05.2025 для SF10-SF30 оказались уже серверы Dell с EPYC Zen 5.

AMD предоставила ряд документов, указывающих на более высокую производительность EPYC 9004 относительно Xeon EMR в различных задачах ИИ, в том числе при работе с известной библиотекой машинного обучения XGBoost. Но эти данные показывают только относительную производительность и вкратце рассматриваются далее в разделе 4 при сопоставлении производительности с Xeon EMR или SPR.

2.4.10. *О производительности процессоров EPYC 9004 в рабочих нагрузках, характерных для облачных технологий*

Имеется большое количество разных традиционных, не относящихся к НРС или ИИ, областей применения серверов, которые теперь часто используются в рамках облачной технологии, но могут, естественно, применяться и на физических, а не виртуальных серверах.

²⁹ https://www.tpc.org/tpcx-ai/results/tpcxai_results5.asp?version=1, accessed 27.11.2024.

AMD подготовила специальное руководство по настройке EPYC 9004 при их использовании для задач облачной технологии [221]. Поскольку производитель ориентировал свои процессоры Bergamo в первую очередь на облачные технологии, данные о производительности этих процессоров можно найти в ориентированных на соответствующую область применения документах для сообщества AMD [222, 223].

В отличие от рассмотренных в предыдущих разделах рабочих нагрузок, для обсуждаемых здесь скорее характерно отсутствие полной загрузки ресурсов всего процессора в течение всего времени, и применение виртуализации может оказаться эффективным. Например, сюда можно отнести работу с СУБД.

В качестве распространенного теста интегрального характера, где в производительности оценивается собственно виртуализация и набор типовых приложений, можно указать Broadcom/VMware VMmark [224]. Он неплохо подходит для широко распространенных ЦОД, использующих облачные технологии, так как в этом тесте виртуализация сочетается с набором плиток для типичных массово используемых приложений. При этом доступные данные содержат различные варианты, в том числе для двух узлов с 1P- и 2P-серверами.

В настоящее время наибольшее число таких доступных данных для рассматриваемых в обзоре процессоров имеется для VMmark 3.1.1 [225], где по результатам на конец 2024 года в лидерах производительности однозначно были серверы с EPYC 9004, опережая Xeon SPR и Xeon EMR (серверы с ARM-процессорами в этих тестах не участвуют). Данных для более новой версии VMmark 4 пока еще мало, и они относятся в основном к пятому поколению серверных процессоров, где лидерами в тестах стали Zen 5 [226].

Наивысший результат в тесте VMmark 3.1.1 на момент написания обзора показала система из двух 2P-серверов от Supermicro с EPYC 9684X, с производительностью 47.7846 tiles. Аналогичная система из двух 2P-серверов от Dell с 64-ядерными EPYC 7773X показала производительность раза в два ниже, 23.64 24 tiles, что чуть-чуть больше, чем у аналогичной системы с серверами Fujitsu с 60-ядерными Xeon SPR 8490H (23.38 23 tiles), но немного ниже, чем в аналогичной системе с Dell-серверами на базе 64-ядерных Xeon EMR 8592+ (25.34 28 tiles). Здесь приведены максимальные достигнутые в [225] результаты для систем с указанными процессорами, но достигаемая производительность, естественно, весьма сильно зависит и от других компонент данных вычислительных систем.

В качестве более узко направленных тестов можно указать данные о производительности ЕРУС 9004 с использованием разных реляционных СУБД – PostgreSQL, MariaDB и MySQL. Классикой для таких тестов, ориентированных на обработку транзакций в реальном времени (OLTP) и интерактивную аналитическую обработку (OLAP) являются тесты ТРС³⁰, которые требуют точного выполнения большого количества спецификаций, что может требовать для этого существенных финансовых затрат. Соответственно данные там появляются не так активно, и для систем с новейшими моделями процессоров несколько позднее. Хотя лидерами среди серверов по производительности на 18.12.2024 в тестах ТРС-С, ТРС-Е и ТРС-Н являются серверы с процессорами ЕРУС, но в ТРС-С с 2022 года это 2Р-сервер Supremicro с ЕРУС Zen 3, а вот в ТРС-Е в 2024 году лидером стал 2Р-сервер Lenovo с ЕРУС 9554 (в клиентах применялся 24-ядерный Xeon 6442Y), и в ТРС-Н в 2024 году лидером стал 2Р-сервер НРЕ с 32-ядерными ЕРУС 9174F. В тесте ТРСх-V для виртуализированной серверной платформы с рабочей нагрузкой баз данных также лидирует 2Р-сервер с ЕРУС Bergamo.

Но чаще применяются очень близкие к тестам ТРС аналоги. Так, для PostgreSQL есть много результатов специальных тестов PTS, в которых используются pgbench-тесты PostgreSQL (близкие к ТРС-B) [227], выдающие величины задержек или транзакций в секунду в режимах «только чтение» или «чтение/запись», в том числе для вариантов с разным числом клиентов и разным фактором масштабирования. Для PostgreSQL 17 имеются данные в основном уже для Zen 5 и Xeon 6, а для PostgreSQL 16 или 15 представлено много данных для ЕРУС 9004.

Однако эти PTS-тесты часто показывают плохое масштабирование производительности при «переходе» к более старшим моделям процессоров с большим числом ядер, и при замене 1Р-конфигурации на 2Р. В этих тестах часто лидерами оказываются вообще не серверные процессоры x86, и эти результаты здесь не рассматриваются. Есть данные тестов PTS и для MySQL и MariaDB, но соответствующих тематике обзора результатов там гораздо меньше.

Хорошим вариантом для тестирования производительности баз данных является использование свободно доступного приложения с открытым исходным текстом HammerDB³¹, в котором разработаны аналогичные ТРС-С и ТРС-Н тесты, TPROC-C и TPROC-H. Они в частности позволяют

³⁰<https://www.tpc.org/>, accessed 17.12.2024.

³¹<https://www.hammerdb.com>, accessed 18.12.2024.

минимизировать затраты на ввод-вывод, а рабочая нагрузка позволяет в большей степени задействовать возможности процессоров и памяти. HammerDB позволяет работать с основными коммерческими и свободно доступными СУБД, и активно используется в научных исследованиях.

О производительности MariaDB AMD подготовила специальный документ [228], в котором показана производительность 1Р-сервера с 32-ядерным EPYC 9374F и 2Р-сервера с 16-ядерными Xeon SPR 6444Y в тестах TPROC-C и TPROC-H от HammerDB. В TPROC-C сервер с EPYC 9374F в полтора раза быстрее, чем с Xeon 6444Y, а в TPROC-H производительности близки. При этом стоимость EPYC 9374F на конец 2023 года составляла \$4850, а двух процессоров Xeon 6444Y – \$7244 [228]. Но в 2024 году цена процессоров Xeon 6444Y уменьшилась (до \$3034 на два процессора), а у EPYC 9374F не поменялась (данные на 17.12.2024 из [49]).

Данные проведенных Dell тестов производительности с применением MariaDB и средств `mysqslap` из MySQL для 2Р- и 1Р-серверов с EPYC 9654/9654P, а также 1Р-сервера с EPYC 9354P, приведены в [162]. Там для сервера с EPYC 9354P исследована также зависимость производительности и энергоэффективности от емкости и конфигурации памяти. Кстати, в [162] имеются также данные о производительности сервера Apache HTTP на 2Р- и 1Р-серверах с EPYC 9654/9654P.

Для СУБД MySQL в [148, 196] AMD привела данные о повышенной производительности 2Р-сервера с 96-ядерными EPYC 9654 по сравнению с 2Р-сервером с 40-ядерными Xeon ICL 8380 в 2.4 раза в TPROC-H и в 2.7 раза в TPROC-C. В [165, 223, 229] AMD указала на более высокую производительность в TPROC-C с этой СУБД 2Р-сервера со 128-ядерными EPYC 9754 свыше двух раз по сравнению с 2Р-серверами с ARM-процессорами Ampere Altra Max M128-30 и с 56/60-ядерными Xeon SPR/EMR 8480+/8490H.

Наконец укажем еще данные для другой важной рабочей нагрузки – в области планирования ресурсов предприятия (ERP), производительности в вторых уровне SAP SD. Для 2Р-сервера с EPYC 9654 она составила 148 тысяч SAPS, для 2Р-сервера с 64-ядерными EPYC 7763 – 75 тысяч SAPS, а для 2Р-сервера с 40-ядерными Xeon ICL 8380 – 48 тысяч SAPS (SAP Application Performance Standard) [148].

Выше были рассмотрены данные о производительности в основном для старших моделей EPYC 9004. Информация для средних моделей EPYC 9004 представлена далее при сопоставлении с Xeon SPR в разделе 4.3. Мы не рассматриваем в обзоре данные о производительности EPYC серии 8004,

которые AMD нацеливает на применение для задач интеллектуального края (Intelligent Edge), анализу данных и разработке решений на том месте, где генерируются данные. Некоторые данные о производительности в этой области применения имеются в [230].

В заключение всего раздела 2 про серверные процессоры архитектуры Zen 4 следует отметить эффективность (в том числе и для стоимостных показателей) базирующейся на чиплетах иерархии построения микроархитектуры и соответственно конкретных моделей процессоров EPYC.

Приведенные данные показывают существенные преимущества с точки зрения производительности по сравнению с предыдущим поколением Zen 3, но обычно и по отношению к процессорам Xeon SPR и Xeon EMR. Основной сопоставительный анализ производительности EPYC 9004 по сравнению с Xeon SPR, Xeon Max и Xeon EMR проводится далее после анализа их микроархитектуры в отдельном разделе 4. Там приводятся и абсолютные показатели данных «массовых» тестов производительности SPEC и PTS/OpenBenchmarking.

3. Масштабируемые процессоры Intel Xeon четвертого и пятого поколений

В разделе рассматриваются масштабируемые процессоры Xeon четвертого поколения (Xeon SPR) и пятого поколения (Xeon EMR), а также Xeon SPR с памятью HBM (Xeon Max), отнесенные к условному четвертому поколению x86. Общую иллюстрацию об их старших моделях дают таблицы 23 и 24, где приведены также данные о процессорах EPYC Zen 4, Zen 3 и третьем поколении Xeon ICL. Важный, но совпадающий показатель для всех современных серверных x86-процессоров – поддержка режима SMT (именуемого Intel как Hyper-Threading) в этой таблице не приводится.

Большее количество ядер в старших моделях EPYC 9004 явно обусловлено применением более продвинутой технологии TSMC, что в результате часто давало преимущества по важным для производительности показателям. Меньшее число ядер в Xeon соответственно может делать достаточными для эффективной работы другие более низкие показатели, и здесь важна их взаимная согласованность в процессоре, что позволяет максимизировать реально достигаемую производительность.

Таблица 23. Показатели современных серверных процессоров x86 (старшие модели)

	Intel Xeon processors				AMD EPYC processors		
Кодовое имя	Ice Lake-SP	Sapphire Rapids-SP		Emerald Rapids-SP	Milan	Bergamo	Genoa
Семейство процессоров или архитектура	Третье поколение масштабируемых Xeon	Четвертое поколение масштабируемых Xeon	Xeon Max (Xeon SPR с HBM)	Пятое поколение масштабируемых Xeon	Zen 3	Zen 4	Zen 4
Линейка моделей	Xeon 8300	Xeon 8400	Xeon 9400	Xeon 8500	EPYC 7003	EPYC 9004	
Старшая (топ) модель	Xeon 8380	Xeon 8490H	Xeon Max 9480	Xeon 8592+	EPYC 7763	EPYC 9754	EPYC 9654
Число ядер	40	60	56	64		128	96
Базовая частота, ГГц	2.3	1.9			2.45		2.4
Турбо-частота, ГГц	3.4	3.5		3.9	3.5	3.1	3.7
Турбо-частота всех ядер, ГГц	нет	2.9	2.6	2.9	нет	3.1	3.35
FLOPS/такт на ядро ¹	32				16	24	24
Пиковая производительность, GFLOPS ²	2944	3648	3405	3891	2509	6912	5530
Технология, нм	10				7	5	
Цена, \$	9359 ³	17000	12980	11600	7890	11900	11805

¹ Для FP64;² Рассчитана для базовой частоты ядер;³ цена на 4.08.2024 из [231].

Таблица 24. Показатели современных серверных процессоров x86 (продолжение)

	Intel Xeon processors				AMD EPYC processors		
Кодовое имя	Ice Lake-SP	Sapphire Rapids-SP		Emerald Rapids-SP	Milan	Bergamo	Genoa
TDP, Вт	270	350			280	360 ²	
Межсоединение процессоров сервера	UPI: 3×20	UPI:4×24		UPI:4×24	IF:4		
Максимальная ПС ¹	11.2 GT/s 67.2 ГБ/с ³	16 GT/s 192 ГБ/с	16 GT/s 192 ГБ/с	20 GT/s 240 ГБ/с	128 ГБ/с ¹	256 ГБ/с	
Кэш L1 (на ядро)	64 КБ	80 КБ			64 КБ		
Кэш L2 (на ядро)	1 МБ	2 МБ			512 КБ	1 МБ	
Кэш L3	60 МБ	112.5 МБ	112.5 МБ	320 МБ	256 МБ	256 МБ	384 МБ (32 МБ/CCD)
L3 с 3D V-cache	Нет				768 МБ	До 1152 МБ	
Тип памяти DDR	DDR4-3200×8	DDR5-4800×8		DDR5-5600×8	DDR4-3200×8	DDR5-4800×12	DDR5-4800×12 до 6ТБ
ПС DDR	205 ГБ/с	307 ГБ/с	307 ГБ/с		205 ГБ/с	461 ГБ/с	
HBM-память	нет		64 ГБ	нет			
Пиковая ПС HBM	—		1638 ГБ/с	—			
PCIe: версия, число линий	4.0, 64	5.0, 80			4.0, 128	5.0, 128	

Основные данные и цены на 27.04.2025 из БД процессоров [49].

¹ ПС – пропускная способность на один процессор;

² Можно конфигурировать от 320 до 400 Вт;

³ Данные из [232];

⁴ По данным [23].

Одним из самых важных для задач НРС усовершенствований при выпуске масштабируемых процессоров Хеон можно считать появление расширения ISA AVX-512, включающего FMA-операции над 512-битными векторами. Об AVX-512 уже говорилось немного выше, в разделе 2.1 про ядра Zen 4, хотя там было реализовано только подмножество AVX-512 (подробнее об AVX-512 см., например, [110, 233]). Безусловно, это сильно способствовало достижению на многие годы более высокой производительности ядер Хеон в НРС по сравнению с ядрами серверных процессоров AMD. Дальнейшее обсуждение в этом подразделе базируется на данных [233].

В различных поколениях масштабируемых процессоров Хеон было заложено много актуальных усовершенствований, ставших общими для последующих поколений, использующимися и в рассматриваемых в обзоре процессорах. С первого поколения масштабируемых процессоров Хеон (Skylake-SP) предполагалась возможность увеличения числа процессорных ядер в будущем, что потребовало перейти на другой вариант их межсоединения, в качестве топологии которого стала применяться сетка (mesh). Такая сетка представлена на рисунке 22 ниже. С самого начала была сделана также ориентация на возможность построения серверов с числом сокетов от 2 до 8.

В соответствии с возможностью производства очень большого количества разных моделей Хеон с разным числом процессорных ядер и разным допустимым числом процессоров на сервер масштабируемые Хеон получили дополнительные брендовые уточнения наименований (в порядке увеличения их вычислительных возможностей, производительности и цены): Bronze, Silver, Gold и Platinum. Первые два обеспечивали возможность работы в не более чем в 2P-варианте серверов, а Gold и Platinum – еще и в серверах с 4 сокетами. И лишь Platinum могли применяться в 8-процессорных серверах [233]. Но номер конкретной модели Хеон однозначно приписывает ее к определенному варианту брендов. Это можно увидеть на рисунке 20.

Общая система нумерации моделей в виде четырех десятичных цифр LGmn, где L означает уровень процессора (Platinum, Gold, Silver, Bronze), G – номер поколения процессоров (mn нумерует конкретные SKU) расширена добавлением целого ряда суффиксов (см. рисунок 20). Возможность применения в разных SKU разных акселераторов и их сочетаний добавляет уточнений для конкретизации SKU. Это нацелено на достижение эффективности использования разных SKU в разных узких областях применения. L=8 или 9 означает Platinum, L=6 – Gold [235]. G=4 отвечает четвертому поколению масштабируемых процессоров Хеон (Хеон SPR), G=5 – 5-му поколению (Хеон EMR).

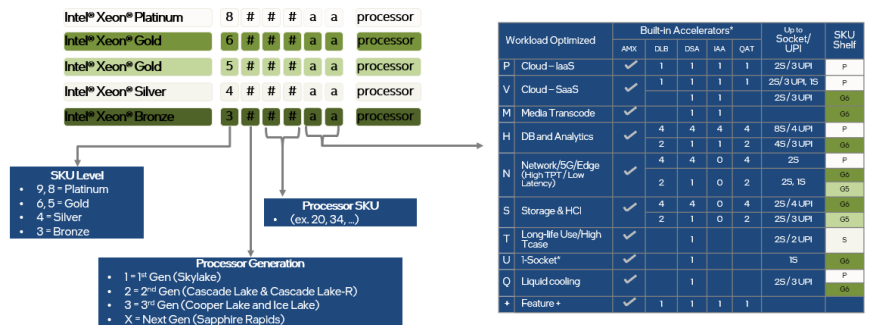


Рисунок 20. Система нумерации Xeon SPR и Xeon EMR (рисунок из [234])

На суперкомпьютерах и в кластерах для НРС чаще используются процессоры с наивысшим уровнем, Platinum (они в основном и рассматриваются далее в данных о производительности), хотя широко применяются и Xeon Gold. Суффиксы, отвечающие ориентации именно на задачи НРС, среди данных процессоров, можно сказать, отсутствуют.

Хотя в списке суффиксов имеется М, согласно [166] ориентированный на средства массовой информации, ИИ и НРС, в [235] НРС не упоминаются. Данные, подтверждающие активность применения таких процессоров для ИИ или НРС, автору неизвестны. Чаще можно было видеть использование в этих областях и соответствующих тестах производительности суффиксы

- H* – для работы с БД или суффиксы для ориентации на облачные технологии,
- Y* – для IaaS,
- P* – для IaaS с повышенными частотами,
- V* – для SaaS.

Можно обратить внимание и на процессоры с суффиксом Q, ориентированные на жидкостное охлаждение (и соответственно более высокие частоты), что возможно актуально для некоторых высокопроизводительных серверов. Однако нужно смотреть на реальную производительность моделей (см. раздел 4.1 далее).

Символ + в конце номера модели означает, что она имеет по одному включенному акселератору DSA, DLB, QAT и IAA (см. о них далее в разделе 3.1.3). Полное описание суффиксов имеется в [235].

Но вернемся к общим характеристикам микроархитектуры этих поколений процессоров. Каждое ядро и соответствующий фрагмент (slice) кэша L3 (Intel предпочитает использовать термин кэш последнего уровня,

LLC) имеют специальный блок ЧНА (Caching and Home Agent). Он сопоставляет адреса доступа с определенным банком LLC, контроллером памяти или подсистемой ввода-вывода, и дает информацию о необходимой маршрутизации для достижения пункта назначения с помощью межсоединения сетки. «Распределенное» построение всего ЧНА в процессоре позволяет обеспечить масштабирование с ростом числа используемых ядер.

Такой механизм позволяет уменьшить задержки обмена данными между ядрами и кэшем L3, памятью и системой ввода-вывода по сравнению с необходимостью обхода кольцевого межсоединения и, возможно, коммутатора между двумя кольцами в используемой ранее топологии межсоединения ядер процессоров Xeon [233].

В качестве нового межсоединения для связи между масштабируемыми процессорами Xeon в сервере применяется UPI (Ultra Path Interconnect). Для подключения к другим процессорам может использоваться по несколько двунаправленных каналов UPI. В UPI применяется протокол когерентности home snoop на основе каталогов (в [233] представлена об этом достаточно подробная информация). Для примера на рисунке 21 иллюстрируется топология межсоединения UPI для 8-сокетного сервера.

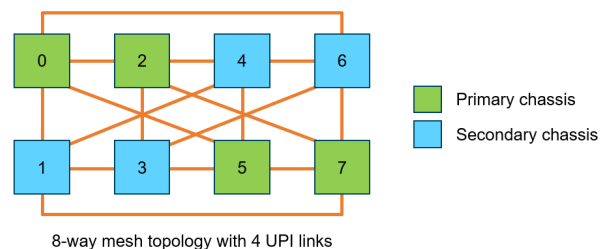


Рисунок 21. Топология межсоединения в 8-процессорном сервере Lenovo с Xeon SPR (рисунок из [236])

Эта топология относится к процессорам Xeon SPR, имеющих по четыре канала UPI, а в масштабируемых процессорах Xeon с меньшим числом UPI на процессор (например, в Xeon Skylake) топология другая. В Xeon EMR возможность построения серверов, имеющих больше двух сокетов, не поддерживается.

Другая актуальная новая возможность масштабируемых процессоров Xeon – кластеры SNC (sub-NUMA clustering). SNC создает несколько доменов локализации в процессоре (здесь в соответствии с [233] их предполагается два), отображая адреса одного из локальных контроллеров памяти в одной половине фрагментов LLC ближе к этому контроллеру

памяти. Адреса, отображенные на другом контроллере памяти, привязаны к фрагментам LLC в другой половине процессора. Благодаря этому процессы, работающие на ядрах в одном из доменов SNC, используют память из контроллера памяти в том же домене SNC и получают более низкую задержку LLC и памяти по сравнению с задержкой при доступе за пределы этого домена SNC. Для работы в режиме SNC память должна быть заполнена симметрично.

SNC имеет уникальное местоположение для каждого адреса в LLC. Локализация адресов в LLC для каждого домена SNC применяется только к адресам, отображенным на контроллеры памяти в том же сокете.

Такая конфигурация с двумя доменами SNC0 и SNC1 представлена на рисунке 22.

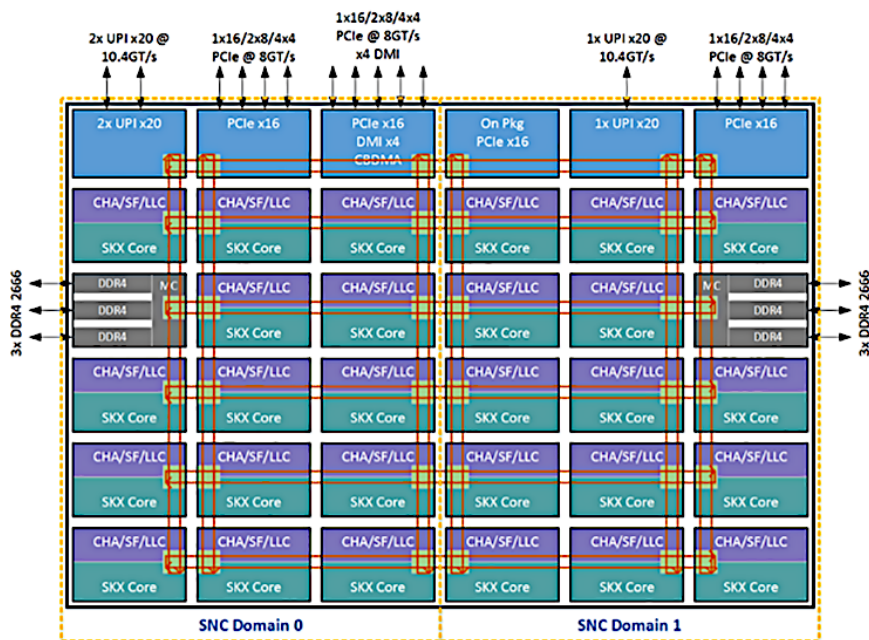


Рисунок 22. Кластеры SNC в масштабируемых процессорах Xeon (рисунок из [233])

Кэш LLC в масштабируемых процессорах Xeon вообще стал неинклюзивным (ранее он был инклюзивным). Детальнее об изменении иерархии кэша см. [233].

Среди общих аппаратных средств, используемых несколькими поколениями масштабируемых процессоров Xeon, в частности Xeon SPR, Xeon

Мах и Xeon EMR, здесь полезно указать и на средства виртуализации, в том числе масштабируемую виртуализацию ввода-вывода [237]. Рассмотрение этих средств требует подробного анализа и здесь не проводится. В [233] приведено еще много новых возможностей масштабируемых процессоров Xeon, которые здесь даже не упоминаются. Мы ограничились здесь только теми общими вещами, которые будут рассматриваться далее для конкретных относящихся к обзору поколений Xeon.

3.1. Масштабируемые процессоры Xeon 4-го поколения (Xeon SPR)

Если Xeon ICL был монолитным процессором, то в Xeon SPR применяются чиплеты. Этот процессор содержит 4 плитки, объединенные с помощью технологии 2.5D -Embedded Multi-die Interconnect Bridges (EMIB) [238]. Что содержит каждая плитка, описано далее в разделе 3.1.3.

Основные научные публикации сотрудников Intel, касающиеся микроархитектуры Xeon SPR— это работы [238] и [239]. В [238] рассматривается в основном более низкий уровень, приближенный к полупроводниковой технологии. Мы приводим в этом разделе только более близкую к микроархитектурному уровню информацию. Отметим здесь только, что в Xeon SPR применяются специальные методы более высокого, чем просто полупроводникового уровня, позволяющие устранять дефекты и повысить выход годных к работе процессоров [238].

В [239] имеется много интересной информации для анализа микроархитектуры. Но учитывая очень быстрые усовершенствования, которые Intel делала в своих процессорах, далее анализ в обзоре базировался в большей степени на более новых и подробных технических данных с сайта Intel.

Максимальное число ядер в Xeon SPR по сравнению с Xeon ICL и емкость кэша L2 возросли в полтора раза; существенно увеличилась и емкость кэша L3 (см. таблицу 25 далее).

Выше отмечено, что Intel демонстрирует ориентацию своих моделей Xeon их суффиксом. Например, с суффиксом N предлагаются оптимизированные для работы с сетями Xeon SPR [240]. Они поставляются в конфигурациях со средним числом ядер MCC (Medium Core Count) и экстремальным количеством ядер ХСС (eXtreme Core Count). Процессоры MCC имеют 24–32 ядра на сокет при мощности 165–205 Вт, а процессоры ХСС имеют 52 ядра на сокет при мощности 300 Вт.

Яркой особенностью Xeon SPR является то, что они снабжаются еще специальными разработанными Intel акселераторами, и фирма предлагает с возможным применением разных акселераторов разные варианты процессоров, направленные на разные области применения.

Акселераторы нацелены на повышение производительности в определенных областях применения, что способствует формированию многочисленных разных моделей процессоров, оптимизированных на четкие и часто достаточно узкие направления работы. Некоторые из акселераторов, которые могут использоваться процессорами Xeon SPR, являются заменой или модернизацией применявшихся Intel ранее. При этом в разных моделях Xeon может быть не один, а до четырех акселераторов, или они все выключены.

Для работы с акселераторами необходимо использовать специальное (в дополнение к драйверам) программное обеспечение Intel, часто реализованное в виде библиотек. Очевидным недостатком применения акселераторов является необходимость модернизации кода приложений и появление проблем переносимости такого кода на другие платформы. В обзоре в соответствии с его общей ориентацией акселераторы подробно не рассматриваются, но краткая информация о них приводится далее вместе с единичными ссылками на первые появившиеся работы, демонстрирующие достигаемую при их применении производительность.

Еще одной особенностью Xeon SPR является поддержка работы с постоянной памятью Intel Optane. В частности, ориентация на возможную работу с Optane имеется и в акселераторах Intel In-Memory Analytics Accelerator (ИАА). Однако в связи с экономической неэффективностью производство Optane **было прекращено в 2023 году**³². Эти аппаратные средства в обзоре не рассматриваются.

3.1.1. Микроархитектура ядер в Xeon SPR

Используемая в Xeon SPR микроархитектура ядер – это Golden Cove, она преемница микроархитектуры Sunny Cove в Ice Lake [241], и в целом является общей с ядрами Xeon Max.

Блок-схема, иллюстрирующая микроархитектуру Golden Cove, приведена в [239]. Ниже на рисунке 23 представлена очень близкая по содержанию блок-схема, функциональность большинства блоков которой понятна из их названия. Отметим только, что P0, ..., P11 представляют собой пронумерованные порты.

Весь анализ микроархитектуры Golden Cove здесь основан на [241], и улучшения имеются в виду относительно микроархитектуры ядер Ice Lake-SP (Sunny Cove). В основном эти улучшения проявляются количественными показателями, например увеличением «ширины» выполнения (числа портов в различных блоках) или емкости блоков.

³²<https://www.techpowerup.com/310819/intel-optane-still-not-dead-orders-expanded-by-another-quarter>, accessed 5.08.2024.

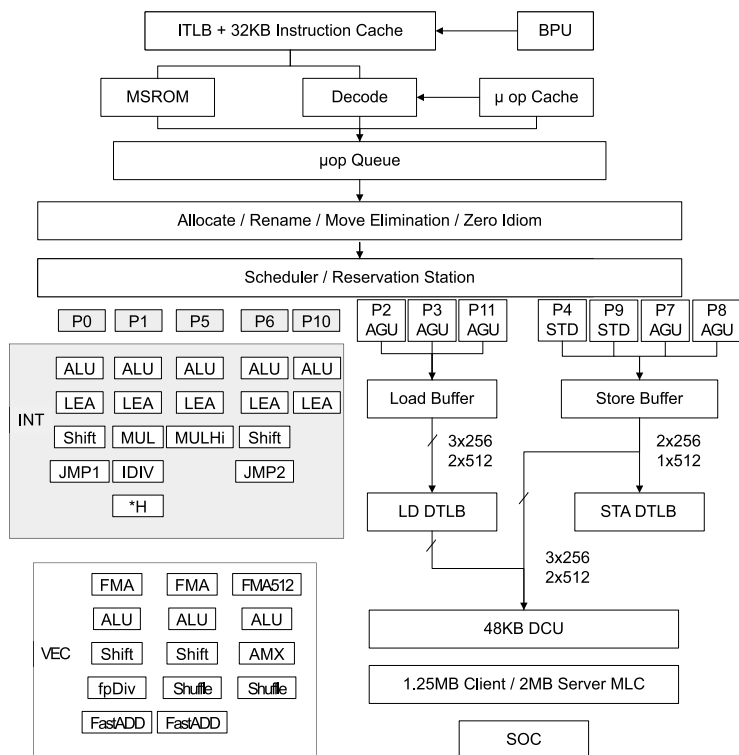


Рисунок 23. Общая функциональность конвейеров ядер с микроархитектурой Golden Cove (рисунок из [241])

В очень важной для производительности современных процессоров с поддержкой 000 фронт-энд части Golden Cove пропускная способность конвейера декодирования возросла в два раза, до 32 байт/такт, и количество декодеров возросло с 4 до 6, позволяя выдавать 6 декодированных команд за такт. Очередь декодирования команд IDQ (Instruction Decode Queue) в Golden Cove может сохранять 144 микрооперации на логический процессор в однопоточном режиме (или 72 микрооперации на нить при включенном режиме SMT). Размер кэша микроопераций увеличился, а его пропускная способность возросла до восьми микроопераций за такт.

Было улучшено и предсказание переходов, особенно для рабочих нагрузок с большим объемом кода. Емкость ITLB была удвоена – до 256 записей для страниц размером в 4 КБ, и до 32 записей для страниц размером 2/4 МБ. Была улучшена обработка невыполненных промахов

страниц (ситуаций «промах при промахе»). Максимальная пропускная способность загрузки увеличена с 2 до 3 загрузок/такт.

Емкость кэша L2 в ядре была увеличена до 2 МБ. В Golden Cove было также увеличено число портов для исполнительных блоков с 10 до 12 (см. рисунок 23), а у некоторых из этих портов были расширены функциональные возможности. В микроархитектуре ядра имеются и другие усовершенствования, например, в завершении обработки микрокоманд (retirement) – см. более подробно в [241].

Можно проводить прямое сопоставление подобных количественных показателей микроархитектур Golden Cove и Zen 4, воспользовавшись, например, данными таблицы 4 и имеющимися в других источниках, ссылки на которые приведены в разделе 2.1 выше. По некоторым из этих показателей Golden Cove лучше. Но, как отмечено выше, производители часто оценивают эффективность своих микроархитектур интегрально, достигаемым значением IPC. Поскольку микроархитектура ядер часто используется не только в процессорах для серверов, но и для ПК, там эта величина, с учетом большего количества применяемых последовательных приложений, более актуальна.

IPC зависит от используемого для его вычисления приложения или теста, и сопоставления неких средних оценок ограничены по сути, хотя фирмы часто ссылаются на прогресс IPC в своих ядрах. Обычно имеется в виду IPC при выполнении тестов SPECsp, хотя результаты для SPECint и SPECfp будут отличаться (см., например, [242]). Отличие достигаемых IPC между Golden Cove, Raptor Cove (микроархитектуры ядер Xeon EMR) и Zen 4 составляет не более нескольких процентов. Поэтому для серверов с рассматриваемыми в обзоре процессорами сравнительный анализ IPC ядер не является таким актуальным, и прямое сопоставление отдельных блоков их микроархитектур здесь не проводится.

Но мы укажем на подробное сопоставление микроархитектур Nvidia Grace (Neoverse V2), Intel Golden Cove и AMD Genoa, проведенное в [13]. Там приводятся некоторые потенциальные преимущества микроархитектуры Grace, но актуальнее сравнение данных достигаемой производительности. Там отмечено, что Genoa достигает 78% от своего теоретического пика пропускной способности памяти, тогда как суперчип с Grace и Xeon SPR достигают 87% и 90% соответственно. Но согласно данным AMD в [121], в 2P-сервере с EPYC 9654 достигается максимум, составляющий более 85% от величины пиковой пропускной способности (см. выше в разделе 2.4.2), что весьма близко к показателю для Grace.

В [13] сверялись и конкретные модели: 72-ядерного Grace с 52-ядерным Xeon 8470 и 96-ядерным EPYC 9654. Там также приводятся интересные данные о реальном снижении тактовых частот (с применением

турбо-режима в x86) при высоких вычислительных нагрузках, в том числе с использованием средств AVX-512 при различном числе ядер. При этом частота ядер Хеон 8470 снижается гораздо сильнее, чем у ЕРУС 9654 как с применением AVX-512, так и без, а у Grace частота почти неизменна.

Здесь нужно также отметить, что ядра Хеон SPR обеспечивают повышенную производительность благодаря программируемому контроллеру управления питанием [238].

Процессор Grace вообще не поддерживает 512-битную векторную арифметику. В [13] приводятся расчетные данные пиковой производительности для максимально возможных частот и полученных при их снижении при рабочей нагрузке на максимальном числе ядер. Но и при таком расчете Grace сильно отстает по пиковой производительности FP64 от ЕРУС 9654. Это сочетается с более низким TDP у Grace и более высокой поддерживаемой пропускной способностью используемой для работы с Grace более дорогой памяти LPDDR5X, что и соответствует ориентации на применение Grace только в серверах с GPU Nvidia. Без реальных данных о достигаемой производительности приложений дальнейшее сопоставление становится не актуальным.

В серверных процессорах кроме IPC имеется большой ряд других важнейших параметров – кроме допустимых тактовых частот и числа ядер это, например, энергопотребление и стоимости, зависящие и от используемой технологии. Но самыми важными являются данные о производительности (для отдельных ядер в последовательно исполняемых тестах и приложениях) – это рассматривается далее в разделе 4.1.

3.1.2. Расширения ISA в ядрах Хеон SPR

Естественно, на сайте Intel имеется много источников соответствующей информации. С учетом ориентации на усовершенствования в аппаратной реализации Хеон SPR, краткая информация о расширении ISA имеется в [243].

Полное руководство по современной ISA имеется в [244] (см. также [241]). Наиболее важным расширением системы команд, с нашей точки зрения, является AMX. Оно ориентировано на задачи ИИ (на глубокое обучение и выводы моделей ИИ) и используется, начиная с Хеон SPR, в частности, в Хеон EMR и в Р-ядрах Хеон 6. С нашей точки зрения, AMX очень важно и имеет большие перспективы на дальнейшее развитие. AMX можно считать некой новой парадигмой программирования в x86.

AMX не просто расширение системы команд; для его реализации имеется специальный аппаратный блок. AMX можно отнести к акселераторам, но также, как и AVX-512 (в отличие от других упоминавшихся выше

ускорителей), блок AMX имеется в каждом ядре Xeон SPR. И самая важная информация об AMX, безусловно, относится к системе команд. Концептуальная блок-схема, относящаяся к реализации AMX, приведена на рисунке 24, и используется здесь для иллюстрации соответствующей части ISA. .

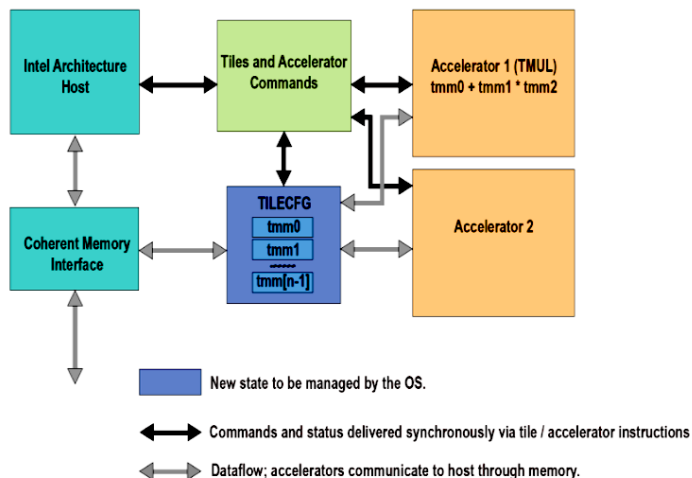


Рисунок 24. Концептуальная схема архитектуры Intel AMX (рисунок из [243])

Подробная информация об AMX, на которой основан дальнейший анализ здесь, имеется в [245]. AMX предназначается для работы с матрицами данных в форматах BF16, FP16 и INT8, актуальных для задач ИИ, и включает две основные компоненты. Это набор двухмерных регистров (плиток), по сути представляющих подмассивы из более крупного двухмерного образа памяти, и акселератор, способный работать с этими плитками. Первая реализация такого акселератора называется TMUL (tile matrix multiply unit) [245]. AMX является расширяемой архитектурой, предполагающей добавление новых акселераторов или форматов данных, или усовершенствование TMUL для увеличения производительности.

AMX перечисляет программисту палитру (palette) опций, которая указывает, как можно программировать работу с плитками. В настоящее время имеется две палитры, основной для использования AMX является палитра 1. Она включает набор из 8 плиток-регистров с именами TMM0...TMM7. Каждая плитка имеет максимальный размер 16 строк по 64 байта (1 КБ), однако программист может настроить каждую плитку на меньшие размеры, соответствующие используемому им алгоритму [245].

Это естественно соответствует матрице 16×64 с форматом INT8 или 16×32 с форматом BF16. Информацию о максимальном количестве поддерживаемых плиток и максимальном размере плиток для конкретного используемого оборудования можно получить через команду CPUID.

Номер палитры (`palette_id`) и размеры плиток являются метаданными, которые хранятся внутри еще одного специального регистра управления (TILECFG). Поскольку выполнение управляется метаданными, существующий двоичный файл Intel AMX может использовать преимущества больших размеров хранилища и более производительных блоков TMUL, выбрав самую мощную палитру, указанную CPUID и соответственно корректируя цикл и указатель. TILECFG программируется с помощью команды LD_TILECFG. Изначально AMX включала 12 команд, затем их число возросло до 17, в том числе из-за расширения используемых форматов данных. Эти команды осуществляют общую настройку, загрузку/сохранение плиток и собственно матричные операции умножения с плитками. Такие сложные команды, как матричные операции, предполагают много тактов для исполнения в TMUL [245]. Данные о количестве тактов и величинах задержки для команд AMX имеются в [246].

Для AMX используются и термины, аналогичные применяемым для обычных акселераторов, например, для GPU. Так, часть процессора и используемая им память именуется хостом (см. рисунок 24). Этот термин используется при наличии в серверах обычных акселераторов, в том числе GPU. AMX исходно нацелен на усовершенствования и возможности масштабирования в будущем. На данном рисунке указано два акселератора, хотя в Xeon SPR имеется один TMUL. В будущем возможны улучшения TMUL и/или увеличение числа акселераторов [245].

Команды AMX синхронны с потоком обычных команд x86, а команды загрузки/сохранения плиток обеспечивают когерентность относительно памяти хоста. Хост может использовать любые свои ресурсы (например, AVX-512) параллельно с AMX [245].

Надо иметь в виду, что возможность работы с AMX обеспечивается только достаточно новыми версиями ядер Linux (от 5.16.20 и выше). Это означает, что поставляемые в часто используемых в настоящее время дистрибутивах (например, RHEL 9 и все совместимые с ним дистрибутивы, SLES 15.4 и соответствующий OpenSUSE, Ubuntu 22.04) версии ядер для AMX не подходят. Но AMX поддерживается ядрами в SLES 15 SP6, Ubuntu 22.10 и выше и Fedora от 36-й версии и выше.

Имеющиеся данные о достигаемой производительности при использовании AMX для задач ИИ на процессорах Xeon SPR рассматриваются далее в разделе 4. Выше уже говорилось о возможных нарушениях безопасности в современных процессорах. В соответствии с [247], AMX также может быть использовано для этого.

Расширений в ISA у Xeon SPR много. Часть новых команд сосредоточена на архитектуре интерфейса акселератора (AiA). Они встроены в ISA и представляют собой усовершенствование процессоров x86, предназначенное для оптимизации перемещения данных от акселераторов к сервисам хоста [243].

Из других расширений в [243] отмечаются новые команды для поддержки виртуализации и обеспечения безопасности. Подробности см. в [245, 246].

3.1.3. Микроархитектура процессоров Xeon SPR

Мы начнем анализ микроархитектуры Xeon SPR с общей относящейся к области «вокруг 4-го поколения» процессоров Xeon таблицы 25. Она дополняет данные таблиц 23 и 24 и в целом характеризует изменения количественных показателей данных процессоров, которые во многом и определяют прогресс, достигаемый в соответствующих поколениях. В тексте далее и в таблице 25 больше внимания уделено пропускным способностям из-за их важности для производительности.

Что касается величины адресуемой физической и виртуальной памяти, то для традиционных дающих масштабирование до двух сокетов процессоров Xeon используется 52 и 57 битов соответственно, столько же, сколько и в EYUC 9004. Это применимо и для Xeon SPR в 4- и 8-сокетных конфигурациях (в предыдущем поколении, Cooper Lake-SP, адресуемая память была меньше).

Максимальная теоретическая пропускная способность (B , ГБ/с) памяти и межсоединения между процессорами рассчитывается из данных таблицы 25 по обычной формуле

$$B = N \times S \times W/8,$$

где N — число каналов (памяти или UPI), S — скорость передачи (ГТ/с для UPI или одна тысячная от МТ/с для DDR), W — ширина канала в битах, например, 24 для UPI в Xeon SPR и EMR и 64 для DDR4 или DDR5.

Исходя из данных таблиц 23, 24 и 25, прогресс в Xeon SPR (это соответственно во многом относится и к Xeon Max, см. раздел 3.2) в первую очередь проявился в существенном увеличении числа ядер, для чего применялась и усовершенствованная технология Intel. Но отставание по числу ядер от AMD EYUC, как и относительно используемой для производства EYUC полупроводниковой технологии, сохранилось.

Взросли также емкости кэша L2 и L3. Был реализован переход с DDR4 на DDR5-4800. Учитывая более медленный рост пропускной способности памяти по сравнению с производительностью процессоров, эти усовершенствования в иерархии памяти крайне важны. Был также произведен переход на поддержку PCIe 5.0, и существенно увеличено число линий PCIe.

ТАБЛИЦА 25. Характеристики 3-го, 4-го и 5-го поколений масштабируемых процессоров (МП) Хеон

	МП третьего поколения		МП четвертого поколения Xeon SPR	Xeon Max	МП пятого поколения Xeon EMR
	Xeon ICL	Xeon Cooper Lake-SP			
Число сокетов	1, 2	4, 8	1,2,4,8 ¹	1,2	
Технология, нм	10	14	10		
Максимальное число ядер	40	28	60	56	64
I-кэш L1/D-кэш L1	32 КБ/48 КБ	32 КБ/32 КБ	32 КБ/48 КБ		
Кэш L2 (частный для ядра)	1.25 МБ	1 МБ	2 МБ		
Емкость кэша L3 (максимум)	60 МБ	38.5 МБ	112.5 МБ		320 МБ
TDP (макс.)	270 Вт	250 Вт	350 Вт		
Бит физического/ виртуального адреса	52/57	46/48	52/57		
Число контроллеров памяти/кластеров Sub-Numa	4/2	2/2	4/4		4/2
Тип памяти	DDR4		DDR5		
Скорость передачи, МТ/с	3200 (2DPC)	3200 (1DPC) 2933 (2DPC)	4800 (1DPC) 4400 (2DPC)		5600 (1DPC) 4800 (2DPC)
Максимальное число каналов памяти	8	6	8		
Размер памяти HBM2E	нет			64 ГБ	нет
Максимальное число каналов UPI	3×20	6×20	4×24		
Максимальная скорость UPI	11.2 GT/s	10.4 GT/s	16 GT/s		20 GT/s
Версия PCIe	PCIe v4		PCIe v5		
Максимальное число линий PCI	64	48	80		

¹ Более 8 реализуется через поддержку xNC (см. в разделе 3.1.4). Данные из [49, 50, 238, 243, 248].

Общая блок-схема, иллюстрирующая микроархитектуру Xeon SPR, представлена на рисунке 25. Все блоки на этом рисунке понятны по их названию, а Ch0 и Ch1 на краях рисунка означают каналы памяти.

В Xeon SPR впервые стало использоваться межсоединение Intel EMIB. Оно преодолевает ограничение одной сетки и обеспечивает более эффективное масштабирование по сравнению с монолитными конструкциями. EMIB применяется Intel и для других аппаратных средств, например, для работы с FPGA. Вообще EMIB давно и хорошо известно по целому ряду публикаций [249–252], а в Xeon SPR было проведено соответствующее усовершенствование [238].

Рисунок 25 демонстрирует наличие до четырех чиплетов в разных моделях Xeon SPR. Их применение, как видно из этого рисунка, означает наличие NUMA уже в рамках одного процессора, поскольку у каждого чиплета имеются своя близкая память и соответствующие ее контроллеры Ch0/Ch1. На самом деле такая возможная локализация охватывает не только память, но и кэш LLC.

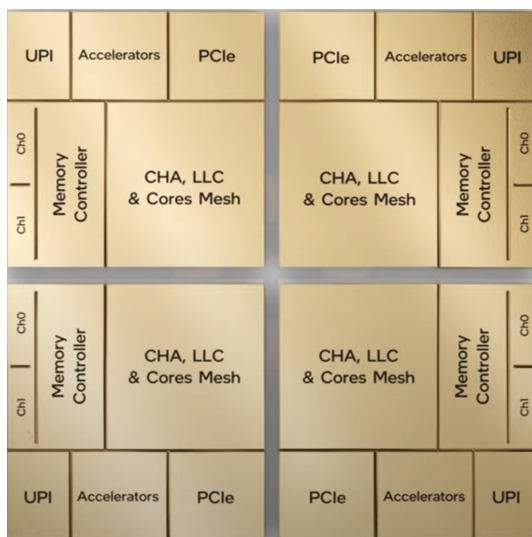


РИСУНОК 25. Основные блоки микроархитектуры Xeon SPR (рисунок из [253], соответствует представленному Intel в [239])

Intel использует для памяти процессоров Xeon SPR термин «домен унифицированного доступа к памяти» UMA (Uniform Memory Access) [243]. Он обеспечивает единое адресное пространство, которое чередуется между всеми контроллерами памяти. Но из блоков общей для всего процессора памяти и близких к ним чиплетов можно образовать NUMA-кластеры

Рисунок 26 является более детализированным, чем рисунок 25. В нем отображена также сетка, используемая как межсоединение для ядер процессора [243].

Естественно, практическое применение SNC может потребовать модернизацию текста использующего SNC программного обеспечения, обычно с применением OpenMP. Но Intel предложила еще два интересных варианта возможного учета NUMA-особенностей без программных доработок. Такие варианты с разбиением процессора на 2 и 4 части называются соответственно полушарие и квадрант.

Процессор имеет доступ ко всем агентам кэширования и контроллерам памяти. Однако на основе хэш-функции каждый домашний агент автоматически обеспечивает маршрутизацию агента кэширования на ближайший контроллер памяти в том же домене. Как только процессор обращается к агенту кэширования, расстояние сводится к минимуму, поскольку он всегда будет взаимодействовать с ближайшим контроллером памяти [243]. Как уже было отмечено выше в начале раздела 3, агенты кэширования и домашние агенты объединены в блоках США. Эти два режима работы с хэш-функциями могут давать более высокую производительность относительно UMA, но, естественно, не так хорошо, как настоящая кластеризация SNC. По умолчанию в BIOS установлен как раз режим работы с квадрантом.

Эти режимы, как и настоящая кластеризация SNC, требуют симметричного расположения памяти. Если симметрия имеющейся памяти недостаточна для режима квадранта, будет применяться режим полусферы. Если же и для него симметрия памяти не подходит, то будет работать UMA [243]. Безотносительно к вариантам формирования SNC и память, и LLC остаются при этом общими для всего процессора, просто появляется возможность «приоритетной» работы с близкими компонентами LLC и памяти.

Акселераторы. В разделе 3.1.2 уже говорилось про архитектуру интерфейса акселератора AiA и про самый актуальный для задач ИИ акселератор AMX. Кроме него, Xeon SPR могут иметь еще 4 других типа акселераторов Intel: IAA (In-memory Analytics Accelerator), DSA (Data Streaming Accelerator), DLB (Dynamic Load Balancer) и QAT (QuickAssist Technology). Нижеследующая краткая информация базируется на [243].

IAA может ускорить работу с помощью примитивов аналитики (сканирование, фильтрация и т. д.), сжатия разреженных данных и ранжирования памяти (memory tiering). Это важно для работы с большими данными и с БД в памяти.

Ранжирование памяти предполагает разделение памяти на разные области для облегчения управления ресурсами. Часто используемые (горячие) данные могут находиться в области, где пропускная способность

для процессора более высока, а менее интенсивно используемые (холодные) данные могут находиться в области с более медленной пропускной способностью. Горячие данные могут храниться в памяти, а холодные данные – на жестком диске.

IAA может иметь до четырех экземпляров на сокет, которые доступны для выгрузки данных из ядра процессора. С точки зрения программного обеспечения каждый экземпляр представляет собой сложную интегрированную конечную точку PCIe. IAA также поддерживает общую виртуальную память, позволяя устройству работать непосредственно в виртуальном адресном пространстве приложений.

DSA заменяет более старую технологию Intel Quick Data. Он помогает разгрузить общие операции перемещения данных из ядер процессора, которые могут быть обнаружены в приложениях хранения, гипервизорах, операциях с постоянной памятью (с Intel Optane), сетевых приложениях, очистке кэша операционной системы, обнулении страниц и перемещении памяти.

DSA имеет до четырех экземпляров на сокет в зависимости от модели. Он поддерживает перемещение данных между любыми компонентами платформы, включая всю совместимую подключенную память и устройства ввода-вывода. Например, поддерживается перемещение данных между кэшем процессора в основную память, между кэшем процессора и дополнительной картой и между двумя дополнительными картами.

Поскольку в современных вычислительных системах часто происходит отказ от применения HDD с переходом на работу с оперативной памятью (например, на системы баз данных в памяти), и актуальным может стать применение CXL-памяти, важность DSA потенциально может увеличиться. Работа DSA с CXL рассмотрена, например, в [254].

Другие возможности DSA возникли из-за применения двух уровней памяти (HBM и DDR) в Xeon Max, использующих микроархитектуру Xeon SPR. Данные о большом увеличении пропускной способности за счет применения DSA в 2P-сервере с 48-ядерными Xeon Max 9468 при работе с одной или несколькими нитями, использовании одного или нескольких DSA, с применением одного или двух сокетов получены в [255].

В соответствии с [256], на что в качестве примера возможного эффективного применения DLB указано в документации Intel по Xeon SPR [243], DLB – это устройство PCIe, которое обеспечивает сбалансированное по нагрузке и управлению приоритетами планирование событий (пакетов) по ядрам/потокам процессора. Этот ускоритель в Xeon SPR расположен внутри процессора.

В [256] указывается на применение DLB с помощью набора библиотек с открытым исходным кодом DPDK (Data Plane Development Kit), хотя его использование не является необходимым. Оптимизации работы с системой

очереди, для чего применим DLB, с точки зрения [256] актуальна из-за роста активности применения акселераторов. Другой возможной областью использования DLB там указываются задачи оптимизации трафика в телекоммуникационных задачах.

QAT предназначен для ускорения решения криптографических задач. Но если предыдущие поколения QAT располагались в чипсете, то затем QAT перенесен в корпус процессора. В QAT в Xeon SPR были увеличены скорости шифрования, расшифровки RSA и сжатия данных.

С другой стороны понятно, что использование акселераторов требует не только применения драйверов Intel, но и специального программного обеспечения. Ориентация на работу с ними вызывает непереносимость соответствующего кода на другие аппаратные платформы.

С нашей точки зрения потенциально более важным, чем применение в Xeon SPR акселераторов (кроме AMX), может оказаться наличие в этих процессорах поддержки CXL 1.1 [243], которая дает возможность подсоединения CXL-памяти как возможного экономически эффективного пути сглаживания разрыва между основной памятью и внешней. Постоянная память (в первую очередь Intel Optane), учитывая и отказ Intel от ее дальнейшего производства, этой проблемы не решила.

TDP и изменение частоты. Максимальные значения TDP у моделей Xeon SPR в сравнении с другими поколениями масштабируемых процессоров Xeon приведены в таблице 25, а в таблицах 23 и 24 TDP для старшей модели Xeon 8490H сопоставлены с данными для старших моделей EPYC 9004. Хотя TDP для EPYC немного выше, число ядер в старших моделях EPYC гораздо выше. Определенное отставание в полупроводниковой технологии Intel 7 от используемой для производства EPYC технологии от TSMC, безусловно, влияет и на TDP.

Представленные в таблицах 23 и 24 старшие модели EPYC Milan и EPYC Genoa имеют более высокие базовые и турбо-частоты, чем Xeon; 96-ядерный EPYC 9654 также имеет более высокую турбо-частоту всех ядер, чем Xeon 8490H.

Понятно, что Intel прилагает большие усилия по оптимизации энергопотребления и управлению применяемой тактовой частотой. В процессорах Intel Xeon SPR введены новые оптимизированные по энергопотреблению C-состояния C0.1 и C0.2 (они являются подсостояниями C0). Как и более глубокие C-состояния (C1, C1E, C6), выполнение инструкций останавливается, как только ядро переходит в одно из этих новых C-состояний. Новые C-состояния имеют гораздо меньшие задержки выхода, что важно для ускорения работы в обычных сетях, например, с использованием библиотеки DPDK [257].

Что касается собственно регулирования частот, это имеет отношение к Р-состояниям. Эти состояния в Xeon SPR могут давать снижение рабочего напряжения и частоты ядер и соответственно уменьшение потребляемой энергии. Включение или отключение технологии Intel Turbo Boost влияет, естественно, на Р- и С-состояния (подробнее см., например, [258]). Для достижения максимальной производительности Turbo Boost практически всегда включается, но его можно отключить для достижения более низкой, но предсказуемой производительности.

Ядра Linux для Xeon SPR имеют два разных драйвера. Во-первых, это традиционный драйвер `acpi-cpufreq`, используемый подсистемой `CPUfreq`. Имеющиеся в ней разные регуляторы описаны выше в разделе 1.2, а их применение в EPYC Zen 4 – в разделе 2.2.

Другой драйвер, `intel_pstate`, реализует два своих собственных алгоритма. Алгоритм «performance», реализованный `intel_pstate`, похож на одноименный алгоритм в `CPUfreq`. Алгоритм алгоритм «powersave» в `intel_pstate` больше похож на «`schedutil`» в `CPUfreq`. По умолчанию загружается драйвер `intel_pstate`. Для vCMTS (virtualized cable modem termination system) в рекомендуется работать с регулятором «`userspace`» в традиционном драйвером, поскольку это позволяет иметь полный контроль над настройкой частоты [257].

В командной строке Linux с помощью инструмента `python power.py`³³, доступного в репозитории Intel CommsPowerManagement GitHub, можно отслеживать и изменять параметры Р-состояний.

В практическом плане актуальным усовершенствованием в Xeon SPR надо отметить появление в BIOS специального режима «Optimized Power Mode» (OPM), который позволяет иметь высокую производительность при заметном понижении энергопотребления (см., например, [259]). Иллюстрация эффективности его применения приведена далее в разделе 4.1.

Виртуализация. Рассмотренные выше особенности применения NUMA в Xeon SPR, безусловно, отражаются в реальном использовании средств виртуализации, поскольку это способствует естественному образованию виртуальной машины на каждом NUMA-узле.

Так, например, знаменитый в бизнес-сфере программный продукт SAP HANA, который раньше обеспечивал работу на 2Р-сервере двух виртуальных машин, теперь поддерживает работу с виртуальными машинами в режиме SNC2, по две виртуальные машины на процессор и соответственно четыре – на сервер [260].

Intel вообще отличается огромным набором областей, в которых фирма достигает успехов. В области виртуализации вообще можно упомянуть vRAN (развертывание сетей виртуального радиодоступа), для чего Intel

³³<https://github.com/intel/CommsPowerManagement>, accessed 18.11.2025.

создала специальные средства vRAN boost, и специализированные Xeon Sapphire Rapids EE. Однако все это совсем не подпадает в тематику данного обзора.

Технология виртуализации Intel VT-X, включающая и соответствующие команды в ISA, VMX (virtual-machine extensions), существует очень давно и сильно развились за многие годы. В VT-X также очень давно используется технология виртуализации таблиц страниц EPT (Extended Page Tables). К настоящему времени VT-X имеет очень много возможностей. Многие из них имеют аналоги в процессорах Zen-4, и были кратко рассмотрены выше. Здесь мы остановимся только на последних усовершенствованиях в этой области, имеющихся в Xeon SPR, которые относятся к VT-d (Virtualization Technology for Directed I/O), добавляющей новый уровень аппаратной поддержки виртуализации устройств ввода/вывода [261].

VT-d использует, в частности, виртуализацию межпроцессорных прерываний IPI (Inter-Processor Interrupts). IPI – это часть технологии виртуализации прерываний Intel APICv, аналогом которого является AMD AVIC. IPI стабильно поддерживается только новыми версиями ядер Linux (от 5.19 и выше).

Intel в своем основном техническом документе о Xeon SPR [243] указывает на появившуюся в этих процессорах свою новую технологию Scalable IOV, заменившую ранее существовавшую технологию виртуализации ввода-вывода SR-IOV, предоставив гибкую композицию виртуальных функций с использованием программного обеспечения собственных аппаратных интерфейсов.

Если SR-IOV реализует полный интерфейс виртуальных функций, Scalable IOV вместо этого использует облегченный интерфейс, оптимизированный для быстрых операций с путями передачи данных для прямого доступа со стороны гостя. Intel Scalable IOV легко взаимодействует с PCIe или CXL через идентификаторы адресного пространства процесса, позволяя нескольким гостевым операционным системам одновременно использовать устройства PCIe или CXL. Intel Scalable IOV поддерживает также все акселераторы, присутствующие в Xeon SPR, и любые дискретные акселераторы. Но Scalable IOV требует поддержки со стороны операционных систем и диспетчеров виртуальных машин [243].

Безопасность. В Xeon SPR для аппаратной поддержки безопасности применяется новая технология Intel, TDX (Trust Domain Extensions). Средства обеспечения безопасности в EPYC Zen 4 вкратце рассматривались выше в разделе 2.2.

Исследования средств безопасности всех современных процессоров являются активно развиваемой научной областью. Эти средства ограниченным образом относятся к производительности из-за их редкого применения, например для HPC. Они соответственно не рассматриваются

в разделах обзора, где сопоставляется производительность анализируемых в нем процессоров. Поэтому небольшое сравнение этих аппаратных средств рассматриваемых процессоров целесообразно провести здесь.

Во введении уже отмечалось, что атаки, приводящие к нарушениям безопасности, возможны для почти всех современных суперскалярных процессоров. Укажем здесь на еще один вариант атаки для таких процессоров, Downfall, и соответствующую публикацию [262]. Как отмечено в [262], Intel утверждает, что Xeon SPR этим не затронуты. В AMD Zen 2 предварительные тесты не выявили утечки данных, но авторы [262] планируют продолжить исследования процессоров Intel и других производителей.

Рассматриваемые здесь аппаратные средства обеспечения безопасности ориентированы в первую очередь на виртуализацию и облачные технологии. Intel, предложив для своих процессоров средства безопасности SGX (Software Guard Extensions) раньше других производителей, в 2015 году, сформулировала в качестве основы своей парадигмы конфиденциальных вычислений четкую ориентацию: те, кто контролирует платформу, и те, у кого есть обрабатываемые данные на платформе, являются двумя отдельными сущностями. В то время как обычно владелец платформы имеет полный доступ к тому, что обрабатывается на платформе [263].

Виртуализация и применение ее для облачных технологий, естественно, поднимают вопросы обеспечения безопасности на гораздо более более важный уровень. В качестве иллюстрации укажем, что, по данным IBM, 82% утечек данных относились к хранящимся в облаке данным [264].

Для самых разных технологий обеспечения безопасности общим является термин TEE (Trusted Execution Environment). Средства для TEE должны гарантировать конфиденциальность и защищенность от несанкционированного доступа, а также быть невосприимчивыми к различным типам атак. Выше уже было отмечено, что гарантии этого пока достаточно сомнительны, поскольку появляются данные о все новых нарушающих безопасность вариантах атак. Поэтому средства для TEE обеспечивают скорее только определенные типы и уровни безопасности. Средства безопасности в процессорах ARM, и SEV в AMD EPC, и Intel SGX относятся к TEE.

К важнейшим показателям аппаратных средств для TEE относится не только достигаемый уровень обеспечения безопасности, но и то, насколько эти средства могут вызывать понижение достигаемой производительности. В качестве примера работы, посвященной влиянию их на производительность для HPC, укажем [265]. И необходимо сразу отметить, что применение и Intel SGX, и AMD SEV продемонстрировало в [265] возможное очень сильное понижение производительности.

Intel SGX базируется на изоляции и шифровании частей кода, которые обрабатывают конфиденциальные данные в приложениях. Данные шифруются и дешифруются с помощью хорошо известных криптографических алгоритмов налету (перед записью в память системы или при чтении из нее). Немного иная стратегия – это изоляция и шифрование памяти всей виртуальной машины, что используется в AMD SEV [266].

Средства SGX с точки зрения достигаемого уровня безопасности нередко считались лучшими – см., например, [264, 267]. Однако известна, например, атака CipherLeaks, в которой нарушается защита и SGX, и SEV (см., например, [268]).

В качестве недостатка применения SGX часто указывают, что это требует модификации кода приложений и возлагает на их разработчиков ответственность за написание устойчивого к атакам кода [266], и поэтому его считают сложным для использования [264].

Но причиной отказа Intel от SGX и перехода в Xeon SPR на применение технологии TDX (Trust Domain Extensions) было, скорее всего, ограничение размера безопасной памяти [264]. Это делало SGX неприемлемым для задач HPC [265].

AMD, использовавшая в SEV (с 2016 года) стратегию на основе изоляции памяти всей виртуальной машины, улучшала SEV уже дважды: в 2017 году до SEV-ES (Encrypted State), а в 2020 году – до SEV-SNP (Secure Nested Paging) [266]. Эти технологии кратко рассмотрены ранее в разделе 2.2.

Появившаяся в Xeon SPR новая технология Intel TDX, как и AMD SEV, позволяет развертывать аппаратно-изолированные виртуальные машины, которые в TDX называются доменами доверия (Trust Domain, TD). Дальнейшее рассмотрение TDX здесь основано на [263] и последнем на момент подготовки обзора описании TDX [269].

TD, новый тип гостевой виртуальной машины, расширяет имевшиеся ранее возможности VMX (упоминавшегося выше расширения ISA для VT-X) и многоключевого полного шифрования памяти MKTME (Multi-Key Total Memory Encryption), обеспечивая аппаратную изоляцию виртуальных машин также от среды хостинга. Даже при полном контроле над механизмами управления хостом со стороны монитора виртуальных машин VMM / гипервизора нельзя получить доступ к личной информации виртуальных машин, как это было раньше при виртуализации в облачном хостинге. Отметим, что MKTME встроен в контроллер памяти [38].

Программный компонент, который управляет TD, называется модулем TDX. В Xeon SPR в TDX появился новый для x86 режим безопасного арбитража SEAM (SEcure Arbitration Mode), который нужен для изоляции модуля TDX от всех программно-аппаратных компонент, не включенных в базу доверенных вычислений TD, TCB (Trusted Computing Base). Xeon SPR с TDX разрешает доступ к диапазону памяти SEAM только

программному обеспечению, выполняющемуся внутри диапазона памяти SEAM, а все другие программные доступы и прямой доступ к памяти (DMA) с устройств к этому диапазону памяти прерываются.

В диапазоне памяти SEAM обеспечивается криптографическая защита конфиденциальности с использованием AES в режиме XTS со 128-битным ключом шифрования памяти. Может применяться один из двух доступных режимов защиты целостности памяти. Она может быть обеспечена либо (по умолчанию) криптографической схемой защиты, либо использовать схему защиты логической целостности.

Схема криптографической целостности использует 28-битный код аутентификации сообщений (MAC) на основе криптографической хеш-функции SHA-3, а схема защиты логической целостности предназначена только для предотвращения доступа к программному обеспечению хоста/системы (там используется один бит владения TD).

В результате рабочая нагрузка получает возможность применять SEAM (независимо от используемой ею облачной инфраструктуры) для обеспечения более безопасного доступа к разным программно-аппаратным компонентам [38, 263].

Кроме того, TDX включает средства удаленной аттестации, позволяющей проверяющей стороне (например, владельцу рабочей нагрузки) установить, что рабочая нагрузка выполняется на платформе с поддержкой TDX, расположенной в TD, еще до предоставления данных этой рабочей нагрузки.

Данное изложение здесь, как и [38, 263], основаны на TDX 1.0. Intel представила соответствующие ей подробные данные для проведения исследовательских испытаний Google, Microsoft и NCC Group (знаменитой занимающейся кибербезопасностью компании) еще до начала поставок Xeon SPR. Они изучали возможности TDX на предмет соответствия требованиям безопасности, и предоставили Intel полученные данные, на основе которых фирма провела и необходимые усовершенствования.

Наиболее известным из этих испытаний стало, вероятно, исследование в Google, проводившееся в течение 9 месяцев, подробные результаты которого были опубликованы в [38]. Там был проверен 81 вектор атак, что дало, в частности, около 10 уязвимостей безопасности. Согласно [269], они все были устранены в выпускаемых Intel Xeon SPR, где применяется уже более новая версия TDX.

Эти данные, с одной стороны, говорят вообще об очень высокой сложности такой реализации средств безопасности. Но Intel получила в результате таких исследований большое преимущество. В [38] отмечается также сложность самой системы TDX.

Важно также, что TDX быстро стала доступна в известных дистрибутивах Linux, например, в RHEL 8.10, SLES 15 SP5 или Ubuntu 24.04 LTS.

Как и другие обсуждавшиеся средства обеспечения безопасности, TDX ориентирован на задачи виртуализации и облачных технологий, и не может решить вообще все потенциально возможные проблемы безопасности процессоров. На рисунке 27 дается иллюстрация того, какие области безопасности TDX охватывает, а какие – нет.

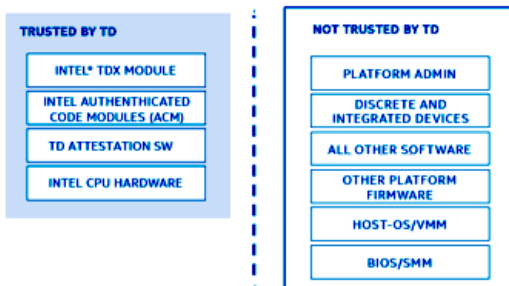


Рисунок 27. Границы доверия TDX (рисунок из [263])

В сравнительных оценках разных технологий для TEE надо учитывать и такие «побочные» эффекты: уменьшение производительности, необходимость поддержки в операционной системе и модернизации кодов использующих их приложений. В современных работах предлагаются и вообще новые варианты обеспечения безопасности (см, например, [264, 270]). Все это требует дальнейших исследований, и разумным остается и просто тщательное сопоставление имеющихся возможностей технологий для TEE, как это делалось ранее в [267].

3.1.4. Вычислительные системы на базе Xeon SPR

Прежде чем перейти от рассмотрения процессоров к вычислительным системам, нужно сказать про чипсет. Хотя Intel относит Xeon SPR к SoC, чипсет (C741) для этих процессоров, в отличие от EPYC 9004, используется. Про C741 уже говорилось выше в разделе 1.1. Наличие этой микросхемы чуть добавляет стоимости (\$70) и величины TDP (11 Вт) [45].

Традиционные содержащие до двух сокетов системы на базе Xeon SPR предлагаются всеми основными производителями серверов, и в архитектурном плане здесь не возникает ничего особо нового. Отметим только, что использование NUMA предполагает аккуратное конфигурирование по отношению к расположению модулей памяти. Полезным практическим руководством для двухсокетных серверов могут быть рекомендации Lenovo для серверов с процессорами Xeon SPR и Xeon EMR [271].

Серверы с 4 или 8 сокетами выпускают Supermicro и Lenovo. Аналогов таких серверов с AMD EPYC нет. Принципиально важным является также то, что на базе процессоров Xeon SPR можно строить системы с общим полем памяти, содержащие больше 8 сокетов – это возможно с применением технологии xNC (eXternal Node Controller), разработанной Intel совместно с Numascale [272].

Знаменитыми вычислительными системами, использующими возможности xNC, раньше были HPE Superdome Flex. Аналогичные системы на базе Xeon SPR, HPE Compute Scale-up 3200 Server, имеют модульную архитектуру, применяющую 4-socketные строительные блоки 5U. Архитектура этих начавшихся поставляться в 2023 году систем представляет собой комбинацию сервера Superdome Flex, который использовал xNC, и сервера HPE SuperdomeFlex 280, в котором применяется бессвязная инфраструктура с расширенным подключением UPI [273].

Система Compute Scale-up 3200 обеспечивает масштабируемость от 4 до 16 сокетов с шагом в 4 сокета и масштабирование DDR5 до емкости 32 ТБ. Подробнее архитектура этих серверов описана в [274]. Они предназначены в первую очередь для задач SAP HANA и работы с базами данных в памяти.

Суперкомпьютеры в июньском списке TOP500 2024 года содержат Xeon SPR как в гетерогенных узлах с GPU, так и в гомогенных узлах только с процессорами.

В качестве наиболее известного американского суперкомпьютера с Xeon SPR, содержащего в узлах еще Nvidia H100, следует указать Microsoft Eagle ND v5 [275], занимающую третье место в списке виртуальную машину Microsoft ND v5 из семейства Azure, работающую с Ubuntu 22.04. Там в узлах используются 56-ядерные Xeon 8480C. Суффикс C в названии SKU в общем списке суффиксов на рисунке 20 отсутствует. Возможно, это предварительный вариант Xeon 8480+. Там применяются такие же ядра с базовой тактовой частотой два ГГц, но максимально допустимая температура составляет 73 градуса Цельсия, а в Xeon 8480+ она повышена до 79 градусов.

В занимающем седьмое место в этом списке европейском суперкомпьютере Leonardo есть называемая «data-centric» часть (далее мы используем для таких частей-кластеров термин раздел) с гомогенными узлами на базе Xeon 8480+, но он дополняется разделом «booster», где в узлах применяются GPU [276].

Занимающая в списке 22-е место вычислительная система Mare Nostrum 5 GPP в известном барселонском суперкомпьютерном центре [277] использует гомогенные узлы GPP. Их имеется 3 типа: обычные, с расширенной памятью и с памятью HBM. В обычных узлах и в узлах с расширенной памятью применяется по два 56-ядерных Xeon 8480+ с памятью DDR5 по 256 ГБ и 1 ТБ соответственно. В узлах с HBM используются также 56-ядерные Xeon CPU Max (см. в разделе 3.2 далее). В качестве серверов MareNostrum 5 GPP использует Lenovo ThinkSystem SD650 V3.

Однако кроме гомогенных узлов, в MareNostrum 5 имеются еще гетерогенные узлы, содержащие по два 40-ядерных Xeon 8460Y+/2.3 ГГц

и по 4 GPU H100. В целом MareNostrum 5, использующий межсоединение InfiniBand NDR200, является пре-эксафлопсным суперкомпьютером совместного предприятия EuroHPC [277].

Данные о производительности вычислительных систем с процессорами Xeon SPR рассмотрены далее в разделе 4, а в следующем разделе анализируется модифицированное семейство процессоров Xeon SPR, в котором добавлена поддержка работы с HBM-памятью, в том числе совместно с DDR-памятью. Соответственно содержащие в узлах Xeon SPR с HBM суперкомпьютеры, такие как Crossroads [278], также рассматриваются далее.

3.2. Процессоры Xeon Max (Xeon SPR с HBM)

Сначала в публикациях процессоры Xeon Max вообще называли Xeon Sapphire Rapids с памятью HBM. Главное, чем Xeon Max отличаются от Xeon SPR, это наличие в каждом из четырех чиплетов по одному контроллеру высокоскоростной памяти HBM2e в дополнение к обычным контроллерам DDR5. Максимально возможное число ядер в Xeon Max при этом уменьшилось на четыре, до 56.

Память HBM, как известно, состоит из нескольких стеков DRAM-памяти и использует большую ширину шины, обеспечивающую высокую пропускную способность. Хотя HBM-память обычно используется в современных GPU [2], она применяется также и в знаменитых ARM-процессорах Fujitsu A64FX [7]. HBM-память дорогая, и ее емкость в GPU или в A64FX фиксирована, как и в Xeon Max.

В Xeon Max имеется четыре кристалла HBM – стеки, содержащие по 8 модулей DRAM. К каждому из четырех контроллеров памяти HBM подсоединяется один кристалл HBM емкостью 16 ГБ [280] (см. рисунок 28). Соответственно общая емкость HBM в каждой модели Xeon

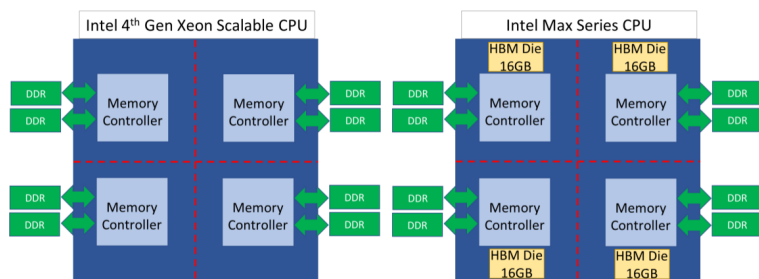


Рисунок 28. Сопоставление архитектур Xeon SPR и Xeon Max (рисунок из [280])

Max составляет 64 ГБ. При ширине шины 1024 бита и скорости 3.2 GT/s четыре стека могут обеспечить пиковую пропускную способность 1638.4

ГБ/с. Но вследствие особенностей расположения отдельных процессорных ядер в решетке Xeон Max (см. рисунок 26) при работе с HBM их пиковая пропускная способность может отличаться [281]. В [279] указано, что максимальная пропускная способность этой памяти в Xeон Max составляет 1 ТБ/с (реально достигаемая пропускная способность рассматривается ниже в разделе 4.4). Память DDR5 у моделей Xeон Max может применяться дополнительно к HBM или отсутствовать.

Все модели Xeон Max (число разных SKU гораздо меньше, чем у Xeон SPR) применяют номера SKU вида 94xx без наличия суффиксов. Хотя число ядер в разных SKU Xeон Max бывает от 32 до 56, все они обладают HBM-памятью одинаковой емкости 64 ГБ и имеют большое число других совпадающих характеристик, в том числе одинаковыми величинами турбо-частот (3.5 ГГц) и TDP, равной 350 Вт. Все SKU Xeон Max могут работать на серверах, содержащих до двух процессоров. Поддержка работы с Intel Optane в этих процессорах отсутствует [279]. Характеристики этих SKU приведены в таблице 26.

Таблица 26. Характеристики моделей Xeон Max

Номер модели	Число ядер	Базовая частота	Размер кэша L3	Число каналов UPI (максимальное)	Цена
9462	32	2.7 ГГц	75 МБ	3	\$7995
9460	40	2.2 ГГц	97.5 МБ	3	\$8750
9468	48	2.1 ГГц	105 МБ	4	\$9900
9470	52	2 ГГц	105 МБ	4	\$11590
9480	56	1.9 ГГц	112.5 МБ	4	\$12980

Данные из [https://ark.intel.com/content/www/us/en/ark/products/series/232643/intel-xeon-cpu-max-series.html 11.08.2024].

Процессоры Xeон Max поддерживают только конфигурации 1P или 2P. Другие данные об этих процессорах приведены выше в таблицах 23, 24 и 25. Учитывая описанные выше изменения в Xeон Max по сравнению с Xeон SPR, далее рассматриваются только особенности режимов работы с памятью.

Дальнейшее рассмотрение в данном разделе основано на информации [279]. Всего в Xeон Max имеется 3 базовых режима работы с HBM.

HBM-only. В качестве базового можно рассматривать режим HBM-only, в котором DDR5 вообще не используется. Это, естественно, предполагает работу с приложениями, для которых емкость 64 ГБ является достаточной. Такие приложения могут получить повышенную производительность благодаря более высокой пропускной способности HBM.

Поскольку у каждого чиплета есть свой контроллер HBM, в этом режиме также может быть достигнуто повышение производительности за счет использования средств NUMA.

Выше в разделе 1.2 обсуждалось применение стандарта ACPI по отношению к частотам процессоров. Также относящаяся к ACPI статическая таблица атрибутов гетерогенной памяти (содержащая, в частности, задержку и пропускную способность, для Xeon Max – для HBM и DDR), как указано в [279], используется ядром Linux для оптимизации работы с NUMA. Это позволяет Linux закрепить приложение на определенном узле NUMA, связанном с HBM, и назначить ему приоритет. Поддержка такого NUMA-режима обсуждается ниже в обсуждении режимов кластеризации.

Плоский режим Flat Mode (другое название – одноуровневая память, 1LM). Этот режим можно использовать, если емкости HBM-памяти не хватает, и в дополнение к ней применяется DDR5. HBM и DDR настраиваются как основная память в разных адресных пространствах NUMA. В этом случае требуется не только настройка BIOS (UEFI), но и привязка приложения к соответствующему домену NUMA с помощью специальных программных инструментов NUMA.

Режим кэширования Cache Mode (другое название – двухуровневая память, 2LM). В этом режиме, в отличие от плоского режима, HBM невидим для операционной системы и приложений, поскольку HBM действует здесь как кэш уровня четыре для оперативной памяти DDR, а не как основная память. В этом режиме не возникает необходимости настраивать под него приложения, но по сравнению с плоским режимом достигаемая производительность может быть меньше.

Режимы кластеризации. Поскольку и память HBM, и DDR5 имеют собственные контроллеры в каждом из четырех чиплетах процессора, приведенные выше 3 базовых режима могут использовать более тонкую настройку NUMA с использованием описанных ранее возможностей SNC. Такие режимы кластеризации описаны в руководстве Intel по конфигурированию и настройке Xeon Max [282]. Детальное рассмотрение этих режимов, включая графические иллюстрации и рассмотрение также 2P-конфигураций имеется также в руководстве Lenovo к своим серверам [280]. В [280, 282] приводится также информация о работе с этими режимами в Linux.

Для каждого из трех базовых режимов работы HBM в Xeon Max поддерживается еще по два режима кластеризации – с применением SNC4 или квадранта, что дает в результате 6 разных режимов.

При использовании кластеризации с квадрантами в режиме HBM-only два разных узла NUMA образуются только в 2P-сервере, а в сочетании с плоским режимом в таком сервере будет уже четыре узла NUMA, поскольку в каждом сокете один узел NUMA есть для DDR5, а один – для HBM. При работе с квадрантами в режиме кэширования память HBM невидима, и на два сокета будет также два узла NUMA.

Использование не квадрантов, а SNC4 дает возможности достижения более высокой производительности (с точки зрения пропускной способности и задержки) при работе с памятью, поскольку в этом случае учитывается наличие четырех разных контроллеров и соответствующих кристаллов HBM по 16 ГБ для каждого процессора. Наиболее высокую производительность можно получить в сочетании SNC4 с режимом HBM-only (см. рисунок 29), что для двух сокетов дает 8 узлов NUMA. Это, возможно,

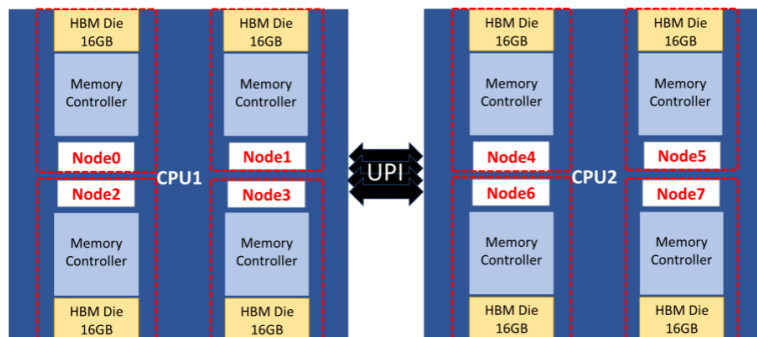


Рисунок 29. Режим HBM-only и SNC4 (рисунок из [280])

требует соответствующих модернизаций в приложении и предполагает, что в 2P-сервере 128 ГБ HBM для приложения достаточно.

Если этой емкости недостаточно, и используется еще DDR5, то максимизацию производительности возможно получить в сочетании SNC4 с плоским режимом. Тогда и HBM, и DDR будут разделены на четыре независимых узла NUMA в каждом Хеоп, а в двухсокетном сервере будет шестнадцать узлов NUMA.

Наконец, возможно сочетание SNC4 с режимом кэширования. Поскольку HBM в этом случае выступает как кэш и невидим, в двухсокетном сервере будет 8 узлов NUMA. В [280], с учетом полученных там данных о производительности, сформулированы общие рекомендации по оптимальному выбору различных конфигураций NUMA.

В конце обсуждения различных режимов работы с памятью HBM следует отметить, что в Linux для настроек нужны не только средства numactl, но из-за гетерогенности памяти еще и средства daxctl для перенумерации при работе ядра, о чем было упомянуто выше.

Надо также отметить, что хотя HBM дает однозначные преимущества для производительности использующих ее процессоров, кроме повышения их стоимости HBM приводит и к повышению TDP интегрировавших HBM процессоров. Как отмечено в [283], из-за более высокого энергопотребления в 56-ядерном Хеоп Max 9480 частота ядер (1.9–3.5 ГГц) чуть ниже, чем в 56-ядерном Хеоп 8480+ (2.0–3.8 ГГц).

Ускорители в Xeon Max. Важным преимуществом именно для Xeon Max является АМХ-расширение ISA, поскольку HBM-память может существенно поднять производительность задач ИИ. На такое сочетание HBM и средств АМХ, поддерживающих актуальные для ИИ матричные операции с данными в форматах BF16 и FP16 особое внимание обращено, например, в [14, 284].

Понятно, что часто производимые расчеты для ИИ обычно эффективнее производить на GPU. Но не для самых сложных вычислений, особенно для выводов ИИ, это может быть и быстрее на x86, так как нет задержек передачи данных на GPU. Анализ, где подобная работа на одном сервере или в Hadoop кластере из них может оказаться эффективнее, безусловно требует дополнительных исследований. Далее в разделе 4 приводятся имеющиеся данные о производительности рассматриваемых в обзоре процессоров Xeon для задач ИИ.

Из других ускорителей в Xeon Max имеется DSA (см. о нем выше в разделе 3.1.3); поддерживается, естественно, и AiA.

3.2.1. Вычислительные системы на базе Xeon Max

Выше уже была рассмотрена NUMA-конфигурация 2P-сервера на базе Xeon Max в режиме HBM-only. Совместное применение памяти HBM и DDR дает сложные конфигурации NUMA. На рисунке 30 представлена конструкция 2P-сервера, в котором имеется память HBM и DDR. Это

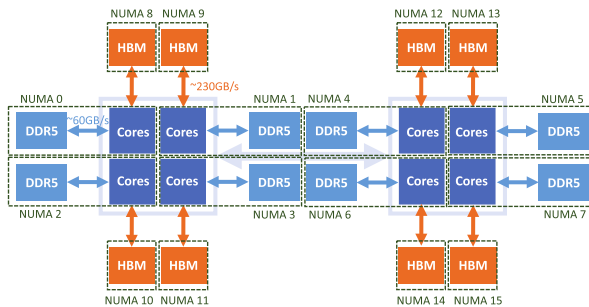


Рисунок 30. Конструкция памяти 2P-сервера с Xeon Max при наличии DDR-памяти (рисунок из [284])

позволяет строить NUMA-конфигурации при сочетании SNC4 с плоским режимом или режимом кэширования. В [280] подробно рассмотрены такие конфигурирования памяти и реализация их в Linux.

После выпуска Intel Xeon Max с НВМ-памятью они сразу стали активно применяться в научных исследованиях, и были созданы суперкомпьютеры, использующие эти процессоры в своих узлах. Появившийся с большим запозданием по сравнению с планируемым временем суперкомпьютер Aurora содержит в гетерогенных узлах GPU Intel Data Center Max и процессоры Xeon Max 9470. Также входящий в первую десятку июньского списка TOP500 2024 года суперкомпьютер MareNostrum 5 в своем разделе GPP содержит гомогенные узлы с Xeon Max 9480.

Содержащими только гомогенные узлы с этим же Xeon Max 9480 суперкомпьютерами являются Crossroads (в знаменитой национальной лаборатории Лос-Аламоса) [278], который занимает 27-е место в этом списке TOP500, и Camphor 3³⁴.

Данные о производительности вычислительных систем с Xeon Max рассматриваются далее в разделе 4.

3.3. Масштабируемые процессоры Xeon 5-го поколения (Xeon EMR)

3.3.1. Микроархитектура процессоров Xeon EMR и вычислительные системы на их базе

Микроархитектура Xeon EMR очень близка к изложенному выше в разделе 3.1 для Xeon SPR. Соответственно описание микроархитектурных особенностей Xeon EMR здесь достаточно ограничено. Главным источником информации здесь является публикация разработчиков Intel [285].

Краткое описание Intel [286] дополнительной информации в этом плане содержит очень мало, хотя отдельные подробности можно найти в других документах, например, в руководстве Intel по мониторингу производительности не включающего ядра набора блоков процессора, которые фирма называет «uncore» [287]. В этот набор входят СНА (см. о нем выше в разделе 3.1.3 про микроархитектуру Xeon SPR), блок контроллера питания (PCU, Power Controller Unit), интегрированный контроллер памяти (IMC, Integrated Memory Controller) и другие. В [287] приводится и блок-схема Xeon EMR, которая представлена на рисунке 31.

Из него видно, насколько микроархитектуры Xeon EMR и Xeon SPR похожи (см. также рисунок 26 про Xeon SPR выше).

³⁴<https://www.iimc.kyoto-u.ac.jp/en/services/comp/supercomputer/system/specification>, accessed 13.05.2025.

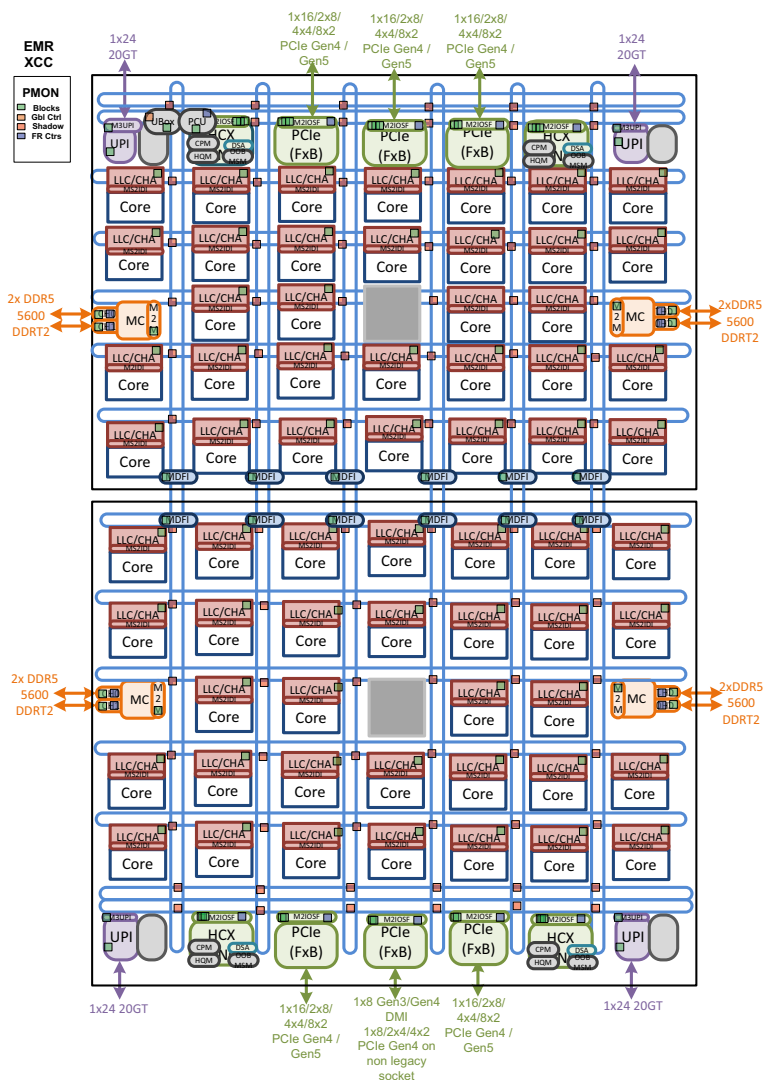


Рисунок 31. Блок-схема Xeon EMR для моделей класса XCC (рисунок из [https://www.intel.com/content/www/us/en/support/articles/000099181/processors/intel-xeon-processors.html 14.05.2025])

Информация об используемой микроархитектуре ядер Xeon EMR приводилась скорее сторонними источниками, а в научных публикациях

ссылаются, например, на Википедию [288]. В ядрах Xeon EMR применяется микроархитектура Raptor Cove – небольшое улучшение по сравнению с Golden Cove [289]. Хотя некоторые публикации с данными о Raptor Cove стали появляться [36, 37], но только с точки зрения возможных нарушений безопасности. Поэтому далее мы будем сразу пользоваться данными производителя для конкретных SKU [290].

На самом деле для Xeon EMR имеется 3 группы SKU. Модели с малым числом ядер (Low Core Count, LCC) и со средним числом ядер (Medium Core Count, MCC) являются однокристалльными. Модели с экстремальным числом ядер (Extreme Core Count, XCC) являются **многокристалльными**³⁵. Именно к ним и относится рисунок 31.

Главными изменениями для этих старших моделях Xeon EMR, судя по данным из приведенных выше ссылок, были переход от применения четырех чиплетов в Xeon SPR к двум и большое увеличение (по сравнению с предыдущим 4-м поколением масштабируемых процессоров Xeon) емкости LLC (см. таблицы 23 и 24). Это было сделано в рамках той же 10 нм технологии Intel 7, которая была оптимизирована, но в первую очередь благодаря проведенной низкоуровневой технологической модернизации (см. [285]). В результате удалось также увеличить максимальное число ядер с 60 до 64 и улучшить энергетические показатели.

Процессоры Xeon SPR содержали четыре плитки (чиплета), а Xeon EMR с конфигурацией XCC теперь содержат две плитки по 32 ядра. Согласно данным [289], другой дизайн в конфигурации MCC использует монолитный кристалл, имея от 20+ до 32 ядер. При этом к LCC относятся модели с 20 ядрами или менее [289]. Это имеет место для специализированных процессоров серии EE (edge-enhanced), Xeon Silver 45xx, которые ориентированы на низкое энергопотребление [286] и в данном обзоре не рассматриваются. Дальнейшее рассмотрение Xeon EMR относится к конфигурации XCC.

Указанное выше в качестве одного из главных улучшений возрастание емкости LLC относится только к моделям высшего класса с конфигурацией XCC и числом ядер от 40 и больше. На самом деле каждая плитка XCC содержит по 33 ядра, но одно отключено для компенсации влияния дефектов во время производства [289]. Число 33 связано с тем, что основа XCC – это сетка ядер 7×5 , два из которых заменены контроллерами памяти [291].

В Xeon EMR используется режим полусферы (UMA), аналогичный применяемому в Xeon SPR. Отсутствие в Xeon EMR поддержки имевшейся ранее возможности использования NUMA разными режимами SNC (они рассмотрены выше в начале раздела 3) потенциально может уменьшить

³⁵<https://www.intel.com/content/www/us/en/support/articles/000099181/processors/intel-xeon-processors.html>, accessed 14.05.2025.

эффективность работы с памятью. Но благодаря усовершенствованию производственного процесса удалось даже достигнуть понижения стоимости важных этапов производства. Поскольку кристалла в ХСС-конфигурациях теперь всего два, относительно Хеон SPR сильно (до трех) уменьшилось количество используемых мостов межсоединения EMIB. Уменьшились и задержки передачи данных между кристаллами [285].

Для Хеон EMR удалось обеспечить очень низкое рабочее напряжение для LLC [285], а снижение энергопотребления Intel указывает в качестве одного из ключевых направлений для Emerald Rapids (см., например, [289]). Соответственно отмечается улучшение производительности на Вт и снижение TCO [285, 286, 289, 292].

В отличие от Хеон SPR, процессоры Хеон EMR поддерживают работу только с одним и двумя сокетами. Важными усовершенствованиями Хеон EMR для межсоединения процессоров по сравнению со своим предшественником является увеличение скорости работы UPI до 20 GT/s против 16 GT/s ранее. Но это требует определенного уточнения. В Хеон Platinum имеется четыре таких канала UPI, в Хеон Gold – три канала, а в Хеон Silver – два канала с UPI, имеющие скорость 16 GT/s [286].

Еще одним важным усовершенствованием в Хеон EMR является поддержка 8 каналов для DDR5: с DDR5-5600 (1DPC) и DDR5-4800 (2DPC) для старших моделей. Максимальная емкость памяти на socket у Хеон EMR составляет 6 ТБ, как и у AMD Genoa. Для потенциального расширения емкости используемой памяти актуальной может оказаться поддержка этими процессорами CXL, что дает возможность подсоединения в будущем еще CXL-памяти. В таблицах 23 и 24 приведена и другая информация о характеристиках Хеон EMR, в том числе о тактовых частотах, в сопоставлении с данными для EPYC 9004. Огромное количество дополнительной информации о не изменившихся относительно Хеон SPR характеристиках (например, о поддержке гиперпоточности по 2 нити на ядро) здесь не приводится.

Серверы на базе Хеон EMR в техническом плане аналогичны серверам с Хеон SPR (как отмечалось выше, у этих процессоров одинаковые разъемы). Главным отличием можно считать отсутствие поддержки у Хеон EMR серверов с 4 или 8 сокетами, что было возможно для Хеон SPR. Естественно, серверы с Хеон EMR предлагают все ведущие производители. В качестве примера укажем на продукцию известной в мире суперкомпьютеров фирмы Lenovo [293]. В июньском списке TOP500 2024 года нет суперкомпьютеров с Хеон EMR, а в ноябрьском списке имеются только две системы с гетерогенными узлами, где с 32-ядерными Хеон Gold 6548Y применяются GPU Nvidia H100; более мощная из них, итальянский суперкомпьютер PITAGORA, занимает в TOP500 44-е место.

Имеются многочисленные данные Intel, указывающие на ориентацию Xeon SPR и Xeon EMR на самые разные области применения. Возможность использования в них акселераторов, которые могут применяться еще и в специальном режиме — не с единовременной полной оплатой, а с оплатой зависимости от времени использования, дает дополнительные возможности узкой ориентации конкретных SKU на эффективное применение в конкретной области.

Надо также иметь в виду разделение возможностей разных процессоров на уровне брендов от Platinum до Bronze. В [289] отмечается, что в Xeon SPR имеется 52 варианта SKU, в Xeon EMR — 32, и Intel, вероятно, имеет SKU для каждого типа рабочей нагрузки. Там также отмечается, что стек SKU в EYUC 9004 существенно меньше и более простой для понимания.

В кратком описании Intel [286] кроме направленности Xeon EMR на низкий показатель TCO также указан список его областей применения, начиная от ИИ и баз данных, и заканчивая НРС. В [286] вообще в подзаголовке указано, что это процессор, разработанный для ИИ. Понятно, что здесь успех Xeon EMR может базироваться на сочетании применения AMX с использованием более высокопроизводительного варианта DDR5 и улучшенной энергоэффективности.

Поскольку возможное число ядер в Intel Xeon EMR по-прежнему сильно отстает от доступного в AMD EYUC 9004, и имеется также отставание в числе каналов памяти и соответственно в ее пропускной способности, в вычислительно сложных рабочих нагрузках, включая распараллеливание, для старших моделей Xeon EMR часто предполагается отставание от EYUC 9004 по производительности (см., например, [289]).

Хотя некоторые данные о производительности Xeon EMR иногда вроде как показывают ее уменьшение относительно Xeon SPR [289], всегда нужно аккуратно уточнять смысл полученного. Несомненно, что Xeon EMR вплоть до появления Xeon 6 являлись лучшими серверными процессорами Intel для традиционных двухсокетных систем. Дополнительной иллюстрацией этого являются и стоимостные показатели (например, в таблице 23 видна уменьшенная цена старшей модели Xeon EMR по сравнению с Xeon SPR). Некоторые грубые средние оценки отношения стоимость/производительность для разных SKU Xeon EMR приведены в [291].

Данные о производительности систем с Xeon EMR рассматриваются далее в следующем разделе.

4. Данные о производительности Xeon SPR, Xeon Max и Xeon EMR

Мы объединяем рассмотрение производительности нескольких семейств процессоров Xeon в один общий раздел, поскольку они отнесены

к общему условно 4-му поколению x86, обладают достаточно близкими спецификациями и могут заменяться в рамках одного сервера, что обеспечивается благодаря применению одного и того же разъема (Socket 4677). Такое объединение в рамках одного документа применяла, например, и Fujitsu для информации о производительности своих серверов с этими процессорами (см., например, [166]).

Этому соответствует и суммарный объем известных нам структурированных данных о производительности всех этих процессоров (соответствующих серверов), сопоставимый с имеющимся для EYUC 9004. Исключением являются задачи ИИ, для которых имеется много публикаций, а Intel предоставляет и специальные руководства по оптимизации – например, для PyTorch [294] или для своего расширения TensorFlow, использующего Python [295]. Поэтому производительность в ИИ рассматривается в отдельном подразделе 4.2.

Необходимо также указать на большое количество данных о производительности Xeon SPR и Xeon EMR, включая сопоставления их производительности, в неструктурированной форме [296, 297], которые здесь не рассматриваются.

В основном доступные и анализируемые данные о производительности Xeon относятся к старшим моделям с большим числом ядер. В подразделе 4.3 рассматривается производительность процессоров Xeon SPR и Xeon EMR в сопоставлении с GPGPU, а также моделей Xeon среднего класса с аналогичными процессорами EYUC 9004.

Мы также выделяем данные о производительности Xeon Max в отдельный подраздел 4.4. Это связано с тем, что поддержка двух возможных уровней памяти, HBM и DDR, является уникальной, и вызвала подъем числа научных публикаций на эту тему. Поддержка HBM была прекращена в последующем семействе Xeon EMR, и отсутствует и в новейших Xeon 6 – так что развитие по линии Xeon SPR-Xeon EMR-Xeon 6 является основным вектором усовершенствования серверных процессоров Intel.

4.1. Производительность Xeon SPR и Xeon EMR в тестах и приложениях

Мы далее сопоставляем производительность Xeon SPR с предыдущим поколением Xeon ICL достаточно ограничено, поскольку преимущество в этом плане Xeon SPR очевидно. Очень большое количество разнообразной информации для таких сравнений имеется на сайте Intel [296]. Мы проиллюстрируем все это одним имеющим общий характер рисунком 32. Там приведены данные о производительности 2P-серверов с 56-ядерными Xeon 8480+, Xeon Max 9480 и 40-ядерными Xeon 8380 в приложениях из самых разных областей применения. Два примера там представлены для 60-ядерных Xeon 8490H (см. подробнее в [298]).

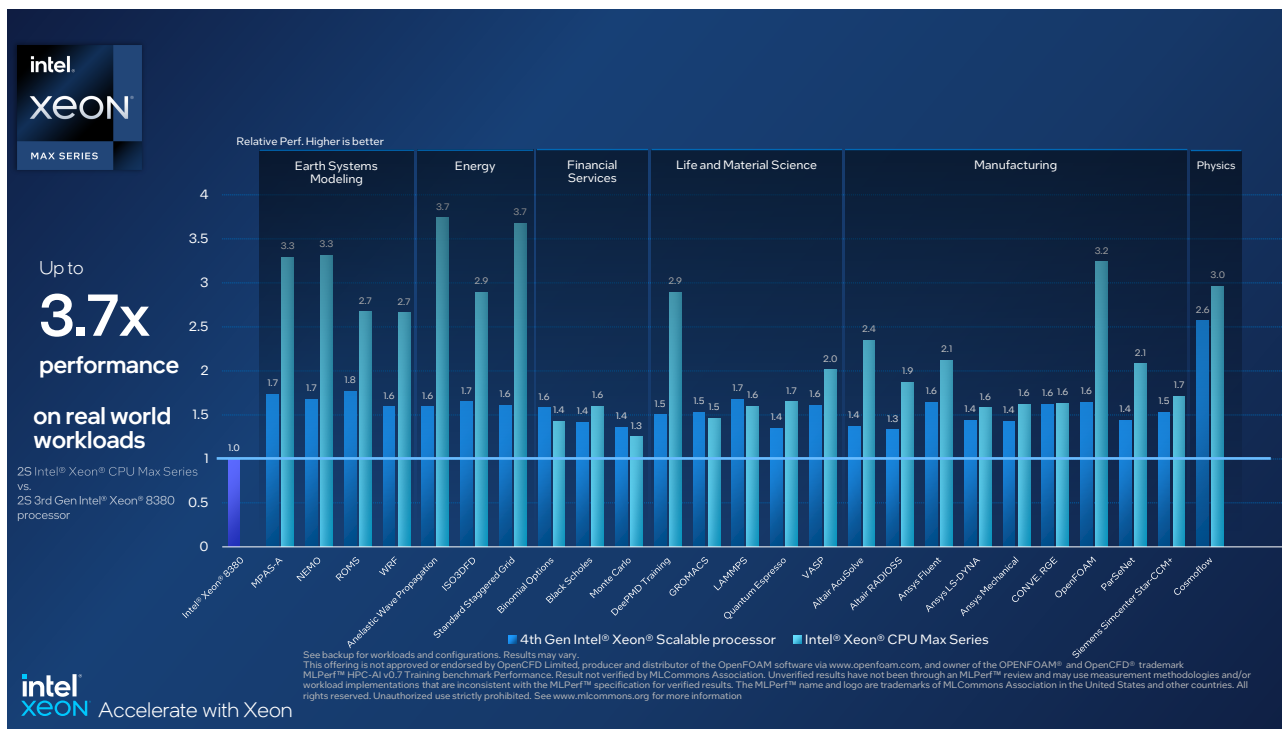


Рисунок 32. Сопоставление производительности 2P-серверов с Xeon 8380, Xeon 8480+ и Xeon Max 9480 (рисунок из [298])

Производительность в различных тестах SPEC. В таблице 27 приведены данные о производительности Xeon SPR, Xeon EMR и EPYC 9004 в тестах SPECсри 2017 с плавающей запятой. Анализ данных этой таблицы может дать ряд полезных сведений. Понятно, что часто требуются дополнительные уточняющие и поясняющие данные научных публикаций, но учитывая большую интегральность этих показателей и массовость попыток их улучшения разными производителями серверов некоторые выводы полезно сделать сразу здесь.

Аналогичные данные для 3-го поколения масштабируемых процессоров Xeon и EPYC Zen 3 (7003) уже приводились выше в таблице 1. Сравнивая эти таблицы, можно увидеть большой прогресс в производительности Xeon SPR по сравнению с предыдущим поколением Xeon не только благодаря увеличению числа ядер, но и при одинаковом числе ядер (сравнив, например, 32-ядерные модели Xeon 8362 и Xeon 8462Y+).

Модели с большим числом ядер обычно превосходят по производительности модели с меньшим числом ядер, что дает преимущества EPYC 9004. При равном числе процессорных ядер (32) показатели EPYC 9374F выше, чем у Xeon SPR 8462Y+ (только в base-варианте `fp_speed` EPYC чуть отстал).

Xeon EMR дает существенное повышение производительности по сравнению с Xeon SPR не только благодаря повышению числа ядер в старших моделях, но и при одинаковом числе ядер (например, можно сравнить данные для 32-ядерных и 60-ядерных моделей Xeon в таблице 27). Однако по возможному числу ядер старшие модели Xeon EMR по-прежнему сильно отстают от EPYC 9004, что отражается более высокими данными EPYC об их производительности в таблице 27.

Проиллюстрируем производительность в SPECсри сначала сопоставлением процессоров Xeon EMR и EPYC 9004 при одинаковом числе ядер. 64-ядерные процессоры Xeon 8592+ чуть-чуть отстают от EPYC 9534 по производительности, имея при этом несколько более высокую цену. 48-ядерные процессоры Xeon 8558P на 2P-сервере в тесте `fp_rate` чуть опережают EPYC 9474F по производительности, хотя уступают им в 1P-конфигурациях. Но разница в производительности не так велика, и следует обращать больше внимания на TDP и стоимость (и соответственно на TCO). Цена Xeon 8558P чуть-чуть ниже, но после добавления стоимости чипсета становится выше. При сравнении 32-ядерных процессоров, Xeon EMR 8562Y+ и EPYC 9374F, Xeon EMR заметно отстает в тестах `fp_rate` (возможно, более интересных для облачных технологий), и близок по производительности к EPYC 9374F в тесте `fp_speed`, где достигаемый уровень распараллеливания может быть низким. При этом цена Xeon 8562Y+ существенно выше.

Но у ЕРҮС 9004 есть модели с большим числом ядер, и они опережают Хеон по производительности гораздо больше.

Индивидуальная оптимизация отдельных составляющих тестов SPECсру 2017 `fp_speed` (что отражается в пиковых показателях) сильнее влияет на производительность в ЕРҮС, чем в Хеон. Масштабирование производительности с ростом числа ядер при переходе от одной модели процессора к другой в тестах `fp_speed` не такое сильное: увеличение числа ядер в два раза не дает близкий к двукратному рост производительности (хотя у процессоров с малым числом ядер их частота обычно несколько выше). Зато в тестах `fp_rate` при переходе от одного к двум процессорам наблюдается высокое масштабирование производительности. Это естественно соответствует типам самих этих тестов.

В обоих типах тестов SPECсру 2017 обнаруживается, что вовсе не обязательно небольшое увеличение числа используемых процессорных ядер при переходе к более дорогой модели процессора той же архитектуры приводит к росту достигаемой производительности. Согласно данным таблицы 27, 2Р-сервер с Хеон 8580, имеющим на 4 ядра больше Хеон 8570 при чуть более низкой частоте, получил более низкие данные производительности. Да, эти результаты зависят от уровня оптимизации производящего тесты, но в 1Р-сервере Хеон 8580 показывал более высокую производительность.

Сказать, что при одинаковом числе ядер в Хеон 5-го поколения и ЕРҮС 9004 производительности в этих тестах близки, на основании этих данных нельзя. Мы еще отдельно проведем далее небольшое сопоставление процессоров Хеон и ЕРҮС среднего класса, которые могут активно использоваться и в НРС [100].

Хотя в таблице 27 приведены данные тестов SPECсру 2017 и для Хеон Мах, их производительность будет рассмотрена далее в отдельном разделе 4.4.

Тесты SPEC CPU 2017 с целочисленной арифметикой практически не представляют интереса для данного обзора, особенно для НРС. В SPECint_speed 2017, где распараллеливание слабо влияет на результат, Хеон 8592+ на 1% опередил ЕРҮС 9684X, и на 5% – ЕРҮС 9654. Но в SPECint_rate 2017 старшие модели ЕРҮС 9004, естественно, сильно впереди (все это относится к максимальным достигнутым на 5.02.2024 результатам).

ТАБЛИЦА 27. Сопоставление производительности старших моделей Xeon SPR, Xeon EMR, Xeon Max и EPYC 9004 в тестах SPECсру 2017 с плавающей запятой

Модели процессора	Число CPU's × ядер	Частота, ГГц	Цена CPU ¹	SPECсру 2017 fp_speed (base/peak) ²	SPECсру 2017 fp_rate (base/peak) ²
EPYC 9754	128 2×128	2.25–3.1	\$11900	316/318 ⁴ 430/448 ³	733/799 ⁴ 1460/1590 ³
EPYC 9654	96 2×96	2.4–3.7	\$11805	324/327 ⁶ 449/468 ³	746/784 ⁷ 1480/1570 ⁵
EPYC 9684X	1×96 2×96	2.55–3.7	\$14756	357/358 ⁴ 476/495 ³	820/854 ⁴ 1630/1700 ³
EPYC 9534	1×64 2×64		\$8803	298/305 ⁴ 427/442 ³	610/658 ⁴ 1220/1310 ³
EPYC 9474F	1×48 2×48	3.6–4.1	\$6780	277/290 ⁴ 405/430 ³	574/575 ⁴ 1150/1150 ^{3,5}
EPYC 9454	1×48 2×48	2.75–3.8	\$5225	264/278 ⁹ 388/423 ³	555/557 ⁷ 1100/1110 ⁸
EPYC 9374F	1×32 2×32	3.85–4.3	\$4850	256/272 ⁴ 361/385 ³	481/485 ⁴ 964/968 ³
Xeon 8490H	1×60 2×60	1.9–3.5	\$17000	255/— ¹⁰ 378/378 ¹⁰	508/— ¹⁰ 1040/1100 ¹⁰
Xeon 8480+	1×56 2×56	2–3.8	\$10710	242/242 ¹³ 371/371 ¹⁰	465/337 ¹³ 1020/1080 ¹⁰
Xeon 8462Y+	2×32	2.8–4.1	—	363/363 ^{10,2}	817/853 ¹⁰
Xeon 8592+	1×64 2×64	1.9–3.9	\$11600	286/— ¹⁴ 428/428 ¹⁰	619/646 ¹⁵ 1260/1300 ¹⁰
Xeon 8580	1×60 2×60	2.0–4.0	\$10710	286/— ¹⁰ 419/419 ¹⁶	570/— ¹⁰ 1160/1190 ¹⁶
Xeon 8570	1×56 2×56	2.1–4.0	\$9595	279/— ¹⁴ 423/423 ¹⁰	544/— ¹⁴ 1220/1260 ⁸
Xeon 8558P	1×48 2×48	2.7–4.0	\$6759	275/— ¹⁴ 412/412 ¹⁷	526/— ¹⁴ 1140/1170 ¹⁷
Xeon 8568Y+	1×48 2×48	2.3–4.0	\$6497	275/— ¹⁴ 413/413 ¹⁷	526/— ¹⁴ 1170/1210 ¹⁰
Xeon 8558	1×48 2×48	2.1–4.0	\$4650	263/— ¹⁴ 412/412 ¹⁷	512/— ¹⁴ 1090/1120 ¹⁰
Xeon 8562Y+	1×32 2×32	2.8–4.1	\$5945	261/— ¹⁴ 388/388 ¹⁰	414/— ¹⁴ 908/941 ¹⁷
Xeon 8592V	1×64 2×64	2–3.9	\$10995	273/— ¹⁴ 409/409 ¹⁶	542/— ¹³ 1200/1250 ¹⁰
Xeon Max 9480	2×56	1.9–3.5	\$12980	348/349 ¹⁶	1140/1160 ¹⁸
Xeon Max 9470	2×52	2–3.5	\$11590	347/349 ¹⁸	1100/1120 ¹⁸

- ¹ Данные о цене 1 CPU на 13.05.2024 для AMD – из [49], для Intel – из [https://ark.intel.com/content/www/us/en/ark.html#@PanelLabel1595 23.02.2025]
- ² Данные с максимальной представленной пиковой величиной на 28.08.2024. Отправители результатов теста и серверы, на которых получены эти результаты:
- ³ ASUS RS720A-E12-RS12;
- ⁴ ASUS RS520A-E12-RS12U;
- ⁵ xFusion FusionServer 2258 V7;
- ⁶ ASUS RS520A-E12(K14PA-U24);
- ⁷ xFusion FusionServer 1158H V7;
- ⁸ Lenovo ThinkSystem SR675 V3;
- ⁹ Lenovo ThinkSystem SR655 V3;
- ¹⁰ ASUS ESC4000-E11;
- ¹¹ xFusion FusionServer 2288H V7;
- ¹² ASUS RS720-E11-RS12U(Z13PP-D32);
- ¹³ Supermicro UP SuperServer SYS-521C-NR (X13SEDW-F);
- ¹⁴ Lenovo ThinkSystem SD530 V3;
- ¹⁵ IEIT meta brain i24G7;
- ¹⁶ Nettrix R620 G50;
- ¹⁷ ASUS RS720-E11-RS12U;
- ¹⁸ Dell PowerEdge C6620.

Примечание. Для уточнения данных о применявшихся серверах в круглых скобках иногда указана использовавшаяся в тестах материнская плата.

Среди данных разных тестов SPEC для задач НРС, безусловно, тесты SPEC_{hpc} 2021 относятся к наиболее актуальным. Очень интересна работа [299], в которой детально исследованы результаты выполнения тестов SPEC_{hpc} 2021 (в tiny-варианте) для 2P-серверов с 36-ядерными Xeon ICL 8360Y и с 52-ядерными Xeon SPR 8470, и для кластеров с этими серверами (в small-варианте SPEC_{hpc} 2021). Хотя здесь изучены варианты с распараллеливанием только с MPI, эта статья дает информацию, выходящую за пределы конкретных моделей процессоров на уровень Xeon ICL и Xeon SPR вообще и представляющую интерес для проведения анализа SPEC_{hpc} на более новых процессорах x86 или других современных процессорах.

В [299] проведено разбиение отдельных тестов из SPEC_{hpc} на группы связанных памятью и вычислительно-интенсивных, и детально исследовано масштабирование производительности в зависимости от числа MPI-процессов при оптимальной для пропускной способности памяти настройке ccNUMA (SNC4 для Xeon SPR). Кроме того, при этом детально исследуется энергопотребление процессорами и DRAM, и рассеивание мощности, и оценивается энергоэффективность с применением EDP (Energy Delay Product) (про EDP см., например, [300]).

В [299] было найдено, что ускорение в вычислительно-интенсивных тестах из SPEC_{hpc} при переходе от Xeon ICL к Xeon SPR было меньше или практически не превышало увеличения числа ядер в Xeon SPR по сравнению с Xeon ICL, в то время как связанные памятью тесты получили большее ускорение (до двух раз для теста weather) – см. таблицу 28.

ТАБЛИЦА 28. Ускорение в сервере с Xeon SPR по сравнению с Xeon EMR в SPEChpc 2021 (tiny) при MPI-распараллеливании

(a) Вычислительно-интенсивные тесты					
	lbm	soma	sweep	sph-exa	
Ускорение	1.21	1.35	1.39	1.48	

(b) Связанные памятью тесты					
	weather	tealeaf	cloverleaf	pot3d	pgmgfv
Ускорение	2.03	1.66	1.57	1.63	1.65

Что касается вопросов энергии, то в [299] были определены «горячие» и «холодные» тесты из состава SPEChpc 2021, имеющие с высокое и низкое рассеивание мощности на процессоре. К первым относятся вычислительно-интенсивные тесты, в которых энергопотребление близко к TDP, большая часть мощности потребляется вычислительными блоками и кэш-памятью, а в DRAM используется маленькая часть мощности. Связанные памятью тесты, наоборот, относятся к «холодным», где достигается высокая мощность DRAM.

Было показано, что память DDR5 в Xeon SPR является гораздо более энергоэффективной и меньше влияет на общую потребляемую сервером мощность, чем DDR4 в Xeon ICL, хотя общая емкость памяти в серверах с Xeon SPR была в 4 раза больше. Однако вклад от DRAM в общую потребляемую мощность невелик. Было найдено, что в режиме простоя Xeon ICL и Xeon SPR имеют высокий уровень мощности (50% от TDP для Xeon SPR), в то время как в Xeon Sandy Bridge, например, было только 20% от TDP. В [299] сделан вывод, что для вычислительно-интенсивных тестов Xeon SPR менее эффективен, поскольку рост потребляемой мощности не компенсируется ростом производительности.

Результаты [299], относящиеся к кластеру, связаны с использованием обменов данных между узлами и здесь не рассматриваются.

В таблице 29 приведены наилучшие «официальные» результаты SPEChpc 2021 для топ-моделей Xeon SPR, Xeon EMR и EPYC 9004. Жирным шрифтом здесь помечены максимальные достигнутые на традиционных 2P-серверах базовые результаты для каждой модели процессоров. Эти данные относится к производительности серверов, а полученные в кластерах здесь не приводятся, поскольку они в меньшей степени отражают производительность самих процессоров.

ТАБЛИЦА 29. Данные о производительности серверов со старшими моделями ЕРУС 9004 и Intel Xeon в тестах SPEChpc 2021

Модели	Число ЦП	Tiny base/peak	Small base/peak
ЕРУС 9654	1	6.99/6.99	0.735/0.735
	2	13.9 /14.2	1.45 /1.45
ЕРУС 9684X	2	16.0 /16.0	1.55 /1.55
ЕРУС 9754	1	7.32/	0.823/
	2	16.4 /	1.59 /
Хеон 8480+	2	7.98 /8.35	0.945 /0.949
Хеон 8490Н	2	9.00 /	1.00 /
	4	17.2/17.6	1.88/1.89
Хеон 8592+	1	4.88/	0.553/
	2	10.8 /	1.15 /

Данные из <http://spec.org/hpc2021/results/> на 12.09.2024

Из таблицы видно, что производительность была выше при большем числе использовавшихся ядер (в процессорах применялись все ядра). Но наивысшие результаты получены на четырехпроцессорном сервере с 60-ядерными Хеон SPR 8490Н, хотя в нем немного меньше ядер, чем в 2Р-сервере со 128-ядерными ЕРУС Bergamo 9754. В Bergamo по сравнению с Genoa меньше емкость кэша L3 на ядро, а его емкость достаточно сильно влияет на производительность, что видно и из сопоставления результатов для 96-ядерных ЕРУС 9684X с 3D V-cache и ЕРУС 9654. Успех четырехпроцессорного сервера связан, вероятно, и с тем, что производительность лучше масштабируется при использовании нескольких сокетов. Среди 2Р-серверов содержащие ЕРУС 9004 имеют большую производительность, чем серверы с Хеон.

К тестам SPEChpc 2021 в определенном смысле можно отнести работу [301], в которой исследованы различные данные о производительности входящего в SPEChpc мини-приложения CloverLeaf на 2Р-сервере с Хеон 8480+ и сопоставлены с Хеон ICL.

Следующими по актуальности для задач НРС можно было бы считать тесты SPECComp 2012 и SPECmp1 2007. Данные SPECmp1 для Хеон SPR или Хеон EMR на момент написания обзора отсутствовали, а данные SPECComp представлены выше в таблице 7. 2Р-серверы с топ-моделями Хеон SPR или Хеон EMR сильно уступали по производительности топ-моделям ЕРУС 9004, что достаточно естественно вследствие гораздо меньшего числа процессорных ядер, чем в моделях ЕРУС.

Можно также отметить слабое увеличение производительности в 2P-сервере с 64-ядерными Xeon 8592+ по сравнению с 56-ядерными Xeon 8480+ или с 60-ядерными Xeon 8490H (по сравнению с последними рост производительности составил около одного процента). Однако производительность 2P-сервера с Xeon 8592+ близка к производительности имеющего столько же (128) ядер 1P-сервера с EYUC 9752 Bergamo, что может быть связано с уменьшенной емкостью кэша L3 на ядро в Bergamo и повышенной пропускной способностью памяти при работе с 2P-сервером.

Самые высокие показатели SPECcomp были получены на сервере с Xeon 8490H, но это имеет место для 8-процессорного сервера. Данных, позволяющих сопоставить производительность Xeon и EYUC 9004 на серверах с одинаковым числом сокетов и ядер, на конец 2024 года не имелось.

Из данных других тестов SPEC для процессоров Xeon по сравнению с EYUC 9004 укажем данные о производительности для серверов Java, тестов SPECjbb2015, которые были представлены выше в таблице 9. Эти данные показывают увеличение производительности в традиционных 2P-серверах при переходе на процессоры с большим числом ядер как в семействе Xeon SPR, так и в семействе Xeon EMR. Данные таблицы в тесте composite для critical_JOPS для 2P-серверов с Xeon 8490H по сравнению с Xeon 8480+ увеличения производительности не показывают, но позднее южнокорейская фирма KTNF на своем сервере получила более высокий показатель, 335807 единиц.

Масштабирование производительности с числом процессоров Xeon SPR в сервере до восьми для этих тестов можно считать вполне удовлетворительным, кроме варианта composite, где масштабирование плохое уже при переходе от двух к четырем процессорам.

Сопоставление производительности при одинаковом числе ядер у 56-ядерных 8480 и 8570, 60-ядерных Xeon 8490H и Xeon 8580 не показывает ее четкого роста при переходе от Xeon SPR к Xeon EMR. Правда, это может быть связано просто с маленьким количеством представленных пока результатов (количестве попыток оптимизации) для Xeon 8570 и 8580. Сервер с топ-моделью Xeon EMR 8592+ существенно опередил по производительности сервер с топ-моделью Xeon SPR 8490H.

Но серверы со старшими моделями масштабируемых процессоров Хеон 4-го и 5-го поколений сильно отстают по производительности в этих тестах от 4-го поколения ЕРУС 9004, и в некоторых случаях 2Р-серверы с Хеон отстают от 1Р-серверов с ЕРУС 9004, а четырехпроцессорные серверы с Хеон – от 2Р-серверов с ЕРУС 9004, хотя при этих сравнениях число процессорных ядер в серверах с Хеон было больше, чем в серверах с ЕРУС.

Что касается тестов производительности на Ватт, SPECpower_{ssj} 2008, то процессоры Хеон SPR и Хеон EMR превосходят по этому показателю ARM-процессоры Ampere Altra (см. таблицу 10 выше), и Хеон EMR продемонстрировали улучшение в этом плане по сравнению с Хеон SPR. Однако по данным этой таблицы Хеон существенно уступают ЕРУС 9004.

Кроме данных сайта этого теста, имеются интересные данные SPECpower_{ssj} 2008 для 2Р-серверов Fujitsu с 60-ядерными Хеон 8490Н и 64-ядерными Хеон 8592+ [166], с 32-ядерными Хеон 6438Y+ и Хеон 6538Y+ [302], а также с 32-ядерными Хеон 6428N [303] при различных использованных параметрах.

Приведенные выше данные говорят о преимуществах по производительности старших моделей ЕРУС 9004 по сравнению с Хеон SPR и EMR. Пожалуй, в качестве единственного исключения среди тестов SPEC (если не считать SPECint_{speed} 2017), в котором наблюдались успехи Хеон SPR или EMR по сравнению с ЕРУС 9004, здесь можно указать тесты виртуализации SPECvirt_{sc2013} (см. таблицу 11 выше). В них 2Р-сервер с Хеон EMR 8592+ сумел опередить 2Р-сервер с ЕРУС 9654 (серверы с Хеон SPR от него отстали). Эти тесты, с одной стороны, интересны для массовых ЦОД вследствие интеграции широко распространенных рабочих нагрузок, а с другой стороны в меньшей степени относятся к производительности собственно процессоров, и полученных результатов для сравнения здесь мало.

Здесь можно отметить также резкое удешевление старших моделей 5-го поколения масштабируемых процессоров Хеон EMR по сравнению с 4-м поколением Хеон SPR. Даже требующая жидкостного охлаждения самая старшая 64-ядерная модель Хеон 8593Q стоит \$12400 (цена на 15.03.2025). Но сравнение производительности с учетом цен по сравнению со старшими моделями ЕРУС 9004 (см. также обсуждение выше в разделе 2.4) преимущества ЕРУС из-за этого кардинально не изменяет.

Пропускная способность памяти. В качестве общего введения в анализ количественных показателей пропускной способности памяти при работе с Xeon SPR и Xeon EMR можно использовать данные тестов stream для 2P-серверов Fujitsu [304]. Там для stream triad приведены зависимости относительной величины пропускной способности для серверов с 56-ядерными Xeon 8570 и Xeon 8480+, 32-ядерными Xeon 6548N и Xeon 6430 с отключенным SMT от разных типов DIMM по числу рангов на канал памяти, ширины столбцов DRAM, емкости DIMM, 1DPC или 2DPC-конфигураций и числа DIMM на сокет. В качественном плане с точки зрения увеличения/уменьшения пропускной способности влияние большинства из этих параметров предсказуемо.

Данные о пропускной способности в stream triad для широкого набора разных моделей Xeon SPR представлены в таблице 30 (данные для 2P-серверов Fujitsu). Все использованные в тестах серверы работали с памятью на 4800 МТ/с, и пиковая пропускная способность памяти одного процессора у всех этих моделей составляет 307 ГБ/с.

ТАБЛИЦА 30. Пропускная способность памяти в 2P-серверах с разными моделями Xeon SPR

Модель	Число ядер	Частота, ГГц	Пропускная способность, Гбайт/с
Xeon 8490H	60	1.90	523
Xeon 8480+	56	2.00	518
Xeon 8470Q	52	2.10	492
Xeon 8470N	52	1.70	487
Xeon 8470	52	2.00	511
Xeon 8468V	48	2.40	490
Xeon 8468	48	2.10	485
Xeon 8460Y+	40	2.00	469
Xeon 6458Q	32	3.10	444
Xeon 6454S	32	2.20	445

Данные из [303].

Мы видим здесь, что переход от более младшей модели с меньшим числом ядер к более старшей модели демонстрирует увеличение пропускной способности (при отборе наиболее высокопроизводительных моделей при одинаковом числе ядер). Кроме того, соответствующее смене модели процессора повышение частоты ядер при их одинаковом числе также обычно повышает пропускную способность.

Что касается Хеон EMR, то для старшей 64-ядерной модели Хеон 8592+ сервер Fujitsu в 2Р-конфигурации показал заметно более высокую пропускную способность, 577 ГБ/с. Такое повышение пропускной способности по сравнению с Хеон SPR, естественно, приводит и к росту производительности для других связанных памятью тестов. Так, для двумерного БПФ в тесте FFTW 2Р-сервер с Хеон 8592+ дает ускорение в среднем на 22% (максимум – на 68%) относительно 2Р-сервера с Хеон 8480+ [305].

Можно отметить, что достигаемая пропускная способность старших моделей и Хеон SPR, и Хеон EMR сильно уступает соответствующим данным для ЕРУС 9654, ЕРУС 9684Х и ЕРУС 9754 (см. выше раздел 2.4.2), где достигается свыше 750 ГБ/с. Но если из этих чисел посчитать пропускную способность на одно ядро, то у 60-ядерного Хеон 8490Н и 64-ядерного Хеон 8592+ она получается выше, чем у 96-ядерных процессоров ЕРУС.

Зависимость пропускной способности памяти в 2Р-сервере с Хеон 8480+ в тесте stream от числа используемых ядер (на оси абсцисс, в логарифмическом виде) представлена на рисунке 33.

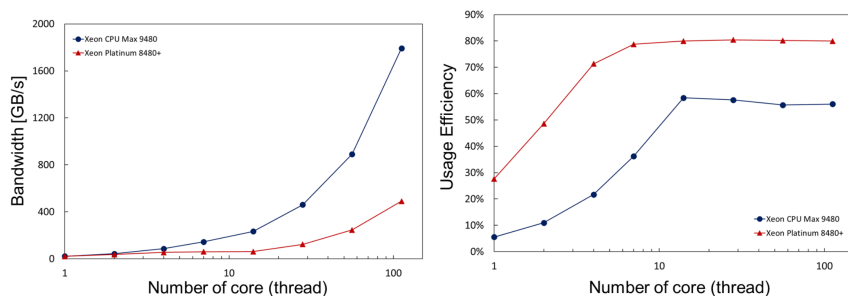


Рисунок 33. Масштабирование достигаемой пропускной способности памяти в 2Р-серверах с Хеон Max 9480 и Хеон 8480+ от числа ядер (рисунок из [283])

Он показывает, что масштабирование пропускной способности в определенной степени имеет место вплоть до максимального числа имеющихся ядер. Хотя эффективность использования дополнительных ядер после определенного порога падает.

Отдельный интерес представляют данные о пропускной способности памяти в 4- и 8-процессорных серверах Fujitsu с Хеон SPR. Для

4-процессорного сервера с 60-ядерными Xeon 8490H в stream triad получено 805 ГБ/с против 1600 ГБ/с для 8-процессорного сервера. Для 4-процессорного сервера с 40-ядерными Xeon 8460H достигнутая пропускная способность составила 817 ГБ/с против 1593 ГБ/с для 8-процессорного сервера. Эти данные представлены в [63] и [306], и демонстрируют ожидаемо хорошее масштабирование с ростом числа используемых процессоров.

Производительность при умножении плотных матриц и в тесте HPL. К сожалению, автору неизвестны данные о производительности 2P-серверов с топ-моделями Xeon SPR и Xeon EMR (а не их отдельных ядер) с применением для умножения плотных матриц в формате FP64 средств DGEMM из MKL. Однако для 48-ядерного Xeon 8468, имеющего пиковую производительность около 3.2 TFLOPS, имеются данные для японского суперкомпьютера Pegasus, который использует эти процессоры в узлах совместно с GPU Nvidia H100 [307]. Там с применением oneMKL была достигнута производительность около 3 TFLOPS (93% от пиковой), при этом включение турбо-режима там не давало существенного ускорения.

Для FP32 имеются данные о соответствующих временах выполнения на 2P-сервере с Xeon 8480+ при использовании средств MKL [4].

Здесь необходимо также отметить работы с применением AMX, которые относятся не только к задачам ИИ, но и вообще к расчетам со смешанной точностью (см., например, [308]). AMX используется и в oneMKL. Intel в [309] приводит данные о производительности 2P-сервера с 56-ядерными Xeon 8480+ при умножении квадратных матриц разных размеров с применением AMX – в форматах FP32 и BF16. Эта информация представлена на рисунке 34.

Имеются еще интересные данные о сопоставлении производительности при использовании AMX для GEMM и GEMV в форматах BF16/FP16 в 2P-сервере с 40-ядерными Xeon 8460H по сравнению с GPU Nvidia P100 и A100, причем в GEMM при разных размерах матриц два процессора Xeon чаще опережали P100 [310].

Для этих форматов производительность 2P-сервера с Xeon 8480+ с использованием других программных реализаций GEMM представлена в [311], где она сопоставлена, в частности, с данными для 2P-сервера с ARM-процессорами AWS Graviton 3, содержащими по 64 ядра Neoverse V1. Естественно, достигаемая Xeon 8480+ производительность оказалась сильно выше. Соответствующие данные рассматриваются далее в разделе 4.2 про производительность Xeon в задачах ИИ.

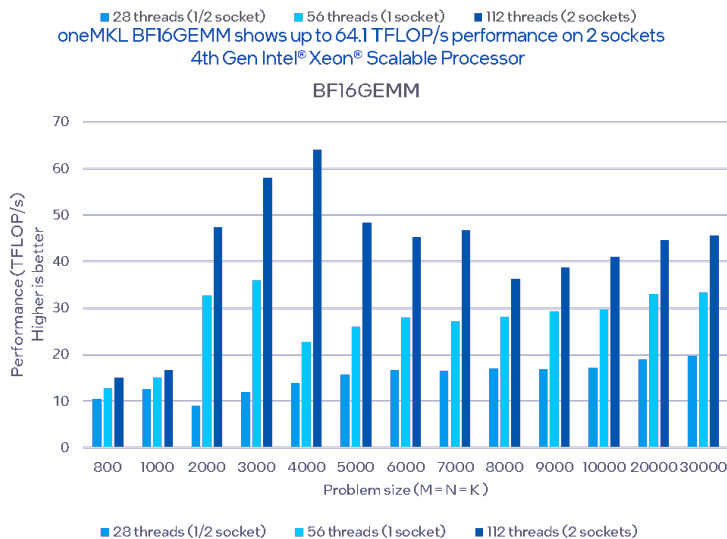
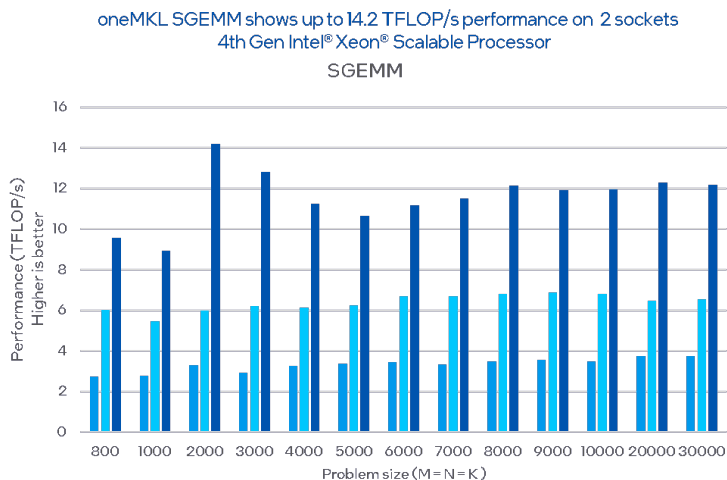


Рисунок 34. Производительность 2P-сервера с Xeon 8480+ при умножении матриц в форматах FP32 и BF16 (рисунок из [309])

При этом работы с информацией о производительности GEMM половинной точности, на которых мы ссылались выше, ориентировались на задачи ИИ и, в частности, большие языковые модели.

Данные о производительности Xeon SPR и Xeon EMR в тесте HPL предоставлялись производителями серверов с этими процессорами. В таблице 31 приведены данные о производительности серверов Fujitsu PRIMERGY с Xeon SPR и Xeon EMR в HPL для RX2540 M7 [166] и для CX2550 M7 [303].

Таблица 31. Производительность 2P-серверов с Xeon SPR в тесте HPL

Модель	Число ядер	Частота, ГГц	Производительность, GFLOPS	
			Данные [303]	Данные [166]
Xeon 8490H	60	1.9	7584	7386
Xeon 8480+	56	2.0	7293	7388
Xeon 8470Q	52	2.1	7051	
Xeon 8470N	52	1.70	6264	6105
Xeon 8470	52	2.00	7051	6930
Xeon 8468V	48	2.4	7022	6321
Xeon 8468	48	2.1	6698	6544
Xeon 8458P	44	2.7		6162
Xeon 8460Y+	40	2.00	5538	5421
Xeon 8462Y+	32	2.80		5522
Xeon 6548Q	32	3.10	6160	
Xeon 6454S	32	2.20	4667	4418
Xeon 6428N	32	1.80	4025	3826
Xeon Max 9480	56	1.90	6781	

Данные таблицы 31 дают определенные оценки того, как производительность может меняться с увеличением числа ядер или тактовых частот. Понятно, что представленные в этой таблице данные от Fujitsu могут быть не максимально достижимые показатели, которые зависят, в частности, и от размерности применяемых матриц. Для Xeon 8592+ в [303] указана производительность 8542 GFLOPS.

Эти данные о производительности для Xeon 8480+, Xeon 8490H и Xeon 8592+ выше, чем для EPYC 9654, приведенные в таблице 15. Однако максимальная приведенная AMD в [121] для 2P-сервера с EPYC 9654 производительность, 8856 GFLOPS, существенно больше, чем у Xeon SPR, и немножко больше, чем у Xeon 8592+. Аналогичные данные в [121] для EPYC 9684X и EPYC 9754 (они приведены в разделе 2.4.3) также больше, чем у этих процессоров Intel.

Различие связано в первую очередь с большим числом ядер в данных моделях ЕРУС, чем у Хеон SPR и Хеон EMR. Определенное отставание ЕРУС по сравнению с Хеон в количестве операций с плавающей запятой за такт у ядер ЕРУС, в отличие от умножения матриц, здесь отчасти нивелируется, поскольку в HPL на общее время расчета влияет не только умножение матриц.

В [312] для сервера с 56-ядерными Хеон 8480+ приведены полученные японской компанией HPC Systems данные о производительности в HPL в зависимости от размерности матрицы N . Соответствующие данные представлены в таблице 32.

Таблица 32. Производительность в HPL на сервере с Хеон 8480+

N	140000	180000	200000	220000
Производительность, GFLOPS	4414.2	4683.8	4764.9	4819.0

Эти результаты были получены с использованием классического компилятора Intel из oneAPI Base & HPC Toolkit 2022.2.0, а также соответствующей версии oneMKL.

Кроме того, имеются данные о производительности Хеон SPR в HPL на 4- и 8-процессорных серверах от Fujitsu [63, 306], которые представлены в таблице 33.

Таблица 33. Масштабирование производительности HPL с числом процессоров Хеон SPR

Модель	Число ядер	Частота	Производительность, GFLOPS			
			4 процессора		8 процессоров	
			HPL	Пиковая	HPL	Пиковая
Хеон 8490H	60	1.90 ГГц	14505	14505	25061	29184
Хеон 8468H	56	2.10 ГГц	12656	12902	23274	25805
Хеон 8460H	52	2.20 ГГц	11872	11264	21697	22528

Эти данные говорят о хорошей масштабируемости производительности HPL с числом процессоров в сервере и о ее близости к пиковой величине. Здесь надо отметить, что в тестах был включен турбо-режим, а пиковая производительность считается на базовых тактовых частотах.

Хотя традиционные 2P-серверы со старшими моделями Хеон SPR и Хеон EMR по производительности в HPL уступают серверам со старшими моделями ЕРУС 9004, 4- и 8-процессорные серверы с Хеон SPR их обгоняют, поскольку ЕРУС 9004 не поддерживают такие многопроцессорные конфигурации.

Тесты производительности HPCG. В отличие от рассмотренных выше данных о производительности в вычислительно-интенсивном HPL, HPCG с самого начала был ориентированным на суперкомпьютеры и связанным памятью тестом (см., например, [313]), и считался лучше соответствующим реальным приложениям. Устремления HPCG на эталонность реализовались в виде присутствия на сайте TOP500 отдельного списка суперкомпьютеров по производительности в HPCG, причем в последней доступной при написании обзора *ноябрьской версии 2024 года*³⁶ продолжает лидировать суперкомпьютер Fugaku с гомогенными узлами на базе ARM A64FX. Поскольку суперкомпьютеры без GPU не потеряли актуальность, рассмотрим производительность Xeon на тесте HPCG сразу за данными о производительности в HPL.

Данные о производительности HPCG (в GFLOPS) для разных серверов Dell PowerEdge с Xeon SPR (с 32-ядерными моделями Xeon 6430 и 8452Y и 56-ядерной моделью Xeon 8480+) представлены на рисунке 35.

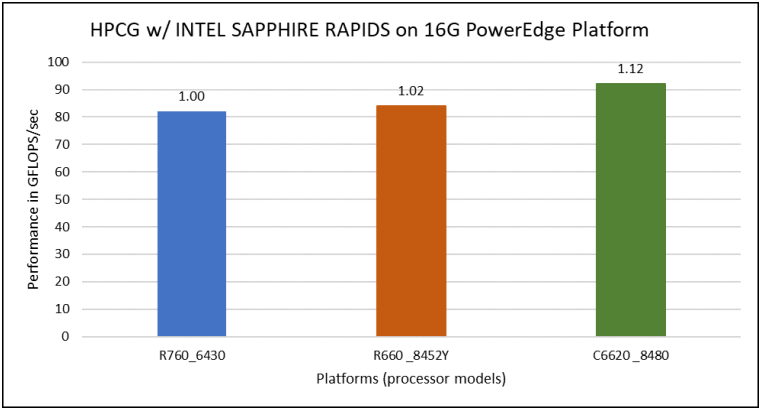


РИСУНОК 35. Производительность в HPCG в 2P-серверах с Xeon SPR (рисунок из [314])

Эти данные можно использовать с точки зрения относительной производительности разных моделей Xeon SPR, поскольку точный размер задачи для этого рисунка в [314] не приведен.

Однако имеются данные о производительности в HPCG для более широкого набора процессоров, включая Xeon EMR и EPYC 9004 [202, 289], в том числе проведенные в рамках PTS-теста HPCG 3.1 [202], которые приведены в таблице 34.

³⁶<https://top500.org/lists/hpcg/list/2024/11/>, accessed 7.05.2025.

ТАБЛИЦА 34. Производительность серверов с процессорами Xeon SPR, Xeon EMR и EPYC 9004 в тесте HPCG

Модель	Число ядер в процессоре	Производительность сервера, GFLOPS	
		1P-конфигурация	2P-конфигурация
Xeon 8592+	64	35.42	70.95
Xeon 8490H	60	31.24	60.42
Xeon 8380+		20.65	40.31
EPYC 9684X	96	23.78	44.11
EPYC 9654	96	32.13	43.97
EPYC 9684X	96		С детерминизмом Power: 73.26
EPYC 9654	96		С детерминизмом Power: 50.86

Примечание: время выполнения 60 сек., размерность подсетки 144.

Естественно, в том числе из-за более высокоскоростной памяти, Xeon SPR (модель 8490H) по данным этой таблицы сильно опережает Xeon ICL (модель 8380), а Xeon EMR (модель 8592+) быстрее Xeon SPR. При работе с параметрами BIOS в EPYC 9004 по умолчанию старшие модели Xeon SPR и Xeon EMR по производительности в HPCG существенно опередили EPYC 9004. При включении в BIOS для EPYC 9004 детерминизма Power, дающего достижение более высоких тактовых частот за счет повышения TDP (см. раздел 2.2 выше) производительность EPYC 9004 существенно возрастает. Однако и Xeon EMR, и Xeon SPR при этом по-прежнему существенно быстрее часто используемого в суперкомпьютерах процессора EPYC 9654, и лишь 2P-сервер с EPYC 9684X немного опередил 2P-сервер с Xeon 8592+.

Здесь встает вопрос уровня масштабирования производительности HPCG с числом ядер в многоядерных процессорах (для 96-ядерных EPYC 9004 в таблице 35 это более актуально, чем для Xeon) при использовании в [202] в качестве размерности локальной подсетки 144 для всех трех координат (образующаяся подсетка присваивается каждому MPI-процессу, см. [315]). В [314] для Xeon 8480+ была получена более высокая производительность, чем в [202] для Xeon 8592+, и там применялся размер подсетки не менее 192. По данным AMD [121] достигаемая производительность старших моделей EPYC 9004 в HPCG с размерностью подсетки 192 в пару раз выше, чем в этих PTS-тестах.

Параллельные тесты NAS (NPB). Графики зависимости производительности в этих тестах для 32-ядерных моделей Xeon SPR приведены выше на рисунках 15 и 16.

Здесь мы ограничимся анализом данных [202], где приведены данные о производительности и энергоэффективности в соответствующих PTS-тестах NPВ для разных поколений масштабируемых процессоров Хеон, в том числе Хеон ICL, Хеон SPR и Хеон EMR, а также ЕРУС 9004 Gеnoa и Bergamo.

В таблице 35 приведены данные о производительности 1Р- и 2Р-серверов с Хеон 8490Н, Хеон 8592+, а также ЕРУС 9654, ЕРУС 9684Х и ЕРУС 9554. В ней приведены данные только для ЕРУС Gеnoa, поскольку в НРС обычно используются именно они, а не Bergamo с менее вычислительно эффективными ядрами Zen 4с. Но 128-ядерные ЕРУС 9754 с Zen 4с по производительности в NPВ также, как и старшие модели Gеnoa, опережали Хеон SPR и Хеон EMR [202].

Таблица 35. Производительность сравниваемых поколений Хеон и ЕРУС в NPВ 3.4

Модель	Число процессоров и ядер	Производительность, МОР/s	
		ВТ.С	SP.C
Хеон 8490Н	1×60	180757	72703
	2×60	336632	152641
Хеон 8592+	1×64	236491	111687
	2×64	437264	242574
ЕРУС 9554	1× 64	233622	119472
	2×64	452577	242455
ЕРУС 9654	1×96	261865	125374
	2×95	509783	263543
		551536(*)	272752*
ЕРУС 9684Х	1×96	312136	208538
	2×96	625625	353106
		708203(*)	390558*

(*) помечены результаты ЕРУС, проведенные с детерминизмом Power (остальные – в режиме по умолчанию).

В таблице были отображены данные из [202], в которых не наблюдались грубые нарушения масштабирования производительности с числом ядер (этому может способствовать и связанность памятью тестов NPВ). Согласно данным [202], во всех тестах ЕРУС Gеnoa опережали по производительности Хеон SPR и Хеон EMR, как в 1Р- так и в 2Р-конфигурации, причем иногда это было и при одинаковом числе ядер в Хеон и ЕРУС.

Это имело место как в детерминизме по умолчанию, так и в Power-режиме, который давал обычно существенное увеличение производительности Gеnoa. По производительности на Вт эти модели Хеон SPR и Хеон EMR также отставали от ЕРУС 9004 [202].

Имеется³⁷ более широкий набор данных о производительности разных моделей процессоров в PTS-тестах NPВ. Некоторые данные для теста NAS FT.C (с трехмерным БПФ) приведены выше в таблице 17.

В этом тесте процессоры Xeon SPR и Xeon Max отстают в производительности от старших моделей EPYC 9004 (это имеет место и для Xeon EMR), а иногда и от EPYC Milan. Но в PTS-тестах NPВ также нужно обращать внимание на соответствие используемых классов (размерностей задач) масштабированию производительности с числом ядер. В тесте LU.C, где отсутствие масштабирования производительности с ростом числа ядер внешне не проявлялось, 1P- и 2P-серверы с EPYC 9684X, EPYC 9654 и EPYC 9554 были быстрее аналогичных серверов с Xeon SPR и Xeon EMR, а 1P- и 2P-серверы с 32-ядерными EPYC 9374F опережали по производительности серверы с 60-ядерными EPYC 8490H (см. также обсуждение производительности EPYC 9004 в PTS-тестах NPВ в разделе 2.4.5 выше).

Тесты производительности Graph500. Рассматривавшиеся немного выше тесты были ориентированы в первую очередь на задачи НРС, и актуальны в том числе и для суперкомпьютеров. Среди потенциально интересных и для современных суперкомпьютеров тестов можно отметить анализ производительности для интенсивной обработки данных, который проводится в тесте Graph500 для задачи работы с графами. Соответствующие данные для PTS-тестов Graph500 3.0 на 1P- и 2P-серверах с Xeon 8592+, Xeon 8490H и Xeon ICL 8380 представлены в [202]. Там видно, что Xeon SPR по производительности существенно опережает Xeon ICL, а Xeon EMR – соответственно опережает Xeon SPR. Но все процессоры Xeon при этом существенно отстают по производительности от старших моделей EPYC 9004.

Тесты производительности для облачных технологий. Разные тесты производительности, условно интегрированные в этом обзоре в группу актуальных для облачных технологий (как это было сделано ранее и при рассмотрении производительности EPYC 9004), естественно включают и онлайн аналитическую обработку (OLAP). Особенности для OLAP использующих чиплеты современных многоядерных процессоров (в первую очередь NUMA) рассмотрены в [316]. Там получены, в частности, данные о производительности TPC-H для 2P-сервера с 56-ядерными Xeon 8480+, а также 2P-сервера с 64-ядерными EPYC Milan 7713 и однопроцессорного сервера с 64-ядерным ARM-процессором AWS Graviton 3.

³⁷<https://openbenchmarking.org/test/pts/npb>, accessed 12.03.2025.

Данные об ускорении в TPC-H, полученном на 2P-сервере с 64-ядерными Xeon 8592+ по сравнению с аналогичным сервером с 56-ядерными Xeon 8480+, представлены в [305]. Для теста OLTP-2, являющегося разработанным Fujitsu определенным аналогом стандарта TPC-E, в [303] приведены оценки результатов для серверов этой фирмы с разными моделями Xeon SPR (от 8- до 32-ядерных) и Xeon EMR (от 8- до 24-ядерных).

Другими актуальными тестами, отнесенными здесь к данной группе, являются стандартные тесты SAP³⁸. В [63] были получены данные о производительности на 8-процессорном сервере Fujitsu с 60-ядерными Xeon 8490H для всех трех фаз теста SAP Business Warehouse (SAP BW) для базы данных SAP HANA. Для 2P-сервера Fujitsu с Xeon 8490H в [166] были получены данные о производительности в двухуровневом стандартном тесте SAP SD, и достигнуто ускорение по сравнению с 2P-сервером с 40-ядерными Xeon ICL 8380 в 1.6 раза (что близко к отношению числа ядер в этих серверах). В [305] приведены данные о производительности в SAP BW для HANA, полученные на 2P-сервере с 64-ядерными Xeon 8592+.

Тесты работы с базами данных также могут быть актуальны для облачной технологии. Здесь мы укажем на данные PTS-тестов PostgreSQL в [202] о производительности с Xeon 8592+ по сравнению с 56-ядерными Xeon 8490P+ и старшими моделями EPYC 9004. В этих тестах 2P-серверы с указанными процессорами дают число транзакций/с меньше, чем 1P-конфигурации. Что касается 1P-серверов, то по отношению к серверу с Xeon 8490H процессор Xeon 8592+ дает ускорение на 6.6%, а более быстрый 96-ядерный EPYC 9654 – на 10.8%.

Производительность задач механики сплошных сред. Относительная производительность 40-ядерного Xeon ICL 8380 и 56-ядерного Xeon SPR 8480+ в тестах программных CFD-средств OpenFOAM, CFD-приложений ANSYS Fluent, LS_DYNA и Mechanical, а также приложения прогноза погоды WRF представлена выше на рисунке 32, и для Xeon SPR показывает рост примерно в полтора раза, как возросло и число ядер.

Поскольку часто производительность CFD-приложений лимитируется умножением разреженной матрицы на вектор, в [317] на 2P-сервере с 56-ядерными Xeon 8480+ для задач CFD исследованы возможности преобразования таких умножений (SpMV) в произведения разреженных матриц (SpMM) для достижения более высокой производительности.

³⁸<https://www.sap.com/dmc/exp/2018-benchmark-directory/#/q2c>, accessed 16.03.2025.

PTS-тест производительности LULESH (мини-приложения для решения задачи взрыва Седова), как отмечено выше в разделе 2.4.7, плохо масштабируется с числом ядер ЕРУС 9004 (при переходе от модели с меньшим числом ядер к более старшей модели с большим числом ядер, например, 2Р-сервер с 64-ядерным ЕРУС 9554 работал быстрее, чем с 96-ядерным ЕРУС 9654 [202]). В этом тесте лучшую производительность показал 2Р-сервер с 64-ядерными Хеон 8592+, который в 1.55 раза опередил 2Р-сервер с ЕРУС 9654, и в 1.61 раза – с 60-ядерным Хеон 8490Н. И по производительности на Вт серверы с Хеон 8592+ опередили серверы со старшими моделями ЕРУС 9004 [202].

В PTS-тесте OpenFOAM 10 drivaeFastback с маленьким размером сетки [318] 2Р-сервер с Хеон 8592+ по производительности опередил все серверы с ЕРУС 9004, кроме 2Р-сервера с ЕРУС 9684Х, отстав от последнего всего на 4%. Но при среднем размере сетки более часто применяемый ЕРУС 9654 также опередил Хеон 8592+, на 10%. В таблице 36 представлены данные [318] о времени соответствующих расчетов для среднего размера сетки.

ТАБЛИЦА 36. Время расчета на 1Р- и 2Р-серверах с разными моделями процессоров в PTS-тесте OpenFOAM drivaeFastback со средним размером сетки

Модель	Число ядер	В конфигурации 1Р	В конфигурации 2Р
Хеон 8592+	64	302.1	137.0
Хеон 8490Н	60	420.6	196.5
Хеон Max 9480	56	410.3	186.3
ЕРУС 9654	96	325.4	124.3
ЕРУС 9684Х	96	178.2	93.6

Процессор Хеон 8592+ существенно превосходит здесь по производительности Хеон 8490Н, что во многом связано, вероятно, с более быстрой используемой памятью. Производительность возрастает также за счет применения НВМ-памяти (в Хеон Max 9480) или за счет применения 3D V-cache (в ЕРУС 9684Х), но 96-ядерные модели ЕРУС 9004 опережают Хеон безотносительно к наличию таких усовершенствований в иерархии памяти. Данные таблицы демонстрируют ожидаемое хорошее масштабирование производительности при переходе от 1Р- к 2Р-конфигурации.

В отчете [319] для PTS-теста мотоцикла в OpenFOAM был продемонстрирован эффект применения режима OPM в BIOS для Хеон 8592+. Время расчета в этом режиме было примерно на 1 секунду больше, но потребление мощности Хеон в среднем для 2Р-конфигурации было почти

на 80 Вт ниже, а пиковое потребление мощности – на 117 Вт ниже. Для более вычислительно сложной модели *drivaerFastback* производительность в режиме OPM была сопоставима с исходной, но с OPM среднее потребление мощности 2P было на 33 Вт ниже, а пиковое потребление мощности – на 37 Вт меньше. Но оба этих теста проводились с маленьким размером сетки.

В PTS-тесте WRF 4.2.2 с «*conus 2.5km*» в качестве исходных данных в [318] 2P-сервер с Xeon 8592+ также, как с рассмотренным выше тестом OpenFOAM *drivaerFastback* с маленьким размером сетки опередил по производительности 2P-серверы с Xeon 8490H (на 19%) и с EPYC 9654 (на 24%), то есть последний отстал и от 2P-сервера с Xeon 8490H. Но лидером по производительности здесь был 2P-сервер с EPYC 9684X, обогнавший сервер с Xeon 8592+ на 26%. Кроме того, 1P-серверы с EPYC 9684X и EPYC 9654 были быстрее 1P-сервера с Xeon 8592+ (хотя EPYC 9654 – только на 6%). EPYC 9654 опередил при этом Xeon 8490H на 18%.

В [289] в аналогичном тесте WRF с «*conus 2.5km*» (там имеются также данные для 2P-сервера с 56-ядерными Xeon 8480+) 2P-сервер с Xeon 8592+ опередил 2P-сервер с EPYC 9654, но отстал по производительности от 2P-сервера с имеющим столько же ядер (64) EPYC 9554. Все эти тесты требуют прояснения ситуации в первую очередь с рассмотрением зависимости производительности от числа задействуемых в расчете ядер.

На основании представленных выше данных PTS-тестов LULESH, OpenFOAM и WRF видно существенное увеличение производительности Xeon 8592+ по сравнению с Xeon 8490H. Можно сказать о конкурентоспособности по производительности Xeon 8592+ и старших моделей EPYC 9004. Xeon 8592+ иногда опережал по производительности EPYC 9654, но это относилось к задачам скорее небольших размерностей. Имеющиеся данные важно уточнять с точки зрения определения зависимости производительности от числа задействуемых в серверах ядер.

Масштабирование производительности OpenFOAM и WRF от числа содержащих Xeon 8480+ узлов кластера с Infiniband NDR 200 рассмотрено в [320].

Производительность в задачах вычислительной химии. Далее мы рассмотрим информацию о производительности Xeon SPR и Xeon EMR в задачах молекулярной динамики, квантовой химии, а также условно отнесенного здесь к вычислительной химии мини-приложения *miniBUDE* для молекулярного докинга. Наибольшее количество таких данных традиционно относится к молекулярной динамике, в том числе из-за часто высоких показателей масштабирования производительности с ростом числа используемых ядер.

Для приложения молекулярной динамики GROMACS, которое часто считают наиболее хорошо распараллеленным, данные о производительности в PTS-тесте GROMACS 2023 для 1P- и 2P-конфигураций серверов с 64-ядерными Xeon 8592+, 60-ядерными Xeon 8490H и 40-ядерными Xeon 8380+ получены в [202] для исходных данных water_GMX50_bare (расчет комплексов из большого числа молекул воды) с применением MPI-распараллеливания. Соответствующая производительность (временной интервал движения в нс, рассчитанный за день) представлена в таблице 37, где она сопоставлена и со старшими моделями EPYC 9004.

Таблица 37. Сопоставление производительности GROMACS (в нс/день) в серверах с Xeon SPR, Xeon EMR с серверами на других процессорах

Модель	Число ядер	В конфигурации 1P	В конфигурации 2P
Xeon 8592+	64	10.5	18.3
Xeon 8490H	60	8.6	15.2
Xeon 8380	40	4.8	9.0
EPYC 9654X	96	11.5	18.8
EPYC 9654	96	11.4	19.0
EPYC 9554	64	9.7	16.9

Данные этой таблицы говорят о высоком росте производительности при переходе от старших моделей Xeon ICL к старшим моделям Xeon SPR, а затем к Xeon EMR. При переходе к Xeon SPR достигнутый рост производительности превысил увеличение числа ядер. Аналогичное имеет место при переходе от Xeon SPR к Xeon EMR.

Как для представленных в таблице моделей Xeon, так и для моделей EPYC 9004 имеет место хорошее масштабирование производительности при переходе от 1P- к 2P-конфигурации серверов. Серверы со старшими моделями EPYC 9004 опередили по производительности серверы со старшими моделями Xeon благодаря большему числу ядер. Производительность в этом тесте возростала и при дальнейшем росте числа ядер в модели. Еще более высокая, чем представленная в таблице производительность, была получена в [202] на сервере со 128-ядерными EPYC 9754. Кроме того, производительность серверов с EPYC 9004 еще несколько повышается при включении детерминизма Power.

При сопоставлении серверов с одинаковым числом ядер с 64-ядерными процессорами Xeon 8592+ и с EPYC 9554 производительность Xeon в этом тесте процентов на десять выше. Однако данных для расчета с EPYC 9554 с детерминизмом Power в [202] не представлено.

По данным [202], с точки зрения энергоэффективности процессоры Xeon уступали старшим моделям EPYC 9004.

Другие данные о производительности для серверов с Xeon 8592+ и Xeon 8490H, представленные в таблице 37, были получены в [318] для PTS-теста GROMACS 2024 (с GROMACS 1.9) для тех же исходных данных с тем же распараллеливанием MPI, и также сопоставлены с EPYC 9004. Эти результаты близки к приведенным в таблице 37, и здесь не рассматриваются.

Имеется³⁹ более широкий охват данных о производительности в этих же вариантах PTS-тестов GROMACS для разных процессоров Xeon, так и вообще для других процессоров. Эти данные показывают, что 1P-серверы с Xeon 8592+ и Xeon 8490H опережают по производительности 1P-серверы с современными процессорами ARM – со 192-ядерным AmpereOne и с 96-ядерным Neoverse-V2 (вероятно, это AWS Graviton 4).

Что касается данных о производительности Xeon SPR и Xeon EMR в другом широко распространенном приложении молекулярной динамики, NAMD, то производительность 2P-сервера с Xeon 8490H в тесте гомодимера протеинов Her1-Her1, содержащего 456 тысяч атомов, представлена в [321].

По данным AMD [195], 2P-серверы со 128-ядерными процессорами Bergamo (EPYC 9754) сильно опережали по производительности 2P-серверы с 56-ядерными Xeon 8480+ в нескольких тестах с разными исходными данными, что может быть естественно при хорошей масштабируемости с числом ядер. Про существенно более высокую производительность NAMD в 2P-сервере с EPYC 9654 по сравнению с сервером на Xeon 8480+ AMD сообщила в [196] без указания на конкретные исходные данные теста. Данные о производительности серверов с некоторыми моделями Xeon SPR в PTS-тестах NAMD имеются⁴⁰.

Имеются⁴¹ данные о производительности Xeon SPR и Xeon EMR в PTS-тестах LAMMPS версии 1.4, другого известного приложения молекулярной динамики, с расчетами белка родопсин и молекулярной системы из 20 тысяч атомов. Хотя согласно этим результатам Xeon EMR и Xeon SPR отставали по производительности от старших моделей EPYC 9004, это требует дополнительного более тонкого анализа достигаемой производительности, в том числе с исследованием зависимости от числа используемых в расчетах ядер.

³⁹<https://openbenchmarking.org/test/pts/gromacs>, accessed 23.03.2025.

⁴⁰<https://openbenchmarking.org/test/pts/namd>, accessed 24.03.2025.

⁴¹<https://openbenchmarking.org/test/pts/lammps>, accessed 24.03.2025.

Для PTS-теста NWChem 7.0.2, относящегося к характеризующемуся высокоразвитыми средствами распараллеливания квантовохимическому программному комплексу NWChem, в [202] получены данные о производительности 1P- и 2P- серверов с Xeon EMR и Xeon SPR, в том числе с Xeon 8592+ и Xeon 8490H. Эти данные относятся к DFT-расчету молекулы C240, который обсуждался выше в разделе 2.4.8 с точки зрения производительности EPYC 9004. Серверы с Xeon 8592+ здесь опережают по производительности серверы с Xeon 8490H примерно на десять процентов. Серверы с EPYC 9654 здесь также существенно опередили по производительности системы с Xeon 8592+. Но как было указано в разделе 2.4.8, этот тест с рассматриваемыми в обзоре процессорами отличается плохой масштабируемостью с числом задействованных в тесте ядер, и, в частности, при переходе от 1P- к 2P-конфигурациям. Здесь, например, 1P-сервер с 64-ядерным EPYC 9554 показал более высокую производительность, чем системы с 96-ядерным EPYC 9654.

Доступен⁴² более широкий набор данных о производительности разных процессоров в этом тесте. По этим данным, 1P-сервер с 72-ядерным ARMv8 Neoverse-V2 (вероятно, Nvidia Grace) потребовал меньше времени расчета в этом тесте, чем 64-ядерный EPYC 9554.

Другим квантовохимическим приложением, для которого имеются данные о производительности с 56-ядерным Xeon 8480+, является CP2K. В [320] для 16-узлового кластера с Infiniband NDR 200 продемонстрирована хорошая масштабируемость производительности CP2K в методах DFT и RI-MP2. Для приложения Quantum ESPRESSO в [195] AMD сообщила, что 2P-сервер с Xeon 8480+ отставал по производительности от 2P-сервера со 128-ядерными EPYC 9754 примерно в 1.4 раза. Строго говоря, этот расчет относится к квантовой молекулярной динамике методом Кар-Парринелло, но время вычисления здесь лимитируется расчетом сил квантовохимическим методом DFT.

В тестах производительности современных вычислительных систем часто используется мини-приложение молекулярного докинга, miniBUDE. В PTS-тесте miniBUDE с OpenMP-распараллеливанием данные о производительности получены в [202], в частности, для 1P- и 2P-систем с Xeon 8592+ и Xeon 8490H. Производительность этого теста хорошо масштабируется при переходе на более старшие модели с большим числом ядер и от 1P- к 2P-конфигурации. Далее указываемая производительность

⁴²<https://openbenchmarking.org/test/pts/nwchem>, accessed 13.12.2024.

относится к 2Р-серверам. 64-ядерный Хеон 8592+ оказался быстрее, чем 60-ядерный Хеон 8490Н в 1.38 раза, что гораздо больше, чем увеличение числа ядер. Однако Хеон 8592+ отстал по производительности от ЕРУС 9654 с детерминизмом Power в 1.88 раза, в то время как число ядер у Хеон в полтора раза меньше, чем у ЕРУС 9654.

По энергоэффективности в тесте miniBUDE вычислительные системы с ЕРУС 9004 в [202] также сильно опередили серверы с Хеон EMR и Хеон SPR.

Далее будет рассматриваться производительность Хеон SPR и Хеон EMR в задачах ИИ. Поэтому представляется разумным дать здесь небольшое заключение по данным о производительности в широко используемых тестах, включая тесты приложений. Можно сказать, что Хеон EMR (большее число данных относилось к Хеон 8592+) существенно опережает по производительности старшие модели Хеон SPR и имеет также стоимостные преимущества.

При сопоставлении производительности Хеон EMR и ЕРУС 9004 нужно, конечно, ориентироваться на конкретную область применения. Но в целом очень грубо можно сказать, что по производительности (в первую очередь в НРС-области) старшие модели Хеон EMR и соответственно Хеон SPR обычно отстают от имеющих большее число ядер старших моделей ЕРУС 9004. При сопоставлении серверов с близким или одинаковым числом ядер Хеон EMR нередко достигали более высокой производительности, но при этом отставали от ЕРУС 9004 с точки зрения энергоэффективности и стоимости.

4.2. Производительность Хеон SPR и Хеон EMR в задачах ИИ

Данные о производительности для задач ИИ вычислительных систем (от серверов до небольшого кластера) на базе Хеон SPR в сопоставлении с аналогичными результатами для 3-го поколения масштабируемых процессоров Хеон и для процессоров Zen 3 представлены Intel в [322].

Информация об ускорении Хеон SPR за счет применения в рабочих нагрузках ИИ возможностей AMX имеется в [118]. В предыдущем разделе приведены данные о производительности Хеон SPR в актуальных для ИИ операциях GEMM в формате BF16, поддерживаемом AMX. В конце этого раздела производительность GEMM также проиллюстрирована для форматов FP32 и BF16 в сопоставлении с процессорами ARM.

Среди публикаций, нацеленных на повышение производительности в ИИ с использованием АМХ, укажем работы [310, 323–326]. Понятно, что достигаемая величина ускорения бывает разная. Например, в [325] доработки в программном обеспечении с использованием АМХ давали ускорение до 1.5 раз. В [326] с применением для больших языковых моделей генерации с расширенным поиском (Retrieval-Augmented Generation) с использованием точного поиска ближайших соседей, которое является связанным памятью, ускорение за счет АМХ составляло от 2 до 10%. С использованием GPU Nvidia H100 ускорение было от пяти (с одним H100) до сорока раз (с 8 H100), хотя в [326] отмечена высокая стоимость аппаратных средств с H100 (для варианта с емкостью памяти в 512 ГБ потребовалось 8 GPU). Но преимущества Xeon SPR благодаря использованию АМХ очевидны, а Xeon EMR дает дальнейшее существенное улучшение.

Intel полагает, что задачи вывода моделей ИИ будут использоваться небольшими компаниями для легких моделей ИИ (а не для массивных моделей более чем с триллионом параметров), для которых может быть достаточно всего нескольких ядер современных процессоров Xeon [327]. Этому отвечает и разработка Intel программных средств OpenVINO [328], ориентированных на высокую производительность в первую очередь вывода.

Другой иллюстрацией того, где для ИИ возможно эффективно применять серверы с Xeon без GPU, могут быть ориентированные на задачи ИИ тесты MLPerf-Inference [215] (имеются в виду некоторые современные результаты этих тестов). Эти тесты стали стандартом и очень активно используются в научных исследованиях последних лет в области ИИ. Соответствующие результаты представлены в [329].

В серверных сценариях этих тестов (для онлайн-приложений со случайным поступлением запросов, где при создании вывода учитывается общая целевая величина задержки [329]), имеются представленные Intel результаты, где 2Р-сервер с 64-ядерными Xeon 8592+ без GPU опережал результаты с современными GPU Nvidia. Так, в тесте модели рекомендаций dlrm-v2-99.9 (последнее число – уровень точности в процентах) сервер Intel дал 949.2 запроса/сек, а данные Nvidia с GPU H200-SXM-141GB-CTS указывали 155.0 запросов/с. Число запросов/сек здесь указывает число обработанных при соблюдении требования к границе задержки запросов.

В тесте большой языковой модели (gpt-j-99.9 в серверном сценарии) с Xeon 8592+ Intel был получен наивысший на 14.01.2025 результат,

949.20 токена/с, а в одном из результатов от Supermicro с 8 GPU Nvidia H100-SXM-80GB – 900.0 токенов/с. В конце лета 2024 года Nvidia объявила о получении кардинально более высоких показателей для таких тестов вывода моделей ИИ [330], но соответствующие результаты на сайте тестов MLPerf на момент написания обзора пока не были представлены.

Пропускная способность является метрикой для автономных сценариев в тестах MLPerf-Inference [215] (для приложений пакетной обработки, где все данные доступны немедленно, а задержка не ограничена). Данные о производительности серверов с Xeon 8592+ для автономных и серверных сценариев Llama-2b-99 и Llama-2b-99.9 на условиях тестов MLPerf-inference имеются в [329]. Там, например, в наборе тестов версии 4.1 есть полученный Intel для серверного варианта Llama-2b-99 на сервере с Xeon 8592+ результат, который на 8% выше полученного Dell показателя для сервера с 8 GPU AMD MI300X (данные на 14.01.2025).

Данные Dell о производительности ее серверов с Xeon EMR в MLPerf-Inference 4.0 имеются в [331], а с Xeon SPR в больших языковых моделях с применением форматов FP32, FP16 и BF16 – в [332].

Ясно, что для приведенных выше задач вывода процессоры Xeon EMR являются актуальными. Другой иллюстрацией этого можно считать и работу [333], в которой предложен усовершенствованный подход к ускорению вывода больших языковых моделей с применением распараллеливания, в результате чего при приемлемых величинах достигнутой пропускной способности и задержки с применением Xeon EMR 6538N энергопотребление было снижено на 49% по сравнению с применением сервера с GPU Nvidia A100.

Хотя выше приведены отдельные примеры задач ИИ, где показаны успехи производительности Xeon по сравнению с системами с GPU, это, конечно, всего лишь иллюстрация того, что такие задачи бывают. Безусловно, на огромном количестве других тестов для ИИ, обычно требующих больше вычислительных ресурсов, процессоры x86, в том числе и Xeon, сильно отстают по производительности от современных GPU.

После того, как AMD предоставила на выставке Computex 2024 видео с указанием опережения по пропускной способности вывода большой языковой модели новейшими 128-ядерными процессорами Turin (архитектуры Zen 5, см. раздел 7 далее) 64-ядерных процессоров Xeon 8592+ без указания использовавшегося программного стека и соглашений об уровне обслуживания (SLA), Intel продемонстрировала противоположные

результаты [334]. Обе информации появились еще до начала поставок AMD этих процессоров Zen 5 Turin. В 2P-сервере с Xeon 8592+ при использовании Llama2-7B с форматом INT4, SLA 50 мс при процентиле P99 (т.е. когда только 1% запросов обрабатываются за время больше задержки) с применением расширения Intel PyTorch (IPEX) с открытым исходным кодом Intel была получена пропускная способность 686 токенов/с против 671 для 2P-сервера со 128-ядерными процессорами Turin.

Intel показала в [334] также гораздо более высокую пропускную способность вывода с форматом INT8 для нескольких моделей глубокого обучения в 2P-серверах с Xeon 8592+ и с Xeon 8480+ по сравнению с 2P-серверами с содержащими больше процессорных ядер EPYC 9654 и 9754.

В [335] получены интересные данные об уменьшении (с ростом числа используемых ядер) времени вывода для моделей ResNet-50, Yolo [336] и средств OpenVINO при использовании IPEX на 2P-сервере с 56-ядерными Xeon 8480+ (см. рисунок 36).

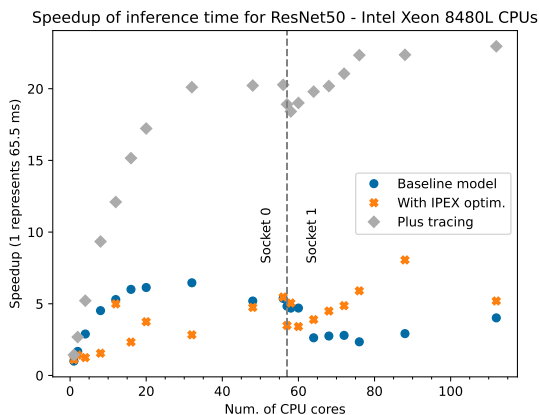


Рисунок 36. Время вывода для модели ResNet-50. Синим цветом приведены базовые показатели, желтым – полученные при использовании IPEX (рисунок из [335])

В таблице 38 приведены данные PTS-тестов для серверов при использовании ориентированных на повышение производительности вывода программных средств Intel OpenVINO.

Здесь не приведены результаты тестов задержек, поскольку они часто демонстрируют более высокие результаты вообще на более простых (не на серверных) процессорах x86. Автор не располагает данными о применении AMX на процессорах Xeon в этих тестах.

Таблица 38. Производительность (результатов/с) в PTS-тестах вывода OpenVINO 2024.0

	N	Тест 1	Тест 2	Тест 3	Тест 4	Тест 5	Тест 6
Xeon 8592+	2P	5338		1130	546	32006	
	1P	2808	2597	592	284	16716	406
Xeon 8490H	2P	4093	4396	796	425	28502	653
	1P	1902	1541	477	168	8944	299
Xeon Max 9480	2P	2940	3567	812	380		535
	1P	1804	1541	476	218		301
EPYC 9684X	2P	8279	5196	1112	206	10610	1107
	1P	4139	2553	583	99	4972	475
EPYC 9654	2P	7812	5032	1015	197	10237	767
	1P	3185	2609	546	96	5007	352
EPYC 9754	2P	6474	5824	1146	241	12294	759
	1P		2504	621	122		277

Данные из [https://openbenchmarking.org/test/pts/openvino 17.01.2025].
Приведены средние значения разных выполнений тестов.
Жирным цветом обозначены максимальные для приведенных процессоров показатели.
N – число процессоров в сервере.
Тест 1 – обнаружение транспортных средств. Формат: FP16
Тест 2 – распознавание рукописного английского текста. Формат: FP16
Тест 3 – перевод с английского на немецкий. Формат: FP16
Тест 4 – распознавание лиц. Формат: FP16-INT8
Тест 5 – обнаружение пористости сварного шва. Формат: FP16
Тест 6 – обнаружение человека. Формат: FP16

Хотя в некоторых таких тестах старшие модели Xeon EMR и Xeon SPR опережали EPYC 9004, последние чаще оказывались впереди (см. также таблицу 22). Другие данные с PTS-тестом OpenVINO 2023.2.dev для таких моделей Xeon приведены в [202]. Там тоже в одних случаях быстрее были серверы с Xeon 8592+, в других – со старшими моделями EPYC 9004.

Следует также отметить, что нужно достаточно аккуратно оценивать смысл появляющихся многочисленных данных о производительности x86 в самых разных тестах для вывода моделей ИИ. В качестве примера укажем на данные производительности вывода (кадров в секунду) при использовании обычных для фреймворка TensorFlow тестов (для старших моделей рассматриваемых в обзоре процессоров)⁴³.

⁴³https://openbenchmarking.org/test/pts/tensorflow, accessed 4.12.2024.

Аналогичные данные о производительности имеются, например, в [200] и [289]. Для таких тестов с использованием модели ResNet-50 при работе с размерами пакетов (BS) 64 и 256 (там есть также данные для Xeon 6 и EPYC Zen 5) возникают ситуации, когда при переходе от более младшей модели процессора с меньшим числом ядер к более старшей модели с большим числом ядер, при переходе от 1P- к 2P-конфигурации сервера производительность падает или плохо масштабируется.

В [200] приведены данные таких тестов при BS=512, но и в аналогичных данных⁴⁴ имеются, может более слабые, эффекты плохой масштабируемости с числом ядер. Грубо говоря, в таких тестах более высокую производительность можно достигать в серверах с более дешевыми и менее производительными процессорами с меньшим числом ядер.

Сопоставление производительности таких процессоров в этих тестах носит весьма ограниченный смысл. Сравнение рассматриваемых процессоров величинами задержки в таких тестах менее интересно. Ясно, что в таких тестах следовало бы проводить исследование зависимости производительности от числа используемых ядер.

Большое количество результатов тестов производительности и энергоэффективности 2P-сервера с Xeon 8592+ для выводов и обучения, с применением самых разных моделей ИИ, разных используемых фреймворков и форматов чисел, для разных размеров пакетов представлено Intel в [337], а для 2P-сервера с 56-ядерными Xeon 8480+ – в [338]. Для обучения там использовался один процессор.

Там же можно найти также аналогичные данные для 32-ядерных Xeon SPR 6448Y, и для масштабируемых процессоров Xeon третьего поколения, а также для Intel GPU Flex Series 140 и 170. Эти данные позволяют получить, в частности, оценки прогресса в производительности для задач ИИ при переходе на более новые поколения масштабируемых процессоров Xeon.

Такие данные об ускорении производительности в 2P-сервере с Xeon 8592+ по сравнению с Xeon 8480+ фирма Intel представила для задач вывода и обучения при применении фреймворка TensorFlow для разных моделей ИИ с форматами BF16 и INT8 и с разными BS [339]. BS=1 на рисунке 37 для вывода отвечает использованию реального времени, а BS=x означает применение оптимального по производительности размера пакета. Ускорение вывода при работе с Xeon 8592+ по сравнению с Xeon 8480+ составляет от 23 до 39%.

⁴⁴<https://openbenchmarking.org/test/pts/tensorflow>, accessed 4.12.2024.

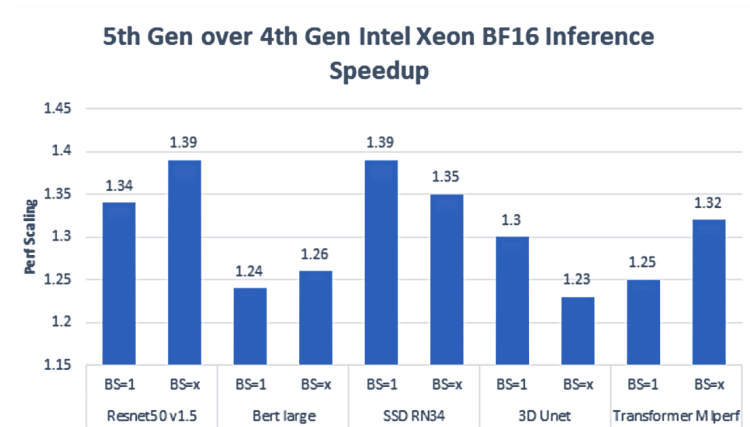


Рисунок 37. Ускорение на Xeon 8592+ по сравнению с Xeon 8480+ в выводе моделей ИИ (рисунок из [339])

На рисунке 38 показано улучшение производительности с Xeon 8592+ относительно Xeon 8480+ для случая обучения моделей со смешанной точностью BF16/FP32. Видно, что ускорение при этом составляет от 6 до 26%.

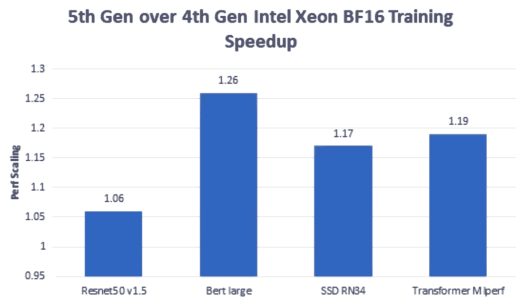


Рисунок 38. Ускорение Xeon 8592+ по сравнению с Xeon 8480+ для обучения ИИ (рисунок из [339])

Выше уже приводился пример эффективности Xeon EMR для ИИ с точки зрения энергопотребления. В [340] для 2Р-сервера с 64-ядерными Xeon 8592+ проведено исследование энергоэффективности при использовании разных моделей ИИ, в том числе больших языковых моделей, модели распознавания изображений ResNet-50 и модели обработки естественного языка Bert-Large.

Для этого применялись возможности усовершенствованной в Xeon EMR функции оптимизированного режима питания OPM, в которой используются тонкие инструменты, в том числе изменение частоты внутреннего межсоединения. За счет работы OPM было достигнуто увеличение энергоэффективности до 25%, но улучшение возможно только в случае низкой нагрузки на процессор (не более 50%).

В заключение рассмотрения производительности Xeon SPR и Xeon EMR в задачах ИИ укажем данные из работы [311], которая исходно ориентирована на создание общих для задач HPC и ИИ переносимых программных ядер для разных аппаратных платформ с использованием примитивов тензорной обработки (Tensor Processing Primitives, TPP). В ней представлены, в частности, данные о производительности 2P-серверов с 56-ядерными Xeon 8480+ и 64-ядерными ARM AWS Graviton 3 (с ядрами Neoverse V1) для задач умножения матриц, интересных в первую очередь для глубокого обучения (GEMM в форматах BF16 и FP32).

Соответствующие данные представлены на рисунке 39; они для разных программных вариантов GEMM (PARLOOPER относится к реализации в [311]) демонстрируют, в частности, большое преимущество в производительности процессоров Xeon SPR над ARM при сопоставимом числе ядер.

Процессоры Xeon SPR и особенно Xeon EMR, безусловно, представляют интерес для применения их возможностей для ИИ. Они имеют определенные преимущества по производительности по сравнению с EPYC 9004 благодаря аппаратным особенностям (в первую очередь из-за поддержки AMX) и эффективным средствам программного обеспечения от Intel для задач ИИ (целый ряд их уже упоминался ранее).

Можно найти много данных, демонстрирующих преимущество производительности для задач ИИ серверов с Xeon 8490H или с Xeon 8592+ над серверами со старшими моделями EPYC 9004, например, в PTS-тесте с OneDNN 3.4 с конфигурацией `Harness: Deconvolution Batch shapes_3d`⁴⁵, с OneDNN 3.3 в [202]. В данных таких тестов OneDNN также надо контролировать выбранные конфигурации, поскольку они могут давать неподходящее для таких процессоров масштабирование с числом ядер.

⁴⁵<https://openbenchmarking.org/test/pts/onednn>, accessed 6.02.2025.

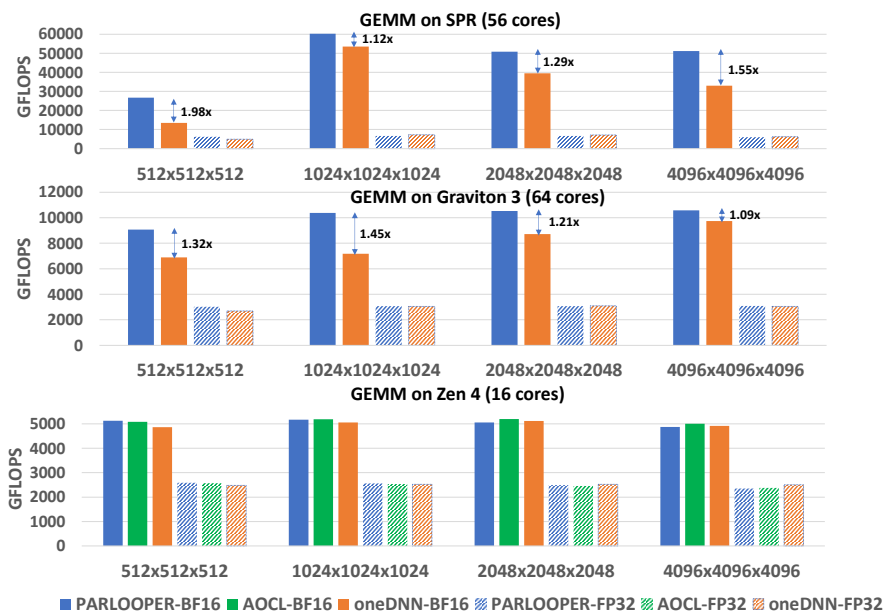


Рисунок 39. Производительность разных реализаций GEMM (рисунок из [311]); данные «GEMM on Zen 4» не относятся к рассматриваемым здесь серверным процессорам

Здесь и ранее приводились и примеры, когда старшие модели ЕРУС 9004 в задачах ИИ опережали по производительности соответствующие модели Хеон SPR или EMR. Можно указать также на данные AMD [341] о более высокой производительности 2Р-сервера с ЕРУС 9654 по сравнению с сервером с Хеон EMR 8592+ при использовании средств XGBoost (eXtreme Gradient Boosting) – масштабируемого высокопроизводительного метода для машинного обучения при его применении с наборами данных по прогнозированию задержки аварийсов или по обнаружению бозонов Хиггса.

Однако во многих этих результатах не имеется данных о применении при этом оптимизированных именно для новых процессоров Хеон программных средств Intel. В любом случае ясно, что для задач ИИ конкурентоспособность Хеон SPR и особенно Хеон EMR по сравнению с ЕРУС 9004 больше, чем в других широко используемых областях применения (которые обсуждались выше в разделе 4.1).

4.3. Сопоставление отдельных видов производительности Xeon SPR

В этом разделе приведены сравнительные данные о производительности Xeon SPR и EYUC 9004 на моделях среднего класса, а также о сравнении производительности Xeon SPR и GPGPU.

Производительность моделей условного среднего класса Xeon SPR и EYUC 9004. В HPC-центре университета Юта были проведены расчеты в разных тестах на серверах с разными моделями EYUC 9004 и Xeon SPR [100], и показано, что среди моделей среднего класса производительность Xeon SPR (32-ядерный Xeon 6430) обычно несколько уступает аналогичному EYUC 9004 (32-ядерному EYUC 9334), но имеет при этом заметно более низкую цену. Кроме сопоставления серверов со средними моделями, проведены тесты производительности и вариантов с 1P-конфигурациями с применением старших моделей EYUC 9004, в том числе с тем же числом (64) ядер, что в 2P-моделях.

Нацеленность [100] на модели среднего класса была обусловлена предположением, что они могут быть более актуальны для многочисленных HPC-расчетов, в том числе в небольших кластерах. А, кроме того, имеющиеся массовые данные результатов PTS-тестов на сайте openbenchmarking.org в основном относятся к старшим моделям этих процессоров. Можно предположить, что к средним моделям процессоров в [100] отнесены имеющие цену около \$3000 и ниже.

В [100] проведены интересные в этом плане тестирования производительности, включая HPL, HPCC, NPВ и приложений вычислительной химии (LAMMPS, GROMACS и NWChem). Определенным минусом этих данных является применение ориентированного в первую очередь на HPC и суперкомпьютеры пакетного менеджера Spack [342] с параметрами построения исполняемых модулей, не ориентированных узко на соответствующие модели процессоров.

Некоторые данные из [100] приведены в других разделах обзора, здесь мы ограничимся в основном результатами тестов HPCC, приведенными в таблице 39.

Из [100] видно, что эти модели Xeon и EYUC с одинаковым числом ядер показывают конкурентоспособные данные по производительности. В некоторых тестах Xeon 6430 по производительности опережали EYUC 9334, в т.ч. в HPL и DGEMM. Правда, при использовании библиотеки MKL (для EYUC 9334 – с включенным режимом, дающим максимальную производительность), в HPL полученная производительность с EYUC (3.53 GFLOPS) была выше, чем с Xeon 6430 (3.44 GFLOPS).

ТАБЛИЦА 39. Данные о производительности в тестах НРСС

Модель		Хеон 6430	ЕРУС 9334
Число ядер		2×32	2×32
Частота, ¹ ГГц		2.1	2.7
Цена		\$2138	\$2990
TDP,Вт		270	210
HPL, TFLOPS		3.23	3.11
DGEMM Single GFLOPS		71.14	59.87
PTRANS ГБ/с		18.20	29.85
Random Access, GUPs	Single	0.107	0.148
	MPI	0.337	0.445
FFTE MPI, GFLOPS		57.73	89.58
Stream triad, Single ГБ/с		13.28	43.20

Данные из [100]. Single относится к тестам на одном ядре.

¹ Базовая величина.

Можно обратить также внимание и на данные тестов SPEC CPU2017 fp_speed и fp_rate [51]. По данным на 13.02.2025 максимальные достигнутые результаты для 2Р-серверов с ЕРУС 9334 составляли 339/358 и 843/845 для fp_speed и fp_rate соответственно (приведены базовый/пиковый показатели). Аналогичные результаты для Хеон 6430 составляют 295/295 и 683/703 соответственно. Для 1Р-серверов в этих тестах ЕРУС 9334 также оказались быстрее.

Хеон 6430 имеют существенно более низкую стоимость, хотя при этом имеют более высокий TDP, чем ЕРУС 9334. Из указанных выше данных можно сделать предположение о более высокой конкурентоспособности (в отношении процессоров ЕРУС 9004) модели Хеон 6430 по сравнению со старшими моделями Хеон SPR.

В таблице 40 мы привели данные тестов SPECсри 2017 с плавающей запятой для процессоров Хеон ICL/SPR/EMR и ЕРУС Genoa среднего класса. 64-ядерный ЕРУС 9554Р приведен здесь в качестве иллюстрации возможной альтернативы двум 32-ядерным ЕРУС Genoa. Все приведенные в таблице процессоры (кроме этого 64-ядерного) можно отнести к среднему классу с числом ядер около 30 и стоимостью меньше \$3000. Соответственно здесь представлена самая младшая 32-ядерная модель ЕРУС Genoa (32-ядерная модель ЕРУС 9354 стоит уже больше \$3000).

ТАБЛИЦА 40. Данные тестов SPECcpu 2017 для EPYC 9004, Xeon ICL, Xeon SPR и Xeon EMR

Процессор	EPYC 9334		EPYC 9554P	Xeon 6330		Xeon 6430		Xeon 6530	
Число ЦП	1	2	1	1	2	1	2	1	2
Число ядер	32	64	64	28	56	32	64	32	64
Цена	\$2990	\$5980	\$7104	\$2128	\$4256	\$2138	\$4276	\$2128	\$4256
SPECcpu 2017 fp_speed peak/base	253/239 ¹	358/339 ²	308/301 ³	116/114 ⁴	219/219 ⁵	186/186 ⁶	295/295 ⁷	–/220 ¹⁴	326/326 ¹⁵
SPECcpu 2017 fp_rate peak/base	422/420 ⁸	845/843 ⁹	665/618 ⁸	188/179 ¹⁰	423/406 ¹¹	330/318 ¹²	703/683 ¹³	377/369 ⁶	782/765 ¹⁴
Частота, ГГц	2.7–3.9		3.1–3.75	2–3.1		2.1–3.4		2.1–4	
TDP	210 Вт	420 Вт	360 Вт	205 Вт	410 Вт	270 Вт	540 Вт	270 Вт	540 Вт

Данные на 3.01.2025. Цены из [49], для Xeon 6330 – минимальная из [https://www.intel.com/content/www/us/en/ark.html#@PanelLabel1595 23.02.2025]. Отправители и использованные в расчете системы:

¹ ASUS RS520A-E12-RS12U;

² ASUS RS720A-E12-RS12;

³ Lenovo ThinkSystem SR635 V3;

⁴ HPE ProLiant DL110 Gen10;

⁵ xFusion FusionServer 1288H V6;

⁶ HPE ProLiant DL320 Gen11;

⁷ ASUS ESC4000-E11;

⁸ xFusion FusionServer 1158H V7;

⁹ xFusion FusionServer 2258 V7;

¹⁰ HPE ProLiant DL110 Gen10 Plus;

¹¹ Tyrone Camarero TDI100C3R-212;

¹² Dell Precision 7960 Rack;

¹³ ZTE R5300G5;

¹⁴ Lenovo ThinkSystem SD530 V3;

¹⁵ xFusion FusionServer 1288H V7;

¹⁵ ASUS RS720-E11-RS12U.

Согласно данным этой таблицы, среди процессоров среднего класса EPYC обгоняют по производительности Xeon при одинаковом числе ядер. Хотя по отношению стоимость/производительность Xeon могут быть лучше, но это требует дополнительного анализа. Кроме того, надо учитывать и величины TDP.

Сравнение производительности Xeon SPR с GPGPU. В заключение в этом разделе полезно привести также данные об относительной производительности Xeon SPR на приложениях HPC по сравнению с современными GPGPU, чтобы оценить возможную эффективность их применения. Для этого используем информацию для сервера с двумя Xeon 8480+, к которому добавлялись GPU Nvidia A100, H100 и H200 [343] (данные на 9.10.2024). Мы отобрали данные для двух известных HPC-приложений в области CFD (FUN3D) и молекулярной динамики (GROMACS). В [343] представлены аналогичные данные и для других программ молекулярной динамики (AMBER, NAMD и LAMMPS), с расчетами разных молекулярных систем. Выбор GROMACS здесь произведен из-за частого восприятия этого приложения как наиболее высокопроизводительного и достигающего более хорошее распараллеливание.

При добавлении в сервер одного GPU A100 производительность FUN3D в тесте `dpw_wbt0_crs-3.6Mn_5` возросла в 4 раза, а в GROMACS в тесте STMV для молекулярной системы, содержащей около миллиона атомов – в 2 раза. При добавлении вместо A100 самого современного GPU H200 производительность этих приложений возрастает еще раза в два. Интересно также, что при использовании вместо этого сервера варианта с Nvidia GH200 производительность практически не меняется [343], то есть использование интегрированного процессора Grace в этом плане не отличается от применения пары Xeon 8480+.

По данным [344], в приложении NAMD в тесте `Her1-Her1` производительность 2P-сервера с 60-ядерными Xeon 8490H уступала производительности одного GPU Nvidia Geforce RTX 6000 Ada более чем в четыре раза.

Сравнение энергоэффективности [345] сервера с Xeon 8480+ относительно применения там GPU Nvidia H100 или с интегрированным GH200 на приложении молекулярной динамики NAMD или программных средствах MILC для теории сильных взаимодействий субатомной физики показывает, безусловно преимущество применения GPU. Однако все это может служить только численной иллюстрацией для оценок целесообразности их применения при наличии такой возможности.

Приведем еще три сравнивающих Xeon SPR и GPU примера. В [346] сопоставлена производительность в CFD-приложении OpenFOAM 2P-сервера с 56-ядерными Xeon 8480+ и GPU Intel Max 1550. Сравнение

производительности другого 2P-сервера с Xeon 8480+ для задач CFD с применением OpenFOAM и средств ИИ при работе с разными числовыми форматами и с применением смешанной точности по сравнению с одним GPU Intel Max 1550 проведено в [347]. В [335] изучено время вывода в 2P-сервере с Xeon 8480+ или с GPU Intel Max 1100 в моделях ИИ, в том числе в ResNet-50 с анализом зависимости от числа использованных ядер в Xeon.

В заключение этого подраздела следует отметить, что получение выигрыша в производительности за счет применения GPU может требовать большой работы и соответственно не всегда реализуется. Так, в [283] в приложении магнитогидродинамики MHD 2P-сервер с Xeon SPR с HBM-памятью (Xeon Max 9480) давал производительность, близкую к GPU Nvidia A100. Производительность Xeon Max и рассматривается далее.

4.4. Производительность процессоров Xeon Max

Хорошей общей демонстрацией сравнительной производительности Xeon Max с Xeon ICL и Xeon SPR является приведенный выше рисунок 32, в котором сравниваются данные для 2P-серверов с 56-ядерными Xeon Max 9480, Xeon 8480+ и 40-ядерными Xeon 8380.

Ранее в обзоре в процессе рассмотрения данных о производительности процессоров других архитектур многократно приводились данные и о производительности Xeon Max, в том числе в относительном виде (сопоставительного характера).

Появление процессоров x86 с поддержкой HBM-памяти (Xeon Max – вторые в мире после A64FX процессоры, поддерживающие HBM и первые, поддерживающие одновременно HBM и DDR) во время современного расширения лимитирования производительности вычислительных систем пропускной способностью памяти породило разные надежды и вызвало естественный всплеск числа публикаций о производительности Xeon Max в разных областях науки (см., например, [3, 163, 278, 283, 284, 348–351]), включая работы и самих сотрудников Intel [352]. Отдельного внимания заслуживает публикация, в которой рассматривается применение Xeon Max в узлах суперкомпьютера Аугога, и приводится информация о производительности приложений из области HPC [353].

Некоторые из возникших ожиданий не оправдались, хотя они могли быть и потенциально явно завышенными. Так, в [348] указали, что памяти HBM оказалось недостаточно для полного преодоления разрыва в производительности моделирования термоядерного синтеза между центральными и графическими процессорами.

Возможные причины ограничения в ожидавшемся росте производительности рассмотрены далее. Главными вопросами здесь являются достигаемые показатели памяти (в первую очередь пропускная способность), поскольку HBM достаточно дорогая (цены на разные модели Хеоп Мах см. выше в таблице 36).

Понятно, что после выхода на рынок Хеоп Мах сразу стали появляться работы с исследованиями достигаемых задержек и пропускной способности памяти HBM, см., например, [284]. Анализ зависимости задержки и пропускной способности HBM в 1P-конфигурации с Хеоп Мах 9470С от различных конфигураций памяти проведен в [353]. Мы далее сосредоточимся на наиболее важном показателе, пропускной способности, которую обычно измеряют в тестах stream.

Пропускная способность памяти Хеоп Мах в тесте stream. Влияние разных режимов работы с HBM-памятью на пропускную способность в 2P-сервере с 56-ядерными Хеоп Мах 9480 относительно пропускной способности в 2P-сервере с 60-ядерными Хеоп 8490Н, соединенными только с памятью DDR5, было показано в [280] и представлено на рисунке 40. Скорее всего, там использован вариант stream triad, хотя это в [280] явно

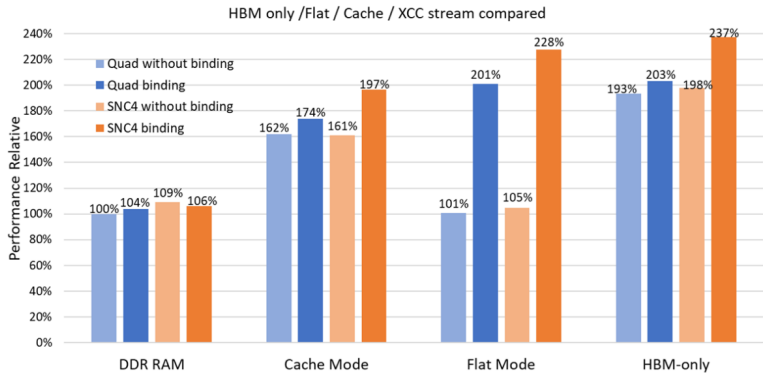


Рисунок 40. Относительная пропускная способность памяти Хеоп Мах 9480 в разных режимах (рисунок из [280])

не указано. На этом рисунке иллюстрируется также влияние привязывания к доменам NUMA, что для Хеоп Мах помогает увеличить достигаемую пропускную способность (quad здесь означает работу с квадрантом, когда вся HBM-память процессора Хеоп Мах образует один NUMA-узел).

Режим кэширования ожидаемо показал самую низкую пропускную способность, а в режиме сочетания HBM-only с SNC4 пропускная способность самая большая. В сочетании плоского режима с кластеризацией квадрантом в [280] исследована зависимость от числа задействованных ядер, от

двух до 56; соответствующие данные представлены на рисунке 41. Они показывают, что хорошее масштабирование пропускной способности наблюдается только до 28 ядер, достигая при этом 96% от максимальной получавшейся величины.

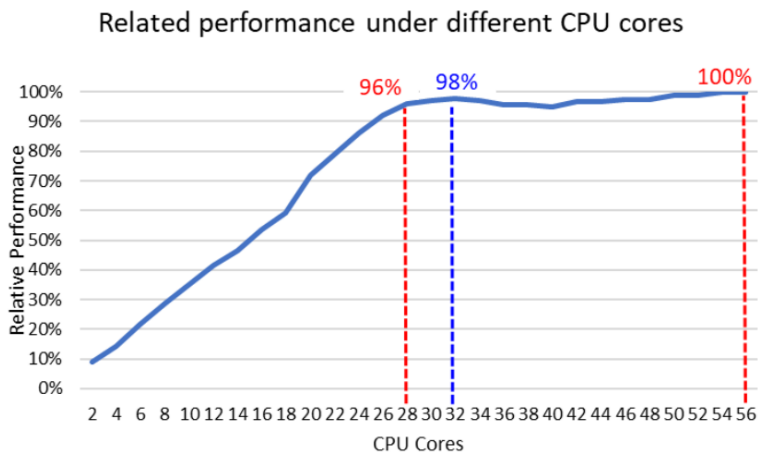


РИСУНОК 41. Зависимость достигаемой пропускной способности памяти от числа используемых ядер (рисунок из [280])

Логарифмическое масштабирование числа ядер в аналогичных результатах на рисунке 33 (в разделе 4.1), вероятно, не дает возможности увидеть подобную [280] зависимость пропускной способности.

При этом надо отметить, что по данным [283] максимальная пропускная способность при работе с DDR5 достигалась практически уже при 7 ядрах.

Пропускная способность в тесте stream triad для 2P-сервера с 48-ядерными Xeon Max 9468 в актуальном, позволяющем достичь более высокие показатели, плоском режиме с SNC4 была измерена в [14]. Полученное там значение, около 1361 ГБ/с, оказалось в 1.6 раз больше, чем для 1P-сервера с ARM A64FX.

Важное подробное исследование особенностей работы с НВМ-памятью в Xeon Max, включая пропускную способность в тестах stream, проведено в работах автора самих тестов stream МакКалпина [281, 354].

Иллюстрацией этого является рисунок 42, который показывает, что в тесте stream даже идеальное для пропускной способности распараллеливание на ядрах Xeon Max позволило бы достичь только 68% от пиковых 1638 ГБ/с для НВМ. Эти данные относятся к 1P-серверу с 56-ядерным Xeon Max 9480. Соответственно исследовалась проблема пропускной

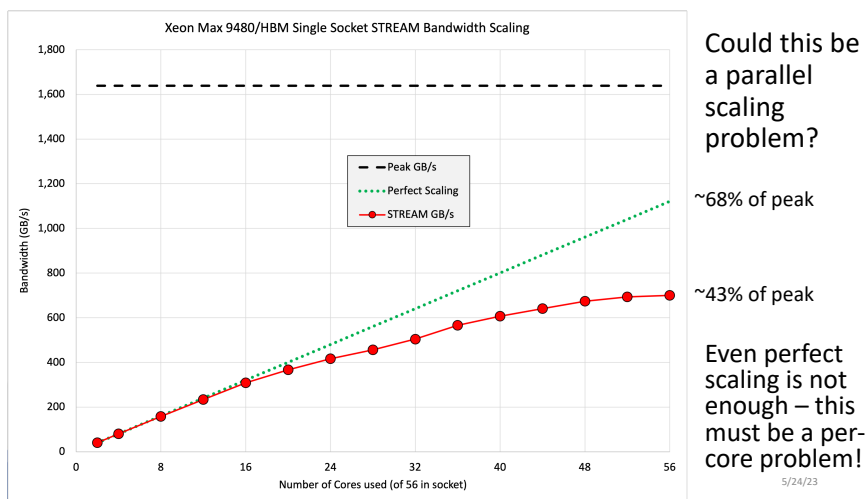


Рисунок 42. Пропускная способность HBM в Xeon Max 9480 в зависимости от числа задействованных ядер (рисунок из [354])

памяти на уровне ядра. Само распараллеливание, как показывают данные этого рисунка, сильно далеко от идеала.

Изучение возможного распараллеливания при обработке промахов в кэшах L1 и L2 с учетом задержки в соответствии с законом Литтла из теории очередей дало предельную пропускную способность одного ядра около 24 ГБ/с, а измеренные величины показали 20 ГБ/с в stream и 22 ГБ/с в тесте «только чтения» из памяти. Но реально измеренная пропускная способность процессора (на всех ядрах) была гораздо меньше прогнозируемой в соответствии с этой теорией.

Тонкий анализ показателей Xeon Max во время выполнения тестов показал, что двумерное решетчатое межсоединение в этих процессорах обеспечивает только половину пропускной способности, необходимой для достижения полной возможной пропускной способности чтения из HBM [281, 354].

Несмотря на достижение менее половины возможной пропускной способности HBM из-за имеющихся ограничений параллелизма при обработке промахов в кэш-память ядрами Xeon Max и пропускной способности их межсоединения, процессоры Xeon Max обеспечивают более высокую пропускную способность HBM по сравнению с DDR от 2.5 до 3.5 раз (в тестах «только чтения» и stream triad соответственно) [281]. Так что важным является рост реальной производительности, достигаемый при увеличении цены за счет применения HBM.

После публикаций [281, 354] в некоторых других работах также отмечались определенные недостатки применения НВМ в Хеон Мах. Так, в [283] указано на низкую эффективную пропускную способность на ядро.

Для 1Р- и 2Р-серверов с Хеон Мах 9480 в тесте BabelStream triad зависимость достигаемой пропускной способности от размера используемых в тестировании массивов (от 19.2 МБ до 9.8 ГБ) в режиме НВМ-only была исследована в [163]. Максимальная пропускная способность достигалась при размерах не более нескольких сот мегабайт, а затем она уменьшалась. Говорить о пропускной способности именно памяти можно лишь при достаточно больших размерах массивов, когда измеренное значение стабилизировалось; при меньших размерах получаемая величина относится к работе кэша [163].

Соответственная стабилизированная величина для 2Р-сервера составила 1446 ГБ/с при использовании оптимальных для других исследованных тестов ключей компиляции, и 1643 ГБ/с при применении специального оптимизированного для stream набора ключей (streaming store) из Intel OneAPI Base & HPC toolkits 2023.1. Эти величины составляют соответственно 55% и 63% [163] от пиковой пропускной способности, в качестве которой там использовано значение 1.3 ТБ/с на сокет со стороны возможностей процессора, с учетом задержек кэш-памяти [354]. Полученные процентные показатели соответствуют приведенным выше выводам [281, 354].

AMD в [160] продемонстрировала среднеарифметические величины пропускной способности от всех четырех компонент stream для 2Р-серверов с 32-ядерными Хеон Мах 9462 и ЕРУС 9384Х с 3D V-cache для разного числа используемых нитей от 1 до 64 в виде относительных показателей. Во всех использованных количествах нитей (степени двух) пропускная способность в ЕРУС была выше, чем у Хеон Мах в режимах кэширования и НВМ-only, за исключением последнего при 64 нитях. Однако в [160] не указаны размеры использовавшихся массивов, что может означать возможное достижение преимущества в пропускной способности не собственно памяти, а с 3D V-cache.

Производительность Хеон Мах в тестах SPEC. В работе [355] изучено влияние НВМ на производительность Хеон Мах в тестах SPECсри 2017 и SPECчрс 2021. Далее здесь рассматриваются только официальные утвержденные результаты тестов SPEC.

Данные о производительности процессоров Хеон Мах в тестах SPECсри 2017, `fp_speed` и `fp_rate`, приведены выше в таблице 37. Мы сопоставим здесь производительность Хеон Мах с Хеон SPR и Хеон EMR при одинаковом числе ядер. При большем числе ядер Хеон SPR или EMR безусловно опережают Хеон Мах в этих тестах.

Для 2Р-серверов с одинаковым числом ядер (по 56 на процессор) переход от Хеон 8480+ на работу с НВМ в Хеон Мах 9480 повышает производительность в пиковом показателе SPECfp_rate на 4%. Возможно и из-за немного более низких показателей частот ядер у Хеон Мах 9480, в SPECfp_speed он уступает Хеон 8480+. При этом 56-ядерный Хеон 8570 без наличия НВМ-памяти имеет более высокую производительность в обоих тестах SPECfp 2017 при более низкой стоимости, так что прогресс в технологии Intel и технологии DDR-памяти оказался в этом плане для Хеон EMR существенно важнее перехода на дорогую НВМ-память. В 5-м поколении масштабируемых процессоров Хеон, как и в Хеон 6, НВМ-память Intel не предлагается.

Хеон Мах в этих тестах отстают по производительности от старших моделей ЕРУС 9004. Результаты тестов SPECсри 2017 для целочисленной арифметики не представляют интереса для целей данного обзора. Соответствующие данные не меняют картины относительной производительности Хеон Мах и ЕРУС 9004.

Интереснее производительность Хеон Мах в SPEChpc 2021. Для серверов и кластеров с Хеон Мах 9480 для всех вариантов тестов от tiny до large соответствующие данные [представлены на сайте](#)⁴⁶. В этих данных на 1.04.2025 2Р-серверы с Хеон Мах 9480 уступают по производительности 2Р-серверам с ЕРУС 9654.

Представляющие актуальность для данного обзора данные о производительности Хеон Мах, которые обсуждаются далее, относятся всего к двум моделям, 48-ядерной Хеон Мах 9468 и 56-ядерной Хеон Мах 9480 (данные об этих моделях приведены в таблице 36 выше). В публикациях, в которых рассмотрена производительность в широком классе тестов или приложений, обычно обсуждается только по одной из этих моделей. Поэтому анализ производительности для удобства изложения далее также разбивается на две части по разным моделям. Каждый из соответствующих разделов включает различные тесты производительности. Во втором из этих разделов производится также необходимое обобщение.

4.4.1. Производительность 48-ядерной модели Хеон Мах 9468

Поскольку Хеон Мах имеет НВМ-память, которая ранее стала применяться в А64FX, появились и сопоставляющие вычислительные системы на их базе публикации. Так, в [356] для глубокого обучения (многослойного перцептрона) исследована производительность и энергопотребление в Infiniband-кластерах с 2Р-узлами на базе Хеон Мах 9468 и 1Р-узлами с А64FX, и изучено их масштабирование в зависимости от числа ядер и узлов кластера.

Вообще о производительности Хеон Мах 9468 имеются интересные данные, которые включают и ее сопоставления с различными процессорами ARM (см. таблицу 41).

⁴⁶<https://www.spec.org/cgi-bin/osgresults?conf=hpc2021>, accessed 1.04.2025.

Таблица 41. Данные о производительности Xeon Max 9468 в сопоставлении с ARM-процессорами

Тест производительности (единицы измеряемой производительности) ¹	Исходные данные	Intel Xeon Max 9468, 96 ядер ²		Fujitsu A64FX, 48 ядер	Amazon Graviton 3, 64 ядра	Nvidia Grace, 144 ядра ³
		DDR	HBM			
DGEMM (GFLOPS)		4787	5392	1978	1/158	4461
HPL (GFLOPS)		2211	2862	1177	965	3124
FFT (GFLOPS)		129	143	24.4	71.0	134.2
HPCG (GFLOPS)		84	198	64.4		106.5
OpenFOAM (время выполнения, минут)	MotoBikeQ, 11M cells	18.39	14.87			13.87
	MotoBikeX6, 35M cells	53.45	39.65			
GROMACS (нс/день)	MEM 82K атомов	203.6	206.1	22.8	71.4	171
	RIB 2M атомов	13.9	13.5			12.7
	PEP 12M атомов	1.2	1.2			0.977

В таблице использованы данные из [14, 357].

¹ Первые 3 приведенных в таблице теста взяты из HPCC.

² Объяснение преимущественно HBM-варианта и DDR приводится в тексте далее.

³ Приводятся максимальные представленные в [357] величины, полученные с использованием разных программных средств.

Что касается использованного для тестов Хеон Мах 9468 преимущественного HBM-варианта, то его установили с помощью указания ключа для numactl, -preferred-manu, для всех NUMA-доменов памяти HBM. Как указано в [14], это давало в их тестах такую же производительность, как при использовании привязки к доменам NUMA.

Хотя в некоторых случаях в этой таблице данные относятся к 1Р-серверам (с A64FX, Graviton 3), Хеон Мах 9468 показал преимущества в производительности по сравнению со всеми современными ARM-процессорами (хотя в некоторых случаях для этого требовалось активное применение HBM). То же самое имеет место в производительности на ядро (если посчитать ее, исходя из данных этой таблицы).

Исключением оказался тест OpenFOAM, где производительность имеющего в полтора раза больше ядер процессора Nvidia Grace (использующего 32 канала LPDDR5X) оказалось на 7% выше, чем у Хеон Мах 9468 с HBM. По производительности на ядро Хеон Мах здесь впереди. Надо также учитывать, что при хорошем масштабировании производительности в тесте Хеон Мах 9480 должен показывать более высокие результаты, и что в Хеон SPR есть более высокопроизводительные модели. В Хеон EMR достигается дополнительное повышение производительности.

Для задач ИИ (в тесте AI Benchmark Alpha, в таблице он не представлен по причине отсутствия данных для Хеон Мах) даже более старый Хеон ICL 6330 как правило опережал ARM-процессоры по производительности [357].

Из данных таблицы 41 видно, как более высокая пропускная способность HBM-памяти сказывается на росте производительности на вычислительно-интенсивных тестах (например, DGEMM), и как этот эффект усиливается на тестах, связанных памятью (например, HPCG).

Если сопоставить производительность 48-ядерных Хеон Мах 9468 в DGEMM и HPL с производительностью EPYC 9004 (см. таблицу 15), то видно, что эта модель Хеон Мах опережает 32-ядерные EPYC 9004, и отстает от 64-ядерных EPYC 9554, а тем более от содержащих большее число ядер процессоров EPYC. В требующем большой пропускной способности HPCG с эффективно использующим HBM вариантом (197.5 GFLOPS) сильно опережает представленные AMD данные в [121] (максимальный показатель - 137.9 GFLOPS для EPYC 9684X).

Однако для сравнения необходимо сопоставлять данные для расчета с одинаковыми исходными данными (в случае с HPCG – например, размеры сеток), что для вышеуказанных чисел для HPCG неизвестно. Соответственно далее мы рассматриваем только сопоставимые данные о производительности в тестах PTS с сайта openbenchmarking.org. Здесь полезно напомнить, что (как указано выше в разделе 2.4.4) 64-ядерный Хеон SPR 8462Y в PTS-тестах HPCG 3.1 опережал EPYC 9004.

Ряд данных, демонстрирующих производительность в разных PTS-тестах Xeon Max 9468 в сравнении с Xeon Max 9480, приводится в следующем разделе 4.4.2.

Если посмотреть на данные PTS-тестов - NPB, задач механики сплошных сред, где приложения часто связаны памятью (CloverLeaf, OpenFOAM, WRF), задач молекулярной динамики (NAMD, LAMMPS, GROMACS) и молекулярного докинга (miniBUDE) на сайте openbenchmarking.org, то по данным на декабрь 2024 года Xeon Max 9468 практически всегда уступает по производительности старшим моделям EPYC 9004.

Но в PTS-тестах для задач ИИ ситуация другая. В вариантах тестов OpenVINO, которые можно отнести к обработке изображений (данные на 17.01.2025), Xeon Max 9468 часто опережал 96-ядерные EPYC 9654 и 9684X, хотя иногда отставал от 128-ядерного EPYC 9754.

В PTS-тесте TensorFlow с моделью ResNet-50 по данным на 18.01.2025 Xeon Max 9468 опережал EPYC 9004 при размере пакетов 256, но отставал при работе с более крупными пакетами (512). В некоторых PTS-тестах oneDNN (данные на 19.01.2025) Xeon Max 9458 также опережал 96-ядерные EPYC 9004, отставая от 128-ядерного EPYC 9754.

Однако эти проведенные PTS-тесты, упоминаемые в трех абзацах выше, часто отличаются плохим масштабированием производительности с числом используемых ядер. Здесь имеются в виду факты уменьшения производительности при ее сопоставлении для процессоров с меньшим числом ядер по сравнению с более старшими моделями с большим числом ядер, или при переходе от 1P- к 2P-конфигурациям. Это уменьшает значение соответствующих тестов.

Поскольку в следующем разделе еще проводится обсуждение производительности Xeon Max 9480 в сопоставлении с Xeon Max 9468, мы завершаем здесь анализ данной модели.

4.4.2. Производительность 56-ядерной модели Xeon Max 9480

Понятно, что для топ-модели данного семейства, Xeon Max 9480, появилось много данных о производительности. Так, в [283] показано, что 2P-сервер с Xeon Max 9480 в тестах DGEMM и HPL дает только 87% от производительности 2P-сервера с также 56-ядерными Xeon 8480+. Другие данные со сравнением производительности в HPL у 2P-сервера с Xeon Max 9480 и аналогичных серверов с Xeon SPR и Xeon EMR имеются в [303]. Там с Xeon Max 9480 получено 6781 GFLOPS, а с Xeon 8480+ - выше, 7293 GFLOPS (понятно, что 60-ядерная топ-модель Xeon SPR 8490H достигла еще более высокую производительность, 7584 GFLOPS). Соответствующие данные о производительности Xeon Max 9480 в сравнении с другими моделями Xeon SPR представлены выше в таблице 41.

Такое отставание от производительности Xeon 8480+, очевидно, связано с тем, что его ядра имеют более высокую тактовую частоту (как

базовую, так и турбо), чем Xeon Max 9480, и является иллюстрацией того, что применение Xeon Max может быть актуально только для связанных памятью приложений.

В PTS-тесте HPCG 3.1 с размерами подсеток 144 на 2P-сервере с Xeon Max 9480 в [358] была получена производительность 74.3 GFLOPS, что, однако, ниже, чем в полученных для Xeon Max 9468 данных в таблице 41.

В тесте БПФ (S-FFTE), где важна пропускная способность памяти, сервер с Xeon Max 9480 был быстрее, чем сервер с Xeon 8480+, в 1.46 раза. И в связанных памятью задачах магнитогидродинамики производительность Xeon Max 9480 была гораздо выше [283]. Вообще в мини-приложении магнитогидродинамики CloverLeaf 2D/CloverLeaf 3D производительность Xeon Max 9480 сильно выше, чем у Xeon 8480+ [3]. Электромагнетизм нужен для термоядерного синтеза, и HBM-память в Xeon Max 9480 в приложении CGYRO также дает значительный прирост производительности [348].

Еще одной демонстрацией преимуществ Xeon Max 9480 для связанных памятью приложений, работающих со структурированными или неструктурированными сетками, являются данные работы [3]. Кроме только что упоминавшихся мини-приложений CloverLeaf 3D и CloverLeaf 2D, там представлены данные о производительности и шести других приложений. Но все они предполагают применение специфических программных средств, OPS для структурированных сеток и OP2 – для неструктурированных.

В [3] получены данные не только по производительности, но и по энергопотреблению для различных 2P-серверов из Intel Developer Cloud (см. об этом в разделе 5), в том числе с Xeon Max 9480 (в режиме HBM-only + SNC4), Xeon 8480+ (с тем же числом 56 ядер на процессор), Xeon 8592+ и Xeon 6960P (Granite Rapids). На таких отобранных приложениях Xeon Max 9480 часто опережал по производительности не только Xeon EMR, но и Xeon 6.

Большое количество данных о производительности 2P-сервера с Xeon Max 9480 для самых разных приложений HPC, включая предсказание погоды (WRF), молекулярную динамику (NAMD, AMBER), квантовую химию (PARSEC – для конечно-разностных расчетов методом DFT) и другие, получено в [355]. Там проводится сопоставление производительности при отключении работы памяти HBM или DDR5.

Широкий набор данных о производительности и энергопотреблении 2P-серверов с Xeon Max 9480 и Xeon Max 9468 представлен в [359]. Эти данные интересны также тем, что там исследована производительность в трех разных режимах работы с HBM – HBM-only, режиме кэширования и режиме с деактивированной HBM-памятью. Но вместо типично применяемого для больших расчетов плоского режима с использованием дополнительной памяти DDR, что может требовать более тонкой работы, изучена производительность в варианте, когда применение HBM было заблокировано.

Некоторые из полученных в [359] данных представлены в таблицах 42 и 43.

Таблица 42. Производительность в НРС у 2Р-серверов с Xeon Max

Тест	Производительность Xeon Max 9480			Производительность Xeon Max 9468		
	Без HBM	Кэширование с HBM	HBM-only	Без HBM	Кэширование с HBM	HBM-only
OpenFOAM, тест 1 ¹	4613.9	3258.6	2908.8	4629.1	3236.3	2918.4
OpenFOAM, тест 2 ²	190.7	177.0	165.1	166.5	157.8	141.9
OpenFOAM, тест 3 ³	237.4	199.9	176.7	245.3	195.6	177.8
LULESH, z/s	44118.3	55339.5	60681.6	45058.0	56829.2	62348.3
NPB, SP.C	140910.0	196046.2	212262.2	132417.4	184462.3	196927.9
NPB, BT.C	279271.5	328222.2	351853.6	265661.2	307050.7	330958.0
NPB, LU.C	223823.1	273779.7	278606.5	234956.3	276681.9	284194.2
NPB, MG.C	164986.7	249731.4	253047.6	162971.3	249546.4	265747.5
Quantum ESPRESSO ⁴	346.0	339.1	323.7	334.5	326.0	309.1
GROMACS ⁵	11.4	12.1	13.2	11.0	12.3	12.9
miniBUDE ⁶	2670.9	2799.7	3032.9	3026.7	3110.1	3234.8

Данные из [359]. Для тестов NPB производительность приведена в Mop/s.

¹ время выполнения (секунд) в тесте drivaerFastback, Large Mesh Size;

² время на решетку (секунд) в тесте drivaerFastback, Medium Mesh Size;

³ время выполнения (секунд) в тесте drivaerFastback, Medium Mesh Size;

⁴ время выполнения (секунд) в тесте AUSURF112

⁵ количество рассчитанных нс/день в тесте water_GMX50_bare

⁶ GFInst/s в тесте BM2

То, что производительность возрастает при переходе от применения DDR-памяти к кэшированию HBM-памятью и далее с работой только с HBM, очевидно. Понятно, что эффект должен быть больше для связанных памятью тестов. Однако данные этой таблицы позволяют оценить это количественно. Эффект перехода от 48-ядерной модели к 56-ядерной Xeon Max 9480 при нормальном масштабировании производительности также очевиден, но данные таблицы демонстрируют это количественно. При анализах надо иметь в виду, что тактовая частота Xeon Max 9468 выше, чем у Xeon Max 9480 на 10.5% (см. таблицу 46), а число ядер меньше на 17%.

Из четырех проведенных в [359] тестов NPV со средним размером проблемы (C) Xeon Max 9480 в режиме HBM-only, дающем наивысшую производительность, показал преимущество в ней по сравнению с более младшей моделью только в двух – SP.C и VT.C.

В соответствии с результатами таблицы 42, переход от 48-ядерной модели Xeon Max 9468 к 56-ядерной Xeon Max 9480 в тестах OpenFOAM, ориентированных на задачи CFD, наблюдается низкий прирост производительности. В тесте мини-приложения CFD, LULESH, при таком переходе производительность уменьшается.

В использовавшемся в [359] тесте Quantum Espresso⁴⁷, который согласно применялся в качестве одного из тестов на суперкомпьютере Fugaku, проводился расчет квантовохимическим методом DFT с применением псевдопотенциалов в базисе плоских волн для системы из 112 атомов золота. Однако данные таблицы показывают, что при переходе от Xeon Max 9468 к более старшей модели Xeon 9480 время расчета в этом тесте не уменьшается, а возрастает.

В известном высоким достигаемым уровнем распараллеливания программном комплексе молекулярной динамики GROMACS (недавно появилась работа [360] о его распараллеливании в кластере, содержащем в узлах 2P-серверы с 64-ядерными EPYC 9554, всего 65k ядер) прирост производительности при переходе на Xeon Max 9480 оказался всего два %. Для данных таблицы 42 использовался широко распространенный тест GROMACS, water_GMX50_bare, включающий расчеты комплексов воды, содержащих от 0.65 тысячи до трех миллионов атомов.

В мини-приложении молекулярного докинга (miniBUDE) данные [359] также показывают понижение производительности при переходе от Xeon Max 9468 к топ-модели Xeon 8480.

⁴⁷https://www.hpci-office.jp/documents/appli_software/Fugaku_QE_performance.pdf, accessed 10.05.2025.

Для задач ИИ, несомненно, представляют интерес данные тестов производительности разработанных Intel средств OpenVINO. Этих тестов было много проведено в [359]. Мы исключили из анализа результаты тестирований на уровне задержек, поскольку они обычно отличаются плохим масштабированием, а более высокие показатели часто можно получать на десктопных процессорах. Отобранные из [359] данные приведены в таблице 43.

ТАБЛИЦА 43. Производительность (кадров/с) Xeon Max в PTS-тестах OpenVINO 2022.3

Тест	Xeon Max 9480			Xeon Max 9468		
Person Detection, FP16	33.3	35.2	37.3	33.8	34.5	36.6
Person Detection, FP32	33.7	35.7	37.9	33.1	34.2	36.0
Face Detection, FP16-INT8	293.5	329.6	359.6	285.3	328.0	354.2
Weld Porosity Detection, FP16	16321.9	16480.5	17508.3	15419.6	15767.4	16960.1
Weld Porosity Detection, FP16-INT8	31507.7	30761.6	33984.7	30066.7	31679.3	33063.8
Person Vehicle Bike Detection FP16	5792.1	6157.7	6613.6	5615.0	6224.4	6539.6

Выигрыш в производительности при замене Xeon Max 9468 на Xeon Max 9480 не превышает нескольких процентов. Сопоставительные данные о производительности Xeon Max 9480, Xeon SPR, Xeon EMR и EPYC 9004 приведены выше в таблицах 43 и 38. По этим данным, Xeon Max 9480 отставал в производительности от Xeon EMR и EPYC 9004, хотя часто опережал Xeon SPR 8490H.

Сами по себе приведенные выше отдельные данные о производительности Xeon Max 9480 по сравнению с более младшей моделью не говорят о каких-то недостатках в Xeon Max. Проблема в первую очередь в том, что в широко применяющихся тестах часто отсутствует анализ достигаемой производительности в зависимости от числа задействуемых в расчетах ядер, и не рассматривается ее зависимость от размера исследуемого объекта. Хотя нельзя отвергнуть и возможные проблемы с уровнем распараллеливания в Xeon Max, про которые говорилось в [281, 354] в отношении тестов stream. В практическом плане можно ориентироваться на оценку [355], что увеличение стоимости за счет применения HBM по сравнению с Xeon SPR компенсируется, если производительность связанного памятью приложения возрастает более чем на 30%.

Отдельного сопоставления производительности Xeon Max с EPYC 9004 здесь не проводится, в том числе из-за прекращения Intel дальнейшей

поддержки HBM в Xeon EMR и Xeon 6. Аналогичные рассмотренному здесь данные о производительности этих процессоров AMD, в том числе и со сравнением производительности с Xeon Max, приведены выше в разделе 2.4. Многочисленные сравнительные данные о производительности EYUC 9004 и Xeon Max для большого количества различных PTS-тестов можно получить на сайте openbenchmarking.org, а также из использующих эти тесты обзоров производительности (см., например, [318]). Старшие модели EYUC 9004 обычно опережали Xeon SPR и Xeon EMR по производительности, а последние в свою очередь чаще опережают Xeon Max, за исключением отдельных областей применения со связанными памятью программами.

5. О применении x86 для виртуализации и облачных технологий в области HPC и ИИ

Базирующиеся на виртуализации облачные технологии очень активно применяются и для задач HPC - в первую очередь, вероятно, из-за экономической эффективности. Облачные технологии применимы на самых разных уровнях – от отдельных серверов и кластеров до суперкомпьютеров. Применение в современных процессорах x86 большого числа ядер и сдвигает серверы с x86 до уровня возможного эффективного применения облачной технологии.

В обзоре облачные технологии практически не рассматриваются, однако для полноты картины полезно привести общую информацию об имеющихся реализациях с применением рассматриваемых в обзоре процессоров, особенно для HPC. Ведь имеются публикации, где данные о производительности и в области HPC для этих процессоров получены при использовании облачной технологии.

Поскольку имеется большое число разных типов облачной технологии, мы упомянем только две, широко используемые для HPC-задач: IaaS (Infrastructure as a Service) и BMaaS (Bare Metal as a Service). Хорошие общие рекомендации по использованию x86-процессоров для разных типов облака имеются для EYUC 9004 в [221]. Их можно естественно распространить и на другие современные процессоры.

В качестве примеров использующих такие технологии вычислительных систем, ресурсы которых предоставляются пользователям, укажем предложения Microsoft и Amazon. Microsoft Azure предлагает виртуальные машины с разными процессорами, в том числе и с рассматриваемыми в обзоре масштабируемыми процессорами Xeon 4-го поколения (Xeon 8490H и 8473C) [361, 362], и с EYUC Zen 4 [363].

Amazon предлагает и ориентированные на HPC виртуальные машины, в том числе с AMD EPYC Zen 4 (Genoa) [364], которые фирма предлагает использовать, в частности, для задач CFD и предсказания погоды.

Можно также отметить Intel Tiber AI Cloud [365], где в первую очередь для задач ИИ предлагается доступ к самым современным аппаратным средствам фирмы.

Понятно, что в используемых для облачных технологий серверах, особенно для HPC, активно используются и GPU. В качестве завершения данного раздела укажем на применение облачных технологий Oracle: в OCI (Oracle Cloud Infrastructure) анонсированы новые возможности инфраструктуры ИИ для малых, средних и крупных вариантов использования, включая крупнейший суперкомпьютер ИИ в облаке [366]. Там фактически предлагается VMaaS, но вычислительные возможности базируются на GPU [366], и к обзору это уже отношения не имеет.

6. О6 Intel Xeon 6 Granite Rapids и AMD EPYC Turin (Zen 5)

Безусловно, появление осенью 2024 года Xeon 6 Granite Rapids с высокопроизводительными P-ядрами (старших моделей, версии AP - Xeon 6900P) и EPYC Zen 5 (моделей 9005) произвело существенное изменение ситуации с серверными процессорами x86-64.

Уже в 2025 году Intel добавила к таким Xeon 6 с P-ядрами версию SP – Xeon 6700P и 6500P с меньшим числом ядер, меньшим числом каналов UPI и меньшим числом каналов памяти [367], а также с другим, более простым сокетом Intel 4710 (в версии AP используется сокет FCLGA7529) [49]. Но у этих процессоров появилась возможность строить конфигурации серверов с числом сокетов до 8. Появилась также серия еще более простых процессоров Xeon 6300P [367].

Другие модели Xeon 6, Sierra Forest, неинтересны для целей данного обзора, поскольку используют более простые E-ядра (не имеющие поддержки AVX-512), поддерживают память с меньшей пропускной способностью и меньшим числом каналов, и имеют меньшую емкость кэша L3. Вариант с E-ядрами в основной на момент написания обзора публикации Intel [368] вообще отнесен к другой микроархитектуре. Мы рассматриваем только Xeon 6 с P-ядрами. Далее под Xeon 6 вообще имеется в виду Granite Rapids с P-ядрами, версии AP.

В процессорах Xeon 6 Intel стала применять свою новую технологию 5 нм. Xeon 6 стал очередной демонстрацией продвижения вперед в направлениях увеличения числа процессорных ядер, доминирующего влияния на производительность именно применяемой полупроводниковой технологии и использования чиплетов.

При не очень большом прогрессе в полупроводниковой технологии Intel переход с Xeon SPR на Xeon EMR не дал фирме возможности обогнать по числу ядер и производительности в широком диапазоне областей применения процессоры EYUC 9004. Переход Intel на технологию 5 нм, несомненно, гораздо более сильный шаг вперед, чем был при переходе с 4-го поколения масштабируемых процессоров Xeon на 5-е поколение.

В таблице 44 представлены только старшие модели процессоров Xeon 6 и EYUC 9005 Turin (с большим числом ядер). Например, всего имеется 26 разных моделей EYUC 9005 с числом ядер от 8, причем ряд отсутствующих в таблице моделей с числом ядер от 48 и ниже имеют TDP 300 Вт и ниже [126].

ТАБЛИЦА 44. Основные показатели Xeon 6900P и EYUC 9005

Модель	Число ядер	Частота, ГГц	Емкость кэша L3	TDP, Вт	Цена	Технология
Xeon 6980P ¹	128	2–3.9	480 МБ	500	\$12460	5 нм
Xeon 6979P	120	2.1–3.9	432 МБ	500	\$11025	5 нм
Xeon 6972P	96	2.4–3.9	480 МБ	500	\$10220	5 нм
Xeon 6960P	72	2.7–3.9	504 МБ	500	\$9625	5 нм
Xeon 6952P	96	2.1–3.9	504 МБ	400	\$9115	5 нм
EYUC 9965 ²	192	2.25–3.7	384 МБ	500	\$14813	3 нм
EYUC 9845	160	2.1–3.7	320 МБ	390	\$13564	3 нм
EYUC 9755	128	2.7–4.1	512 МБ	500	\$12984	4 нм
EYUC 9745	128	2.4–3.7	256 МБ	400	\$12141	3 нм
EYUC 9655	96	2.6–4.5	384 МБ	400	\$11852	4 нм
EYUC 9565	72	3.15–4.3	384 МБ	400	\$10486	4 нм
EYUC 9575F	64	3.3–5	256 МБ	400	\$11791	4 нм
EYUC 9475F	48	3.65–4.8	256 МБ	400	\$7592	4 нм

¹ Данные для Xeon из [https://ark.intel.com/content/www/us/en/ark/products/series/240357/intel-xeon-6.html 14.10.2024] на 14.10.2024;
² Данные для EYUC из [49] на 14.10.2024.
Цены для всех процессоров - из [49] на 16.04.2025.

В AMD Zen 5 теперь используется технология TSMC 4 нм. По числу процессорных ядер AMD по-прежнему впереди, но это относится только к процессорам на базе ядер Zen 5c (новейший аналог Zen 4c), где применяется технология TSMC 3 нм и уменьшена емкость кэша L3 на ядро по сравнению с ядрами Zen 5, см. таблицу 44. Для уточнения указанных в ней технологий отметим, что в более простых блоках процессоров, например в блоке I/O (IOD), который, хоть и с существенно отличающейся функциональностью, чем в EYUC, теперь имеется и в Xeon 6 (см. [368, 369]), применяются более старые технологии.

Большое увеличение числа процессорных ядер в Xeon 6 потребовало и увеличения пропускной способности межсоединения процессоров (каналов UPI стало 6, со скоростью 24 GT/s – суммарно в 1.8 раз больше, чем в Xeon EMR [368]).

Конкурентоспособность старших моделей Хеоп 6 относительно ЕРУС 9005 должна стать существенно более высокой, чем это было у 4-го и 5-го поколения масштабируемых процессоров Хеоп относительно ЕРУС 9004. Хеоп 6900Р в ряде первоначальных данных о производительности в НРС смогли превзойти ЕРУС 9005 (см., например, таблицу 45 ниже).

Анализ микроархитектур и производительности требует появления соответствующих данных, которые в настоящее время для Хеоп 6 и ЕРУС 9005 весьма активно пополняются. Но такой анализ в обзоре требует достаточно полных данных, и поэтому здесь не проводится. При этом ясно, что большинство из рассмотренного ранее в данном обзоре остается в силе и в новейших процессорах. Для микроархитектуры ЕРУС 9005 это видно, например, из документов AMD [370, 371]. В Zen 5 главными приоритетами разработки было увеличение производительности и энергоэффективности на ядро. Информация об усовершенствованиях в ядрах Zen 5 имеется в [372, 373].

Дополнительные к [373] данные⁴⁸ о докладе AMD на конференции Hot Chips 2024 включают соответствующие слайды. Подробные количественные показатели обоих фронт-энд и бэк-энд компонент микроархитектуры ядер Zen 5 уже представлены в [374]. Понятно, что прогресс интегрально выразился в росте IPC (на 16%).

Мы ограничимся далее только краткой информацией о появившихся моделях Хеоп 6900Р и ЕРУС 9005, и некоторыми стартовыми данными об их производительности.

Обе фирмы, кроме использования прогресса в технологии, перешли на работу с более быстрой памятью DDR5. В спецификациях процессоров AMD [126] указано о поддержке ими до 12 каналов на скорости до 6000 МТ/с, хотя в [200] отмечается поддержка в некоторых моделях DDR5-6400. Процессоры Хеоп 6 поддерживают работу до 12 каналов DDR5-6400 или более высокопроизводительную, хотя и более дорогую память MRDIMM-8800, имеющую более высокую скорость передачи. Влияние повышенной пропускной способности MRDIMM-8800 на производительность по сравнению с использованием DDR5-6400 продемонстрировано в [375].

Безусловно, большой прогресс в типе поддерживаемой Хеоп 6 памяти должен отразиться на росте достигаемой пропускной способности и соответственно на росте производительности в приложениях механики сплошных сред, включая задачи CFD (это уже стало видно в данных соответствующих PTS-тестов на сайте openbenchmarking.org).

⁴⁸<https://chipsandcheese.com/p/discussing-amds-zen-5-at-hot-chips-2024>, accessed 26.04.2025.

Переход в Хеоп 6 на работу с имеющей более высокую пропускную способность памятью представляется вторым по важности успехом Intel после прогресса из-за новой технологии 5 нм. Однако анализы надо проводить не на пиковых, а на реально достигаемых показателях производительности и пропускной способности памяти. Важны, например, показатели межсоединения ядер в Хеоп 6 – поскольку для Хеоп Мах в [354] были отмечены потенциальные ограничения ими пропускной способности памяти.

Данные проведенного Intel теста stream triad для 2P сервера с 96-ядерными Хеоп 6972P с памятью MRDIMM-8800 показали преимущество пропускной способности в 1.3 раза по сравнению с 2P сервером также с 96-ядерными ЕРУС 9655 и памятью DDR5 на скорости 6000 МТ/с [376]. Кроме того, с Хеоп 6 уже продвигаются вперед работы по применению и CXL-памяти [377].

Имеются приписываемые Chongqing Microcomputer китайские данные⁴⁹ для 2P-сервера с ЕРУС 9755 по пропускной способности памяти в stream triad, а также по производительности в тестах DGEMM и HPL.

Здесь нужно также отметить, что в Хеоп 6 планировалось появление нового векторного расширения ISA, AVX10, с поддержкой ограничения длины векторов в 256 бит. Фирма AMD в ЕРУС 9005 перешла на применение (при работе с AVX-512) 512-битной ширины передачи данных вместо 256-битной в ЕРУС 9004. Это не только может существенно повысить достигаемую производительность DGEMM по сравнению с ЕРУС 9004 (что уже видно в соответствующих PTS-тестах на сайте openbenchmarking.org), но и способствует росту производительности в задачах ИИ [373]. Влияние этого фактора на производительность приложений в разных областях применения рассмотрено в [378]. Таким образом, AMD относительно Zen 4 продвинулась вперед в работе с векторными операциями, а Intel в Хеоп 6 оказалась впереди Zen 5 в используемой технологии памяти.

Intel благодаря новой технологии смогла повысить емкость кэша L3, и в некоторых моделях Хеоп 6 в таблице 44 емкость такого кэша на ядро выше, чем в ЕРУС 9005. AMD, благодаря более продвинутой полупроводниковой технологии, обеспечивает при равном числе ядер более высокие величины тактовых частот.

О процессорах ЕРУС 9005 большое количество информации, включая данные о производительности в разных приложениях, уже стало доступно на документационном хабе AMD [146] среди появившихся в конце 2024 года документов – например, о производительности с OpenFOAM

⁴⁹<https://news.qq.com/rain/a/20241202A090KQ00>, accessed 6.03.2025.

см. [379]. В данных об относительной производительности ЕРУС 9005 по сравнению с ЕРУС 9004 и Хеон ЕМР⁵⁰ представлены AMD для четырех CFD-приложений ANSYS. Intel размещает неструктурированные данные о производительности Хеон 6 на своем сайте [376].

Стали доступны и данные о производительности ЕРУС 9005 и Хеон 6 в тестах SPECсру 2017. Правда, сам смысл этих тестов для современных многоядерных серверных процессоров кардинально понизился. Мы далее основываемся на максимальных достигнутых для рассматриваемых моделей и конкретных тестов официальных результатах сайта на 16.04.2025.

В SPECint 128-ядерный Хеон 6980P отстает от ЕРУС 9755 с тем же числом ядер, а 96-ядерный Хеон 6972P – от УЗНС 9655 с тем же числом ядер. В SPECfp результат скорее противоположный. В SPECfp_rate, где меряется «пропускная способность» заданий, и в отличие от SPECfp_speed распараллеливание запрещено, 128-ядерный Хеон 6980P достиг 1360/2720 для 1P/2P-конфигураций против аналогичных более низких результатов 1230/2660 для ЕРУС 9755 с тем же числом ядер. В SPECfp_speed Хеон 6980P достиг 448/496 против 435/573 для ЕРУС 9755 для 1P/2P-конфигураций.

Для 96-ядерной модели Хеон 6972P в тесте SPECfp_rate достигалось 1160/2290 против 1020/2050 для ЕРУС 9655 с тем же числом ядер в конфигурации 1P/2P. В SPECfp_speed в 1P-сервере Хеон 6972P максимальная полученная величина составила 394 против 412 для 1P-сервера с ЕРУС 9655.

Видно, что достигаемые производительности Хеон 6900P и ЕРУС 9005 при одинаковом числе ядер достаточно близки. Обсуждаться эти результаты здесь не будут. Можно только отметить два момента. Во-первых, большой прогресс в производительности ЕРУС 9005 по сравнению с ЕРУС 9004 (сравнивая 96-ядерные модели ЕРУС 9655 и ЕРУС 9654 - см. данные в таблице 27); для Хеон 6900P прогресс еще выше. Во-вторых, можно сказать, что в Хеон 6900P отставание от ЕРУС в тестах SPECсру было ликвидировано.

В тесте SPECmpi 2007 (medium) 2P-сервер с ЕРУС 9755 достиг значения 96.6 против 65.4 для 2P-сервера с ЕРУС 9654 (максимальные показатели на 14.04.2025), что демонстрирует заметно больший рост производительности по сравнению с увеличением числа ядер. Для теста SPECchrс 2021 данные о производительности приведены в таблице 45. Данные для Хеон 6 в этих тестах SPEC отсутствуют.

⁵⁰<https://www.amd.com/content/dam/amd/en/documents/epyc-technical-docs/performance-briefs/amd-epyc-9005-pb-ansys-ls-dyna.pdf>, accessed 26.04.2025 и аналогичные URL.

ТАБЛИЦА 45. Производительность EPYC 9005 в тестах SPEChpc 2021

Модель	Число/тип ядер	Конфигурация	Размер теста: tiny	Размер теста: small
EPYC 9965	192/Zen 5c	2P	22.9	2.21
EPYC 9755	128/Zen 5	1P	9.24	
		2P	22.1	
EPYC 9555	64/Zen 5	2P	17.7	1.71
EPYC 9754	128/Zen 4c	1P	7.32	
		2P	16.4	
EPYC 9684X	96/Zen 4	2P	16.0	1.55
EPYC 9654	96/Zen 4	1P	6.99	0.735
		2P	14.2	1.59

В таблице приведены только максимальные достигнутые на 14.04.2025 результаты.

К сожалению, данные при одинаковом числе ядер здесь относятся к их разным типам.

Немало данных о производительности EPYC 9005 и Xeon 6980P появилось в PTS-тестах на сайте openbenchmarking.org. На 15.04.2025 в PTS-тестах молекулярной динамики (GROMACS, NAMD, LAMMPS) Xeon 6980P чаще совсем немного отставал по производительности от старших моделей EPYC 9005. Отставание также наблюдалось в приложениях молекулярного докинга (miniBUDE) и квантовой химии (NWChem).

В одних PTS-тестах из числа входящих в NPV немного быстрее был Xeon 6980P, в других – EPYC 9755. В этих данных PTS-тестов надо обращать особое внимание на «эффективность масштабирования» производительности с числом используемых ядер, про что многократно говорилось выше.

Из данных о производительности вывода моделей ИИ укажем на PTS-тесты на базе созданных Intel средств OpenVINO, в которых (на 17.01.2025) процессоры Xeon 6980P иногда опережали EPYC 9755, а иногда отставали. Автор не располагает данными об использовании AMX или оптимизированных программных средств Intel в этих тестах. Мы далее ограничимся только сравнительными данными из [200].

В таблице 46 приведено очень небольшое количество отобранных данных из полученных в [200] результатов. Отбор был ориентирован на область НРС, хотя в таблице есть и данные для теста TensorFlow. Проведенный выбор не может компенсировать указанные выше недостатки некоторых PTS-тестов, хотя менее информативные результаты мы старались не приводить.

Таблица 46. Данные о производительности процессоров Xeon 6, EPYC 9005 и предыдущих поколений Xeon и EPYC в разных тестах производительности

Модель/ число ядер	<i>n</i>	HPCG 3.1, GFLOPS	NPB 3.4 MG.C, MOPS ²	Open FOAM medium, секунд	NWChem, секунд	GROMACS, нс/день	TensorFlow ResNet-50, BS=512, изображе- ний/с
Xeon 6980P/ 128 (с MRDIMM) ¹	1	86.32	240025.24	123.73	1562.7	20.545	234.72
	2	170.16	451798.00	73.45	1609.5	32.669	180.57
Xeon 6980P/ 128	1	65.22	196892.69	131.37	1564.2	21.086	223.12
	2	127.62	387445.06	71.30	1612.6	33.120	178.53
Xeon 8592+/ 64	1	35.14	107321.89	302.06	1878.3	10.477	140.53
	2	69.30	220893.78	137.04	1809.7	18.540	169.75
Xeon Max 9480/56	1	30.59	86407.46	410.29		8.282	125.14
	2	62.64	171436.47	186.33		14.127	138.39
Xeon 8490H/ 60	1	31.07	83448.70	420.65		8.762	148.45
	2	60.85	163333.21	196.50		18.540	174.95
EPYC 9965/ 192	1	60.70	112588.99	176.40	1557.9	23.142	247.22
	2	93.62	223715.54	79.38	1594.0	30.707	204.43
EPYC 9755/ 128	1	63.67	167026.93	160.37	1326.2	22.729	246.24
	2	64.02	361767.36	74.46	1310.1	34.382	210.75
EPYC 9575F/ 64	1	63.90	159641.78	233.12	1225.7	14.651	254.02
	2	101.90	301867.19	103.87	1127.7	26.665	279.74
EPYC 9754/ 128	1	23.63	125567.07	449.47	1700.0	13.242	135.17
	2	41.87	245447.72	137.11	1712.6	21.305	174.93
EPYC 9684X/ 96	1	27.58	134994.14	178.25	1450.5	15.222	121.96
	2	44.95	244738.81	93.57	1429.9	22.525	137.50
EPYC 9654/ 96	1	28.32	116725.04	325.42	1575.5	12.514	161.90
	2	42.52	194942.32	137.11	1558.4	20.234	133.87

Примечание. Красным помечены наиболее высокопроизводительные результаты тестов (отдельно для 1P- или 2P-конфигураций). Это также показывает, большие или меньшие величины отвечают большей производительности в конкретном тесте. Синим цветом помечены данные для процессоров на ядрах Zen 5c или Zen 4c. Все варианты тестов и результаты тестов в данной таблице – из соответствующих результатов PTS-тестов на сайте openbenchmarking.org и в [200]. Используемые в таблице величины: *n* – число процессоров, BS – размер пакета.

¹ В случае отсутствия указания на используемую память в Xeon 6 подразумевается работа с DDR5-6400.

² NPB MG.C выбран из семейства тестов NPB 1.4 по соображениям большей отдаленности от области HPCG. В тестах SP.C и EP.D быстрее был Xeon 6, в тестах CG.C, LU.C и IS.D – EPYC 9005.

В этой таблице представлены результаты [200] для тестов HPCG (с размерами подсеток 144) и OpenFOAM (drivaerFastback, Medium Mesh Size), где пропускная способность памяти должна быть существенной для максимизации производительности, NPB MG.C, а также двух других обычно относимых скорее к вычислительно-интенсивным приложений НРС из области вычислительной химии – NWChem (квантовая химия) и GROMACS (молекулярная динамика).

Кроме того, в таблице представлены данные из [200] для известного PTS-теста для задач вывода ИИ - в модели RESnet-50 для фреймворка TensorFlow для пакетов размером 512. Здесь надо иметь в виду, что производительность такого теста слабо масштабируется с увеличением числа ядер при замене модели ЦП, при переходе от 1Р- к 2Р-конфигурациям с ЕРУС 9004 и Хеон EMR/SPR. Более того, на новейших процессорах Хеон 6 и ЕРУС Zen 5 производительность вообще уменьшалась при переходе от 1Р- к 2Р-конфигурации. Эти данные приведены в таблице и для иллюстрации того, что для широко распространенных тестов часто требуется аккуратный анализ для получения правильных выводов.

Несмотря на очень небольшой период после появления Хеон 6 и ЕРУС 9005, приведенные выше данные все-таки дают достаточно широкий охват областей применения для самого первоначального уровня оценок.

Хотя в таблице 46 часть тестов продемонстрировали преимущества производительности ЕРУС 9005, а другая – Хеон 6, не следует воспринимать это как имеющее общий характер. В [200], как и в результатах PTS-тестов на сайте openbenchmarking.org, уже имеется огромное количество других данных. Важно только аккуратно смотреть, какой смысл имеют эти результаты.

Но в целом, в отличие от сопоставленных в обзоре ЕРУС 9004 и Хеон SPR/EMR, процессоры Хеон 6 с момента своего появления демонстрирует, в том числе в области НРС, заметно большее число преимуществ производительности относительно ЕРУС 9005, чем это было в области «вокруг четвертого поколения» серверных процессоров x86.

Утверждение в [200] о доминировании производительности ЕРУС 9005 можно отнести только к использованному там набору тестов; в общем случае такое утверждение выглядит преждевременным. Надо также иметь в виду, что более высокая производительность могла быть достигнута там на процессорах с меньшим числом ядер.

Из сказанного выше о производительности становится еще более важным учет стоимости и энергопотребления. Цены для Хеон 6900Р и ЕРУС 9005 на момент написания обзора приведены в таблице 44. Надо отметить, что ранее цены Хеон 6900Р разработчиком предлагались существенно более высокие, заметно превосходящие цены аналогов (в первую очередь по числу ядер) в ЕРУС 9005, а в 2025 году Intel понизила цены [367]. Хотя сегодняшние цены у аналогичных процессоров Хеон и

ЕРУС близки, у Хеоп они чуть ниже. Указанные TDP у ЕРУС 9755 и Хеоп 6980P совпадают. Но по данным [200], в применявшихся там тестах средние и пиковые значения использованных процессорами ЕРУС 9965, 9755 и 9575F мощностей были заметно ниже, чем у Хеоп 6980P, который имел пиковое энергопотребление 547 Вт, заметно выше своего TDP.

В целом, что касается сопоставления потенциальной эффективности применения Хеоп 6 и AMD ЕРУС Turin, то, хотя появилось уже немало данных о производительности вычислительных систем на их основе, информации для взвешенного их анализа в настоящее время все еще недостаточно.

7. О построении узлов кластеров и суперкомпьютеров с использованием серверных x86-процессоров

В этом разделе с учетом проведенного выше анализа сформулированы некоторые общие подходы для использования серверных процессоров x86 при построении кластеров и суперкомпьютеров для задач НРС и ИИ, и даны ссылки на соответствующие публикации.

Для таких вычислительных систем сегодня возникает 3 разных базовых варианта.

- (1) Построение на базе гомогенных узлов
- (2) Гибридные варианты, когда один подкластер строится из гомогенных узлов, а другой содержит GPU (пример такого – суперкомпьютер LUMI⁵¹)
- (3) Построение с использованием гетерогенных узлов, содержащих процессоры x86 и GPU

Оптимальный выбор процессоров для вариантов (1) или (3), как и для соответствующих частей кластеров для второго варианта, может быть разным.

По умолчанию в этом разделе предполагается стремление к максимизации производительности. В случае ориентации на стоимость, отношение производительность/стоимость, энергоэффективность или плотность упаковки об этом явно говорится.

⁵¹<https://docs.lumi-supercomputer.eu/hardware/>, accessed 18.04.2025.

Кластеры и суперкомпьютеры с гомогенными узлами. Классическим примером использования кластеров с гомогенными узлами, ориентированным на задачи обработки больших данных (включая работу с БД) и ИИ, является применение кластеров Apache Spark и Hadoop (см., например, [380–385]). Однако в работе с ними можно использовать и GPU (см., например, [386–389]). Хотя целесообразность (учитывая и стоимостные показатели) применения здесь GPU в некоторых случаях, естественно, вызывает вопросы [390].

Далее в основном предполагается ориентация вычислительных систем на НРС. В случае кластера из гомогенных узлов, естественно, оптимальнее такие процессоры x86, которые и дают максимальную производительность узла там, где он будет использоваться. Для кластера или суперкомпьютера, ориентированного на использование в определенных заранее известных областях применения, может оказаться выгодным, например, отказ от необходимости поддержки высокопроизводительной реализации AVX-512, обеспечиваемой масштабируемыми процессорами Xeon 4-го и 5-го поколений, что соответственно дает потенциальные преимущества EYUC Zen 4.

В случае с небольшими кластерами, вероятно, стоимость процессоров более важна. Соответственно более естественной может быть ориентация на процессоры с более высоким соотношением производительность/стоимость, которое может быть лучше для процессоров среднего класса [100]. Полезная общая ориентация для построения экономически эффективных кластеров с узлами на базе рассматриваемых в данном обзоре процессоров для обработки больших данных дана в [391]. Для задач CFD имеется, например, специальная методика выбора аппаратных средств с учетом стоимости и производительности [392].

Но надо иметь в виду возможности эффективного распараллеливания используемых приложений внутри каждого узла, что важно в первую очередь для таких кластеров, где достаточно четко определена область их применения. При очень большом числе ядер в процессоре может возникать ситуация, когда из-за ограниченности пропускной способности памяти распараллеливание с использованием свыше определенного числа ядер процессора может стать бессмысленно, поскольку производительность далее практически не растет или начинает уменьшаться. Это может возникать у связанных памятью приложений, если пропускная способность памяти насыщается еще до использования всех доступных в процессоре ядер. Конечно, возникновение ситуации с невыгодностью увеличения числа ядер в процессорах зависит от используемого теста или приложения и размера задачи.

Плохое масштабирование производительности с увеличением числа используемых ядер в сервере чаще встречается и наиболее известно в области CFD. Так, в [393] изучена производительность при использовании релаксационных схем Рунге-Кутты в 2P-сервере с 16-ядерными Xeon E5-2698v3, и ухудшение роста производительности слабо зависело от размера задачи. Подобное ярко проявлялось еще в период использования многоядерных Intel Xeon с архитектурой MIC (Many Integrated Core) – см., например, [394].

Естественно, в CFD имеются противоположные данные о росте производительности при переходе к работе с содержащим большее число ядер и более дорогим процессором, для EPYC 9004 – см., например, данные PTS-тестов OpenFOAM и WRF в [147].

Но производительность CFD-приложения с увеличением числа ядер процессора после определенного порога может расти существенно ниже линейного ускорения. В тех же тестах в [147] для старших моделей EPYC 9004 прирост производительности в WRF был очень мал, а по соотношению производительность/стоимость 64-ядерные EPYC 9554 обгоняли 96-ядерные EPYC 9654.

Очевидно, что ухудшение масштабирования производительности только иногда обусловлено недостатками пропускной способности памяти, хотя на работу с памятью в таких случаях внимание обращают всегда (см., например, [395]).

Подобные ситуации возникают и при работе с DGEMM. Так, в [396] для DGEMM из MKL рост производительности 2P-сервера с 24-ядерными Xeon 8160 (Skylake) прекращался при использовании 16 ядер, далее производительность падала. В [397] производительность DGEMM из разработанных Intel средств Parallel Research Kernels в 2P-сервере с 8-ядерными Xeon E5-2450 прекращала расти при 8 ядрах.

Аналогичные ситуации в кластерах носят более сложный характер. Появился также специальный термин недоподписка (undersubscription), который используется в случаях, когда в узлах кластера для достижения большей производительности имеет смысл использовать в расчете меньшее число ядер, чем имеется в наличии, а причина этого до сих пор не выявлена. Естественно, такое наблюдается в CFD. Так, было показано, что в приложении Ansys Fluent за счет недоподписки при работе с 60-ядерными EPYC Zen 3 (7V73X) можно получить ускорение расчета до 50% [395]. Возможно, эффект недоподписки имеет место в случае распараллеливания с применением турбо-частот процессоров в узлах кластера.

Использование в узлах процессоров с меньшим числом ядер дает не только заметно меньшую стоимость, обычно более важную для кластера, но и возможно определенный рост производительности за счет более высоких тактовых частот в таких процессорах, что характерно для моделей EYUC 9004. Аналогично может оказаться, например, эффективнее применение в узлах Xeon Gold, а не Xeon Platinum. Это соответствует сказанному чуть выше о возможной ориентации на модели процессоров среднего класса. В предельном случае, когда потребность в достигаемом уровне производительности не так высока, может оказаться, что по соотношению производительность/стоимость выгоднее создать кластер из двух узлов с процессорами с меньшим числом ядер, чем использовать один сервер с процессорами с большим числом ядер.

С другой стороны, с увеличением числа узлов в кластере также может наблюдаться отклонение масштабирования производительности в сильно худшую от ее линейного роста сторону. Для определения, сколько узлов в кластере и какие узлы/процессоры оптимально выбрать для решения задач CFD, в [398] предложена общая методика. В ней учитывается производительность и стоимость (и соответственно энергоэффективность). Хотя эта методика была продемонстрирована на примере приложения Fluent, она применима и для других приложений.

Для больших кластеров и суперкомпьютеров их четкая ориентация на определенные приложения мало вероятна, скорее предполагается применение самых разных, заранее непредсказуемых приложений. Соответственно оптимизация выбора процессоров для определенных приложений бессмысленна. Для суперкомпьютеров чаще выбираются топ-модели соответствующих семейств процессоров, и больше важны энергоэффективность (и соответственно важна TDP) и плотность упаковки. Соответствующие вопросы практического и эффективного построения узлов суперкомпьютеров с производительностью свыше 100 TFLOPS (в том числе с ориентацией на экзамасштабируемые суперкомпьютеры и применение GPU) рассмотрены в [399].

Кластеры и суперкомпьютеры с гетерогенными узлами.

Для случаев построения вычислительной системы с гетерогенными, содержащими процессоры x86 и GPU узлами, ситуация в основном иная.

В гетерогенных узлах с GPU требования к процессорам во многом иные, чем для гомогенных узлов. Задачи процессоров x86 – загружать и

обслуживать ОС, запускать на выполнение программы, и самое важное - производить обмен данными с одним или несколькими GPU в узле. В «предельном случае» практически все обеспечение производительности передается в GPU, задача процессора - в основном коммуникации с GPU (или - не обязательно - между узлами). Все расчеты по сути выполняются на GPU. Тогда главным становится обеспечение быстрого обмена данными с GPU, а не высокая производительность самих процессоров.

Хотя все суперкомпьютеры требуют максимизации энергоэффективности и плотности упаковки, для содержащих GPU узлов (а применение GPU повышает энергоэффективность) это может стать еще более важным. Поэтому считающиеся в первую очередь энергоэффективными процессоры ARM здесь становятся весьма актуальными.

Сначала рассмотрим вариант, когда процессоры и GPU в узлах отделены друг от друга, а потом – вариант с интегрированными в единую микросхему процессорами с GPU.

Как указано в [391], при использовании прямого удаленного доступа к памяти (RDMA) применение IOD в EPC 9004 с интеграцией там контроллера памяти и PCIe дает короткий путь между памятью и PCIe, что способствует уменьшению задержки и увеличению использования пропускной способности обменов данных между памятью и PCIe. Это важно для вычислительных систем, содержащих GPU, которые часто подсоединяются по PCIe. В Xeon EMR обращение к памяти и PCIe распределено между ядрами, что увеличивает длину пути таких передач данных. Но в других ситуациях это дает плюс для Xeon EMR [391]. Здесь следует отметить, что в Xeon 6 также стал применяться IOD (см. раздел 7 выше).

Все это становится более важным, поскольку в современных суперкомпьютерах увеличивается число GPU в узле, приходящихся на один процессор [144]. Так, в суперкомпьютере Titan это соотношение было 1:1, в Summit – 3:1, а в Frontier – 4:1 [399]. И во Frontier более 99% операций с плавающей запятой приходится на графические процессоры [144].

Соответственно становится более важной и максимизация пропускной способности оперативной памяти с процессором, для чего необходимо использовать оптимальную NUMA-конфигурацию. Так, в 1P-узлах суперкомпьютера Frontier с 64-ядерными EPC 7A53 используется NPS=4. Пропускная способность в тестах stream с NPS=4 достигала 180 ГБ/с, а с NPS=1 – только около 125 ГБ/с [144].

Также важнее становится поддержка в процессоре возможно специфического межсоединения GPU производителя, или универсальных PCIe или CLX. Применение для этих целей ARM-процессоров может оказаться более эффективным, что и было реализовано в объединенной микросхеме Nvidia GH200 [2].

Но на сегодня подавляющее большинство серверов с GPU используют x86-процессоры Xeon или EPYC. Возможно пониженные требования к производительности многоядерных x86 в гетерогенных узлах, даже содержащих по несколько GPU, приводят к тому, что в серверах-узлах суперкомпьютеров часто оказывается достаточным применение одного процессора с большим числом ядер, а не работа с традиционными для HPC 2P-серверами.

Иллюстрацией этого являются, например, мощные суперкомпьютеры ноябрьского списка TOP500 2024 года, которые используют в узлах один оптимизированный 64-ядерный EPYC Trento Zen 3 с четырьмя GPU AMD MI250X – это бывший лидер списка Frontier [144], занимающий 5-е место в этом списке лидирующий по производительности в Европе суперкомпьютер HPC6⁵² и находящийся на 8-м месте LUMI G⁵³. Занимающий там 19-е место Perlmutter⁵⁴ содержит в узлах один 56-ядерный EPYC 7763 с четырьмя GPU Nvidia A100. В этих суперкомпьютерах используются современные GPU как от AMD, так и от Nvidia. Но одного процессора с меньшим числом ядер в узле может быть недостаточно.

Можно указать также на входящий в TOP500 немецкий суперкомпьютер HoreKa-Teal, где в узлах совместно с четырьмя GPU Nvidia H100 применяются по два 32-ядерных EPYC 9354 [145].

Здесь приводились примеры с процессорами AMD EPYC, поскольку они активно используются в лидирующих суперкомпьютерах TOP500 совместно как с GPU от AMD, так и с GPU от Nvidia. Это во многом связано и с активным применением в суперкомпьютерах готовых узлов HPE Cray, например, EX235a (с GPU AMD) и EX235n (с GPU Nvidia) [403]. В кратком описании этих узлов⁵⁵ указывается только количество сокетов и тип процессора, а не его конкретная модель.

⁵²<https://www.eni.com/en-IT/actions/energy-transition-technologies/supercomputing-artificial-intelligence/supercomputer.html>, accessed 20.04.2025.

⁵³<https://docs.lumi-supercomputer.eu/hardware/lumig/>, accessed 18.04.2025.

⁵⁴<https://docs.nersc.gov/systems/perlmutter/architecture/>, accessed 18.04.2025.

⁵⁵https://www.hpe.com/psnow/doc/a00094635enw?jumpid=in_pdfviewer-psnow, accessed 19.04.2025.

Процессоры Xeon 8480C, содержащие по 56 ядер, также часто используются в узлах суперкомпьютеров с GPU Nvidia H100. В суперкомпьютере Aurora (второе место в списке TOP500) в узлах применяется по два 52-ядерных Xeon Max 9470C и по 6 GPU от Intel (ранее именовавшихся Ponte Vecchio) [353]. Для уточнения отметим, что модели с суффиксом C отличаются от «обычных» только несколько пониженными максимальными температурными показателями и отсутствием некоторых неинтересных для задач обзора опций.

Здесь также нужно обратить внимание на то, что все больший процент серверов с GPU или гетерогенных узлов, содержащих GPU, используются для задач ИИ. Там для наиболее крупномасштабных таких задач требуется огромная емкость памяти, и в «GPU-части» также. Но соответственно процессоры серверов/узлов должны иметь возможность работы с очень большим адресным пространством и в физическом плане также, и ожидаемое распространение CXL-памяти, поддержка которой имеется в рассматриваемых в обзоре процессорах AMD и Intel, может стать большим потенциальным плюсом.

Использование в узлах процессоров, интегрированных с GPU, снимает вопрос выбора процессоров для узла, поскольку это уже сделано производителем. В ряде суперкомпьютеров ноябрьского списка TOP500 2025 года в узлах применяется Nvidia GH200, где с GPU интегрирован 72-ядерный ARM Grace [13, 357] (наивысшее среди них, седьмое место занимает суперкомпьютер Alps [404]). Но не менее активно в этом списке использовался и AMD MI300A, в котором с GPU интегрирован 24-ядерный процессор Zen 4 [405]. Лидер TOP500, эксафлопсный суперкомпьютер Ливерморской национальной лаборатории имени Лоуренса El Capitan, содержит в узлах по четыре MI300A. В этих суперкомпьютерах также применяются готовые узлы HPE Cray EX254n и EX255a [403].

Выводы

Приводимые далее выводы относятся к рассматриваемому в обзоре условному четвертому поколению Xeon и EPYC, если явно не обговаривается иное (например, для процессоров Xeon 6 или EPYC Zen 5).

1. Современное состояние серверных процессоров x86-64 показывает, что в целом преимущество в производительности и энергоэффективности (а также в стоимостном плане) сегодня получает фирма, имеющая преимущество в используемой полупроводниковой технологии (AMD с технологией от TSMC поэтому чаще опережала Intel). Это подтверждается и успехом Intel с Xeon 6 после появления новой технологии Intel 5 нм.
2. В случае применения современных полупроводниковых технологий от 10 нм (Intel Xeon SPR) и ниже оптимальным для таких процессоров становится применение чиплетов и, возможно, трехмерных технологий.
3. Современные ARM-процессоры по производительности (и производительности на ядро) продолжают отставать от старших моделей процессоров x86, отнесенных в обзоре к условному 4-му поколению. Хотя преимуществами ARM-процессоров по сравнению с серверными процессорами x86-64 обычно считают энергоэффективность, данные тестов SPECpower_ssj 2008 показывали противоположные результаты.
4. Хотя в большинстве широко распространенных областей применения серверных процессоров EYUC 9004 опережают по эффективности Xeon SPR (включая Xeon Max) и Xeon EMR, имеется много важных более узких ниш, в которых эти поколения Intel Xeon могут оказаться эффективнее.

В области НРС это могли бы быть Xeon EMR с приложениями, где производительность лимитируется умножениями матриц. Хотя это относится к достаточно небольшой части НРС, а прямые данные о более высокой производительности DGEMM для Xeon 8592+ по сравнению со старшими моделями EYUC 9004 автору неизвестны. Большее число ядер в таких моделях EYUC элиминирует возможные плюсы Xeon EMR. А, например, в активно использующем умножения матриц тесте HPL имеются приведенные выше данные о более высокой производительности EYUC.

В области ИИ (если для соответствующей задачи не лучше сразу применять GPU) Xeon (особенно Xeon EMR) может быть эффективнее благодаря применению АМХ-расширения в ISA.

В области применения БД в памяти преимущества Xeon вызваны поддержкой до восьми сокетов в серверах, что дает возможность работать с общей памятью очень большой емкости, которая недоступна для 2P-серверов. Поддержка работы с серверами на базе Xeon, имеющими свыше «обычных» двух сокетов является общим преимуществом, которое может проявляться и в других областях применения, например, и для задач ИИ.

Применение в Хеон специализированных акселераторов создают другие возможности для образования таких ниш.

5. Хотя преимущества серверных процессоров AMD стали возникать достаточно давно (после появления процессоров AMD Zen 2 Rome в 2019 году), с ЕРУС 9004 область их оптимального применения (вплоть до момента появления Intel Xeon 6 Granite Rapids) максимально расширилась.

С появлением осенью 2024 года процессоров Intel Xeon 6 Granite Rapids (Xeon 6900P) и AMD Zen 5 Turin (ЕРУС 9005) с новыми полупроводниковыми технологиями ситуация поменяется. Хотя во многих случаях процессоры ЕРУС 9005 показывают более высокую производительность, Хеон 6900P демонстрирует возможную ликвидацию достаточно длительного отставания серверных процессоров Intel по производительности. В Хеон 6900P Intel добилась успеха и за счет увеличенной пропускной способности памяти (где раньше были отставания от AMD по производительности в связанных памятью приложениях), а AMD сделала определенный шаг вперед при работе с AVX-512, где она могла отставать в производительности.

6. По мере роста числа ядер в процессорах стали чаще возникать ситуации, когда для традиционных НПС-приложений применение более старших и более дорогих моделей с очень большим числом ядер в конкретных расчетах может дать более низкую производительность, чем применение процессоров с меньшим числом ядер (и с повышенными тактовыми частотами). Ранее такое было известно в основном для задач CFD – когда эффективнее было применять кластеры с процессорами, имеющими меньшее число ядер.

В старших моделях с большим числом ядер может оказываться более низким показатель теоретической пропускной способности памяти в расчете на одно ядро, а имеющиеся данные, например, для Хеон SPR и Хеон Max, говорят о существенном уменьшении прироста пропускной способности памяти при увеличении числа ядер. Все это соответственно способствует ухудшению распараллеливания с ростом числа ядер.

Это привело к недостаточности данных от широко выполняемых тестов производительности (в том числе с применением приложений), поскольку в них обычно отсутствует анализ зависимости производительности от числа применяемых ядер (например, в тестах PTS в openbenchmarking.org). В результате некоторые оценки производительности во многом теряют свой смысл и не демонстрируют эффективности применения различных моделей процессоров.













7. Применение аппаратных средств поддержки безопасности в рассматриваемых процессорах, возможно, будет расширяться по мере расширения использования облачных технологий. Созданная Intel новая технология TDX была основана на огромном объеме работы, в том числе в сотрудничестве с другими известными компаниями. TDX включает расширения в ISA и требует доработки приложений для ее применения. Поэтому TDX – это большой задел на будущее, в первую очередь для облачных приложений. AMD в EYUC использует чисто аппаратные средства безопасности, более простые по сути.
















Однако данные о том, что применение средств безопасности в современных процессорах вызывает большие понижения производительности для HPC, а также необходимость применения для работы с TDX модернизации кодов приложений делают это неэффективным для высокопроизводительных вычислений.















8. Важнейшим потенциальным преимуществом Intel остаются созданные фирмой средства разработки программ, включая oneAPI с C++/DPC++. Несмотря на наблюдавшиеся преимущества производительности современных серверных процессоров AMD, традиционное широкое применение SDK Intel может способствовать сохранению ориентации на Xeon. Хотя применение oneAPI как открытого стандарта с открытым исходным кодом может отчасти одновременно и нивелировать плюсы Xeon по отношению к EYUC.
9. Возможно, применение современных серверных процессоров для задач ИИ будет расширяться, в том числе и с применением кластеров Apache Hadoop или Spark. В первую очередь это вероятно по отношению к выводам моделей ИИ. Но в каких случаях и насколько это может быть реально эффективно по сравнению с работой на GPU, пока не совсем ясно.
10. Что касается суперкомпьютерных технологий и построения кластеров, сказанное выше ранее давало преимущества для EYUC при их использовании как в гомогенных узлах, так и в гетерогенных с использованием GPU. Для гомогенных узлов без GPU появление Xeon 6 дает возможное нивелирование отставания в производительности этого поколения Xeon по сравнению с Zen 5. В гетерогенных узлах с GPU могут быть несколько иные задачи для процессоров, с большими требованиями к пропускной способности памяти, которая может оказаться в настоящее время выше в Xeon 6 с более высокоскоростной памятью. Важным может стать и преимущественная ориентация AMD на задачи HPC, хотя EYUC 9004 активно применяются и для задач ИИ.



















Список использованных источников



















- [1] *Top500 the list*, The Top500 ranking, 63rd.– 2025.  [↑280, 290](#)
- [2] Кузьминский М. Б. *Новое поколение GPGPU и дополнительных аппаратных средств для построения вычислительных систем с этими графическими процессорами: микроархитектура и производительность от серверов до суперкомпьютеров* // Программные системы: теория и приложения.– 2024.– Т. 15.– № 2(61).– С. 139–473.   [↑280, 281, 285, 301, 309, 317, 404, 480](#)
- [3] Drávai B., Reguly I. Z. *Benchmarking the evolution of performance and energy efficiency across recent generations of Intel Xeon processors* // *PMBS 2024: 15th IEEE International Workshop on Performance Modeling, Benchmarking, and Simulation of High Performance Computer Systems* (Atlanta, GA, USA, 17–22 November 2024).– IEEE.– 2024.– ISBN 979-8-3503-5554-3.– Pp. 1413–1419.  [↑280, 453, 462](#)
- [4] Torres L. A., Barrios C. J., Denneulin Y. *Evaluation of computational and energy performance in matrix multiplication algorithms on CPU and GPU using MKL, cuBLAS and SYCL*.– 2024.– 14 pp.  [2405.17322](#) [↑280, 426](#)
- [5] *Top500 the list*, The Top500 ranking, 61st.– 2023.  [↑280](#)
- [6] Duan X., Wang J., Gao P., Ma M., Gan L., Liu X., Fu H., Xue W., Chen D., Yang G., Liu W. *Enabling real world scale structural superlubricity all-atom simulation on the next-generation sunway supercomputer* // *Proceedings of the International Conference for High Performance Computing, Networking, Storage and Analysis* (Denver, CO, USA, 12–17 November 2023), New York: ACM.– 2023.– ISBN 979-8-4007-0109-2.– id. 99.– 14 pp.  [↑280](#)
- [7] Кузьминский М. Б. *Современные серверные ARM-процессоры для суперЭВМ: A64FX и другие. Начальные данные тестов производительности* // Программные системы: теория и приложения.– 2022.– Т. 13.– № 1 (52).– С. 63–129; Kuzminsky M. B. *Modern server ARM processors for supercomputers: A64FX and others. Initial data of benchmarks* // *Program Systems: Theory and Applications*.– 2022.– Vol. 13.– No. 1(52).– Pp. 131–194.     [↑280, 306, 404](#)
- [8] Simakov N. A., Deleon R. L., White J. P., Jones M. D., Furlani T. R., Siegmann E., Harrison R. J. *Are we ready for broader adoption of ARM in the HPC community: Performance and energy efficiency analysis of benchmarks and applications executed on high-end ARM systems* // *International Conference on High Performance Computing in Asia-Pacific Region Workshops, HPCASIAWORKSHOP 2023* (Raffles Blvd, Singapore, February 27–March 2, 2023), New York: ACM.– 2023.– ISBN 978-1-4503-9989-0.– Pp. 78–86.  [↑280, 288, 289](#)
- [9] Rahman T. N., Khan N., Zaman Z. I. *Redefining computing: Rise of ARM from consumer to Cloud for energy efficiency*.– 2024.– 19 pp.  [2402.02527](#) [↑280](#)
- [10] Loghin D. *Are ARM cloud servers ready for database workloads? An experimental study* // *IEEE Transactions on Cloud Computing*.– 2024.– Vol. 12.– No. 3.– Pp. 818–829.  [↑280](#)






















- [11] Matha R., Kimovski D., Zabrovskiy A., Timmerer C., Prodan R. *Where to encode: A performance analysis of x86 and arm-based Amazon EC2 instances // 2021 IEEE 17th International Conference on eScience (eScience)* (Innsbruck, Austria, 20–23 September 2021).— IEEE.— 2021.— ISBN 978-1-6654-0361-0.— Pp. 118–127.  [↑280](#)
- [12] Larrabel M. *NVIDIA GH200 CPU Performance Benchmarks Against AMD EPYC™ Zen 4 & Intel Xeon Emerald Rapids*, Processors Linux Reviews & Articles.— Phoronix Media.— 2024.— 5 pp.  [↑281, 348](#)
- [13] Laukemann J., Hager G., Wellein G. *Microarchitectural comparison and in-core modeling of state-of-the-art CPUs: Grace, Sapphire Rapids, and Genoa*.— 2024.— 5 pp.  [2409.08108](#) [↑281, 386, 387, 481](#)
- [14] Siegmann E., Harrison R. J., Carlson D., Chheda S., Curtis A., Coskun F., Gonzalez R., Wood D., Simakov N. A. *First impressions of the sapphire rapids processor with HBM for scientific workloads // SN Computer Science*.— 2024.— Vol. 5.— No. 5.— id. 623.— 11 pp.  [↑281, 408, 455, 459, 460](#)
- [15] Kotra J. B., Kalamatianos J. *Improving the utilization of micro-operation caches in x86 processors // 2020 53rd Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)* (Athens, Greece, 17–21 October 2020).— IEEE.— 2020.— ISBN 978-1-7281-7384-9.— Pp. 160–172.  [↑281](#)
- [16] Ren X., Moody L., Taram M., Jordan M., Tullsen D. M., Venkat A. *I see dead μops: Leaking secrets via Intel/AMD micro-op caches // ISCA '21: Proceedings of the 48th Annual International Symposium on Computer Architecture* (Virtual Event, Spain, 14–19 June 2021).— IEEE.— 2021.— ISBN 978-1-4503-9086-6.— Pp. 361–374.  [↑281](#)
- [17] *Introducing Intel Advanced Performance Extensions (Intel APX) Upd. 3/5/2024*.— 2024 (Accessed 31.07.2024^(*)).  [↑281](#)
- [18] Blem E., Menon J., Sankaralingam K. *A detailed analysis of contemporary ARM and x86 architectures*, UW-Madison Technical Report.— 2013 (Accessed 12.05.2025).— 13 pp.  [↑281](#)
- [19] Blem E., Menon J., Sankaralingam K. *Power struggles: Revisiting the RISC vs. CISC debate on contemporary ARM and x86 architectures // HPCA '13: Proceedings of the 2013 IEEE 19th International Symposium on High Performance Computer Architecture (HPCA)* (23–27 February 2013).— IEEE.— 2013.— ISBN 978-1-4673-5585-8.— Pp. 1–12.  [↑281](#)
- [20] Blem E., Menon J., Vijayaraghavan T., Sankaralingam K. *ISA wars: Understanding the relevance of ISA being RISC or CISC to performance, power, and energy on modern architectures // ACM Transactions on Computer Systems (TOCS)*.— 2015.— Vol. 33.— No. 1.— id. 3.— 34 pp.  [↑281](#)
- [21] Lam Ch. *Why x86 doesn't need to die*.— 2024 (Accessed 12.05.2025).  [↑282](#)
- [22] Troester K., Bhargava R. *AMD next generation “Zen 4” Core and 4th Gen AMD EPYC™ 9004 server CPU // 2023 IEEE Hot Chips 35 Symposium (HCS)* (Palo Alto, CA, USA, 27–29 August 2023).— IEEE.— 2023.— ISBN 9798350339086.— Pp. 1–25.  [↑282, 303, 304, 305, 306, 307, 308, 310, 312, 316](#)

- [23] *4th Gen AMD EPYC™ processor architecture*, White Paper 3rd Ed.– 2023 (Accessed 2.08.2024).  [↑282, 294, 305, 306, 307, 309, 312, 313, 315, 317, 319, 320, 324, 325, 378](#)
- [24] Polgár P., Menyhárt T., Baksay B. C., Kocsis G., Tajti T. G., Gál Z. *Three level benchmarking of Singularity containers for scientific calculations* // *Annales Mathematicae et Informaticae*.– 2023.– Vol. **58**.– Pp. 133–146.  [↑282](#)
- [25] Szustak L., Wyrzykowski R., Kuczynski L., Olas T. *Architectural adaptation and performance-energy optimization for CFD application on AMD EPYC™ Rome* // *IEEE Transactions on Parallel and Distributed Systems*.– 2021.– Vol. **32**.– No. 12.– Pp. 2852–2866.  [↑282](#)
- [26] *Cloud/CPU/Java/Power/Storage/Virtualization Benchmarks* (Accessed 19.12.2024).  [↑283](#)
- [27] *Processors benchmarks results* (Accessed 19.12.2024).  [↑283](#)
- [28] *Official Phoronix Test Suite tests* (Accessed 19.12.2024).  [↑283](#)
- [29] Larabel M. *AMD EPYC™ 7302/7402/7502/7742 Linux Performance Benchmarks*.– 2019 (Accessed 12.05.2025).– 9 pp.  [↑283](#)
- [30] Larabel M. *AMD EPYC™ 7003 “Milan” Linux Benchmarks - Superb Performance*.– 2021 (Accessed 12.05.2025).– 12 pp.  [↑283](#)
- [31] Larabel M. *Intel Xeon Ice Lake vs. AMD EPYC™ Milan Server performance, efficiency & value in*.– 2023 (Accessed 12.05.2025).– 10 pp.  [↑283](#)
- [32] Akter S., Khalil K., Bayoumi M. *A survey on hardware security: Current trends and challenges* // *IEEE Access*.– 2023.– Vol. **11**.– Pp. 77543–77565.  [↑283](#)
- [33] Francillon A., Castelluccia C. *Code injection attacks on harvard-architecture devices* // *CCS '08: Proceedings of the 15th ACM conference on Computer and communications security* (Alexandria, Virginia, USA, 27–31 October 2008), New York: ACM.– 2008.– ISBN 978-1-59593-810-7.– Pp. 15–26.  [↑283](#)
- [34] Zhang J., Chen C., Cui J., Li K. *Timing side-channel attacks and countermeasures in CPU microarchitectures* // *ACM Computing Surveys*.– 2024.– Vol. **56**.– No. 7.– id. 178.– 40 pp.  [↑283](#)
- [35] Chen W., Zhao Yu., Zhang Y., Qiang W., Zou D., Jin H. *ReminISCence: trusted monitoring against privileged preemption side-channel attacks* // *Computer Security — ESORICS 2024: 29th European Symposium on Research in Computer Security* (Bydgoszcz, Poland, 16–20 September 2024), Berlin–Heidelberg: Springer-Verlag.– 2024.– ISBN 978-3-031-70902-9.– Pp. 24–44.  [↑283](#)
- [36] Wikner J., Razavi K. *Breaking the barrier: post-barrier spectre attacks* // *2025 IEEE Symposium on Security and Privacy (SP)* (San Francisco, CA, USA, 12–15 May 2025).– IEEE.– ISBN 979-8-3315-2236-0.– Pp. 3516–3533.  [↑283, 411](#)
- [37] Li L., Yavarzadeh H., Tullsen D. *Indirector: high-precision branch target injection attacks exploiting the indirect branch predictor* // *SEC '24: Proceedings of the 33rd USENIX Conference on Security Symposium* (Philadelphia, PA, USA, 14–16 August 2024), Berkeley: USENIX Ass..– 2024.– ISBN 978-1-939133-44-1.– Pp. 2137–2154.– id. 120.  [↑283, 411](#)



- [38] Aktas E., Cohen C., Eads J., Forshaw J., Wilhelm F. *Intel Trust Domain Extensions (TDX) security review*, Google technical report.— 2023 (Accessed 12.05.2025).— 81 pp.  [↑283, 400, 401](#)
- [39] Wikner J., Trujillo D., Razavi K. *Phantom: exploiting decoder-detectable mispredictions // MICRO '23: Proceedings of the 56th Annual IEEE/ACM International Symposium on Microarchitecture* (Toronto, ON, Canada, 28 October 2023–1 November 2023), New York: ACM.— 2023.— ISBN 979-8-4007-0329-4.— Pp. 49–61.  [↑284](#)
- [40] Trujillo D., Wikner J., Razavi K. *INCEPTION: exposing new attack surfaces with training in transient execution // SEC '23: Proceedings of the 32nd USENIX Conference on Security Symposium* (Anaheim, CA, USA, 9–11 August 2023), Berkeley: USENIX Ass.— 2023.— ISBN 978-1-939133-37-3.— Pp. 7303–7320.— id. 409.  [↑284](#)
- [41] Wang P. L., Paccagnella R., Wahby R. S., Brown F. *Bending microarchitectural weird machines towards practicality // SEC '24: Proceedings of the 33rd USENIX Conference on Security Symposium* (Philadelphia, PA, USA, 14–16 August 2024), Berkeley: USENIX Ass.— 2024.— ISBN 978-1-939133-44-1.— Pp. 1099–1116.— id. 62.  [↑284](#)
- [42] Jattke P., Wipfli M., Solt F., Marazzi M., Bölskei M., Razavi K. *ZENHAMMER: Rowhammer attacks on AMD zen-based platforms // SEC '24: Proceedings of the 33rd USENIX Conference on Security Symposium* (Philadelphia, PA, USA, 14–16 August 2024), Berkeley: USENIX Ass.— 2024.— ISBN 978-1-939133-44-1.— Pp. 1615–1633.  [↑284](#)
- [43] Gast S., Juffinger J., Maar L., Royer C., Kogler A., Gruss D. *Remote scheduler contention attacks.*— 2024.— 22 pp. [arXiv:2404.07042](#)  [↑284](#)
- [44] Kim T., Jang H., Shin Y. *Demoting security via exploitation of cache demote operation in Intel's latest ISA extension.*— 2025.— 18 pp. [arXiv:2503.10074](#)  [↑284](#)
- [45] *Intel C741 Chipset* (Accessed 28.07.2024^(*)).  [↑285, 402](#)
- [46] Pano V., Kuttappa R., Taskin B. *3D NoCs with active interposer for multi-die systems // Proceedings of the 13th IEEE/ACM International Symposium on Networks-on-Chip* (New York, 17–18 October 2019), New York: ACM.— 2019.— ISBN 978-1-4503-6700-4.— Pp. 1–8.— id. 14.  [↑285](#)
- [47] *Second Generation Intel Xeon Scalable Processors Product Brief.*— 2019 (Accessed 12.05.2025^(*)).  [↑285](#)
- [48] Atkins B., Chang J., Hatch J., Lee D., Napombejara Ch., Popp M. *The Future of AMD.*— 2007 (Accessed 28.07.2024).— 39 pp.  [↑286](#)
- [49] *CPU Specs Database* (Accessed 17.12.2024).  [↑286, 310, 314, 338, 364, 375, 378, 391, 419, 451, 467, 468](#)
- [50] *Intel Processors Product Specifications* (Accessed 23.02.2025^(*)).  [↑286, 391](#)
- [51] *All SPEC CPU2017 Results Published by SPEC* (Accessed 19.05.2025).  [↑286, 302, 450](#)


















- [52] *High End CPUs – Intel vs AMD.*– CPU Benchmarks.– 2024 (Accessed 29.07.2024).  [↑286, 287](#)
- [53] McCalpin J. D. *Memory bandwidth and system balance in HPC systems*, SC16 Invited Talk: Memory Bandwidth and System Balance in HPC Systems.– 2016 (Accessed 12.05.2025).  [↑287](#)
- [54] Katz R. H., Hennessy J. L. *High performance microprocessor architectures.*– 1976 (Accessed 19.05.2024).– 17 pp.  [↑287](#)
- [55] Guiang C. S., Milfeld K. F., Purkayastha A., Boisseau J. R. *Memory performance of dual-processor nodes: comparison of Intel Xeon and AMD Opteron memory subsystem architectures // 4th LCI International Conference on Linux Clusters: The HPC Revolution* (San Jose, California, USA, 23–26 June 2003).– 2003 (Accessed 2.05.2025).– 24 pp.  [↑287](#)
- [56] McCalpin J. D. *The evolution of single-core bandwidth in multicore processors.*– 2023; *The evolution of single-core bandwidth in multicore systems — update* (Accessed 21.05.2025).   [↑287](#)
- [57] Guest M., Munoz J., Green T. *Performance of community codes on multi-core processors. An analysis of computational chemistry and ocean modelling applications // Computing Insight UK 2022 Conference* (Manchester Central Convention Complex, 1–2 December 2022).– 2022 (Accessed 22.11.2024).  [Guest.pdf](#) [↑288](#)
- [58] *HPC Challenge Benchmark.*– 2022 (Accessed 1.12.2024).  [↑288](#)
- [59] Eshelman E. *Detailed specifications of the “Ice Lake SP” Intel Xeon Processor Scalable Family CPUs.*– 2021 (Accessed 12.05.2025).  [↑289, 290](#)
- [60] Eshelman E. *Detailed specifications of the AMD EPYC™ “Milan” CPUs.*– 2021 (Accessed 12.05.2025).  [↑289, 291](#)
- [61] *Top500 the list*, List Statistics of TOP500, 63rd edition.– 2024 (Accessed 12.05.2025).  [↑290](#)
- [62] Nana R., Tadonki C., Dokladal P., Mesri Y. *Energy concerns with HPC systems and applications.*– 2023.– 20 pp. [arXiv:2309.08615](#)  [↑292](#)
- [63] *Fujitsu server PRIMERGY performance report*, PRIMERGY RX8770 M7 Vers.1.1.– 2023 (Accessed 31.07.2024).  [↑292, 426, 429, 434](#)
- [64] *Calculate the Max Flops on Skylake.*– 2018 (Accessed 8.02.2025).  [↑293](#)
- [65] Mulnix D. L. *Third generation Intel Xeon processor Scalable family on two socket platform technical overview.*– 2024 (Accessed 4.12.2024^(*)).  [↑293](#)
- [66] *Intel Xeon 6.*– 2024 (Accessed 4.10.2024^(*)).  [↑293](#)
- [67] Karpowicz M. P. *Energy-efficient CPU frequency control for the Linux system // Concurrency and Computation: Practice and Experience.*– 2016.– Vol. **28**.– No. 2.– Pp. 420–437.  [↑293](#)
- [68] Brodowski D., Golde N., Wysocki R. J., Kumar V. *CPU frequency and voltage scaling code in the Linux kernel.*– 2017 (Accessed 12.05.2025).  [↑293, 295, 296](#)














- [69] Sinkar A. A., Wang H., Kim N. S. *Workload-aware voltage regulator optimization for power efficient multi-core processors* // *2012 Design, Automation & Test in Europe Conference & Exhibition (DATE)* (Dresden, Germany, 12–16 March 2012).– IEEE.– 2012.– Pp. 1134–1137.  ^{↑293}
- [70] *Advanced Configuration and Power Interface (ACPI) Specification*, Release 6.5.– UEFI Forum, Inc.– 2022 (Accessed 12.05.2025).– 1126 pp.  ^{↑293}
- [71] Chen J., Wolford R. *Understanding P-state control on Intel Xeon Scalable Processors to maximize energy efficiency*.– 2019 (Accessed 12.05.2025).– 34 pp.  ^{↑294}
- [72] *CPU frequency scaling*.– 2025 (Accessed 8.02.2025).  ^{↑294}
- [73] *OpenSuSE Leap 15.5 Power Management* (Accessed 8.02.2025).  ^{↑294, 295, 296}
- [74] *Chapter 17. Tuning CPU frequency to optimize energy consumption*, A Red Hat training course.– 2024 (Accessed 8.02.2025).  ^{↑294, 295, 296}
- [75] *oneAPI — What is it?*– 2024 (Accessed 11.08.2024^(*)).  ^{↑297, 300}
- [76] *High Performance Toolchain: Compilers, Libraries & Profilers*, Tuning Guide AMD EPYC™ 9004. Rev. 1.4.– 2023 (Accessed 5.10.2024).– 54 pp.  ^{↑297}
- [77] *AMD Optimizing C/C++ and Fortran Compilers (AOCC)*.– 2024 (Accessed 3.09.2024).  ^{↑298}
- [78] *AMD AOCC User Guide*.– 2024 (Accessed 3.09.2024).– 42 pp.  ^{↑298}
- [79] Larabel M. *AMD AOCC 5.0 Compiler Released With Zen 5 Support, new optimizations*.– 2024 (Accessed 12.10.2024).  ^{↑298}
- [80] *HPE Cray Compiler Environment*.– 2024 (Accessed 12.05.2025).  ^{↑298}
- [81] *HPE Cray Programming Environment User Guide: HPCM on HPE Cray:Supercomputing EX and HPE Cray Supercomputing Systems (24.07)*, S-8023.– 2024 (Accessed 3.10.2024).– 33 pp.  ^{↑298}
- [82] *HPE Cray Supercomputing Programming Environment Software Overview*.– 2024 (Accessed 27.10.2024).– 9 pp.  ^{↑298}
- [83] *NVIDIA HPC SDK Version 24.7 Documentation*.– 2024 (Accessed 3.09.2024).  ^{↑298}
- [84] Saastad O. W., Kapanova K., Markov S., Morales C., Shamakina A., Johnson N., Krishnasamy E., Varrette S. *Best Practice Guide Modern Processors*/ed. Shoukourian H.– PRACE.– 2020 (Accessed 28.11.2024).– 106 pp.  ^{↑299}
- [85] Halbiniak K., Wyrzykowski R., Szustak L., Kulawik A., Meyer N., Gepner P. *Performance exploration of various C/C++ compilers for AMD EPYC™ processors in numerical modeling of solidification* // *Advances in Engineering Software*.– 2022.– Vol. **166**.– id. 103078.  ^{↑299}
- [86] Machado R. R. L., Eitzinger J., Laukemann J., Hager G., Köstler H., Wellein G. *MD-Bench: Engineering the in-core performance of short-range molecular dynamics kernels from state-of-the-art simulation packages*.– 2023.– 17 pp. arXiv  ^{↑299} 2302.14660
















- [87] Dal D., Celik E. *Investigation of the impact of different versions of GCC on various metaheuristic-based solvers for traveling salesman problem* // The Journal of Supercomputing.– 2023.– Vol. **79**.– No. 11.– Pp. 12394–12440.  [↑299](#)
- [88] *4th Gen AMD EPYC™ Processor Benchmark Report v. 1.0*, CC00204.– 2023 (Accessed 11.10.2024).– 22 pp.  [↑299](#), 302, 306, 339, 346, 347, 363, 364, 365, 366
- [89] *EPYC™ CPU Overview*.– 2024 (Accessed 6.10.2024).– 46 pp.  Sinica_HPC workshop.pdf [↑299](#), 330, 331
- [90] Wang J., Day E. *LS-DYNA and high-performance computing*.– 2023 (Accessed 27.10.2024).– 20 pp.  [↑299](#)
- [91] Larabel M. *LLVM Clang 16 vs. GCC 13 Compiler Performance On AMD 4th Gen EPYC™ “Genoa”*.– 2023 (Accessed 20.10.2024).– 6 pp.  [↑299](#)
- [92] *AMD Zen Deep Neural Network (ZenDNN)*.– 2024 (Accessed 13.10.2024).  [↑300](#)
- [93] *AI Inferencing with AMD EPYC™ Processors*.– 2024 (Accessed 09.01.2026).– 11 pp.  [↑300](#)
- [94] *IFX vs IFORT performance difference*.– 2023 (Accessed 5.09.2024).  [↑301](#)
- [95] *Intel HPC Toolkit Documentation*.– 2024 (Accessed 12.05.2025^(*)).  [↑301](#)
- [96] *AI Tools Documentation*.– 2024 (Accessed 12.05.2025^(*)).  [↑301](#)
- [97] *Community building blocks for HPC systems* (Accessed 8.09.2024).  [↑301](#)
- [98] *Intel oneAPI Base Toolkit Documentation*.– 2024 (Accessed 8.09.2024^(*)).  [↑302](#)
- [99] Ruhela D. *Investigating the performance of LLVM-Based Intel Fortran Compiler (ifx)* // *High Performance Computing, ISC High Performance 2024 International Workshops*. ISC High Performance 2023 (Hamburg, Germany, 12–16 May 2024), Lecture Notes in Computer Science.– vol. **15058**, Cham: Springer.– 2025.– ISBN 978-3-031-73715-2.– Pp. 173–184.  [↑302](#)
- [100] Cuma M. *AMD Genoa and Intel Sapphire Rapids review*.– 2023 (Accessed 13.08.2024).– 12 pp.  [↑302](#), 308, 346, 347, 349, 350, 352, 417, 449, 450, 476
- [101] Munger B., Wilcox K., Sniderman J., Tung C., Johnson B., Schreiber R. “Zen 4”: *The AMD 5nm 5.7 GHz x86-64 microprocessor core* // *2023 IEEE International Solid-State Circuits Conference (ISSCC)* (San Francisco, CA, USA, 19–23 February 2023).– IEEE.– 2023.– ISBN 978-1-6654-9017-7.– Pp. 38–39.  [↑303](#), 304
- [102] *Zen 2 — Microarchitectures — AMD* (Accessed 4.10.2024).  [↑303](#)
- [103] *Zen 3 — Microarchitectures — AMD* (Accessed 4.10.2024).  [↑303](#), 305, 320
- [104] *Zen 4 — Microarchitectures — AMD* (Accessed 4.10.2024).  [↑303](#), 304, 305, 320
- [105] *AMD “Zen 4” Dies, Transistor-Counts, Cache Sizes and Latencies Detailed*.– 2022 (Accessed 12.05.2025).  [↑305](#)
- [106] Lam Ch. *AMD’s Zen 4 Part 1: Frontend and Execution Engine*.– 2022 (Accessed 4.10.2024).  [↑304](#)
- [107] Bhargava R., Troester K. *AMD Next Generation “Zen 4” core and 4th Gen AMD EPYC™ server CPUs* // *IEEE Micro*.– 2024.– Vol. **44**.– No. 3.– Pp. 8–17.  [↑305](#), 312

















- [108] *AMD Zen 4 13 Percent IPC Uplift Build* (Accessed 21.04.2024).  [↑305](#)
- [109] Domke J., Vatai E., Drozd A., Chen T. P., Oyama Y., Zhang L. *Matrix engines for high performance computing: A paragon of performance or grasping at straws? 2021 IEEE International Parallel and Distributed Processing Symposium (IPDPS)* (Portland, OR, USA, 17–21 May 2021).— IEEE.— 2021.— ISBN 978-1-6654-1156-1.— Pp. 1056–1065.  [↑306, 307, 309](#)
- [110] *Advanced Vector Extensions 512 (AVX-512) — x86* (Accessed 12.05.2025).  [↑306, 379](#)
- [111] Gottschlag M., Bellosa F. *Mechanism to mitigate AVX-induced frequency reduction.*— 2018.— 12 pp.  [1901.04982](#) [↑307](#)
- [112] Gottschlag M., Brantsch P., Bellosa F. *Automatic core specialization for AVX-512 applications // SYSTOR '20: Proceedings of the 13th ACM International Systems and Storage Conference* (Haifa, Israel, 2–4 June 2020), New York: ACM.— 2020.— ISBN 978-1-4503-7588-7.— Pp. 25–35.  [↑307](#)
- [113] Gottschlag M., Schmidt T., Bellosa F. *AVX overhead profiling: how much does your fast code slow you down? APSys '20: Proceedings of the 11th ACM SIGOPS Asia-Pacific Workshop on Systems* (Tsukuba Japan, 24–25 August 2020), New York: ACM.— 2020.— ISBN 978-1-4503-8069-0.— Pp. 59–66.  [↑307](#)
- [114] Cebrian J. M., Natvig L., Jahre M. *Scalability analysis of AVX-512 extensions // The Journal of supercomputing.*— 2020.— Vol. **76.**— No. 3.— Pp. 2082–2097.  [↑307](#)
- [115] *Ice Lake AVX-512 Downclocking.*— 2020 (Accessed 12.05.2025).  [↑307](#)
- [116] Frumusanu A. *Intel 3rd Gen Xeon Scalable (Ice Lake SP) Review: Generationally Big, Competitively Small.*— 2021 (Accessed 12.05.2025(**)).  [↑307](#)
- [117] *3rd and 4th Gen Xeon Scalable Turbo Frequencies.*— 2023 (Accessed 12.05.2025).  [↑307](#)
- [118] *Accelerate Artificial Intelligence (AI) Workloads with Intel Advanced Matrix Extensions (Intel AMX) ID 785250.*— 2024 (Accessed 25.03.2025(*)).  [↑309, 440](#)
- [119] Burd T., Venkataraman S., Li W., Johnson T., Lee J., Velaga S. 2.2 “Zen 4c”: *The AMD 5nm area-optimized x86-64 microprocessor core // 2024 IEEE International Solid-State Circuits Conference (ISSCC)* (San Francisco, CA, USA, 18–22 February 2024).— IEEE.— 2024.— ISBN 979-8-3503-0621-7.— Pp. 38–40.  [↑309](#)
- [120] *AMD EPYC™ 8004 Series Architecture Overview*, Revision 1.0 (Sept. 2023).— 2023 (Accessed 12.05.2025).— 14 pp.  [↑310](#)
- [121] Mayo K., Rajasekaran S., Pasichnyk I., Kashyap A. *High Performance Computing Tuning Guide for AMD EPYC™ 9004 Series Processors Publication 58002*, Revision 1.5 Jan 2024.— 2024 (Accessed 15.11.2024).— 60 pp.  [↑310, 313, 315, 319, 320, 321, 322, 323, 324, 328, 340, 341, 342, 345, 346, 347, 348, 360, 361, 386, 428, 431, 460](#)
- [122] *AMD EPYC™ 9004 Series Processors Data Sheet.*— 2023 (Accessed 09.01.2026).— 2 pp.  [↑310, 314](#)
- [123] *SLES 15 SP4 Optimizing Linux for AMD EPYC™ 9004 Series Processors with SUSE* (Accessed 12.05.2025(**)).  [↑310](#)













- [124] Mujtaba H. *AMD's Monstrous EPYC™ Genoa CPU For SP5 "LGA 6096" Socket Pictured: Up To 96 Zen 4 Cores, 400W TDP.*– 2022 (Accessed 20.05.2024).  [↑311](#)
- [125] *AMD EPYC™ 8004 Series Processors Data Sheet.*– 2023 (Accessed 12.05.2025).– 2 pp.  [↑312, 314](#)
- [126] *AMD Server Processor Specifications* (Accessed 15.10.2024).  [↑314, 468, 469](#)
- [127] Morgan T. P. *Why AMD "Genoa" Epyc Server CPUs Take The Heavyweight Title.*– 2022 (Accessed 26.05.2024).  [↑317, 327](#)
- [128] *Infinity Fabric (IF) — AMD* (Accessed 3.09.2024).  [↑317](#)
- [129] Lehmann S., Gerfers F. *Channel analysis for a 6.4 Gb/s DDR5 data buffer receiver front-end // 2017 15th IEEE International New Circuits and Systems Conference (NEWCAS)* (Strasbourg, France, 25–28 June 2017).– IEEE.– 2017.– ISBN 9781728110325.– Pp. 109–112.  [↑320](#)
- [130] *Micron's Perspective on Impact of CXL on DRAM Bit Growth Rate.*– 2023 (Accessed 12.05.2025).– 9 pp.  [↑320, 322](#)
- [131] Tang Y., Zhou P., Zhang W., Hu H., Yang Q., Xiang Q., Liu T., Shan J., Huang R., Zhao Ch., Chen Ch., Zhang H., Liu F., Zhang Sh., Ding X., Chen J. *Exploring performance and cost optimization with ASIC-based CXL memory // EuroSys '24: Proceedings of the Nineteenth European Conference on Computer Systems* (Athens, Greece, 22–25 April 2024), New York: ACM.– 2024.– ISBN 979-8-4007-0437-6.– Pp. 818–833.  [↑320](#)
- [132] *5-Level Paging and 5-Level EPT*, White Paper Revision 1.1.– 2017 (Accessed 09.01.2026).– 31 pp.  [↑324](#)
- [133] *AMD Infinity Guard.*– 2024 (Accessed 1.06.2024).  [↑325](#)
- [134] *Processor Family with Full Memory Encryption as a Standard Security Feature.*– 2020 (Accessed 3.08.2024).  [↑325](#)
- [135] *AMD Secure Encrypted Virtualization (SEV).*– 2024 (Accessed 1.06.2024).  [↑325](#)
- [136] Jacob H. N., Werling Ch., Bühren R., Seifert J.-P. *faultPM: Exposing AMD fTPMs' deepest secrets // 2023 IEEE 8th European Symposium on Security and Privacy (EuroS&P)* (Delft, Netherlands, 03–07 July 2023).– IEEE.– 2023.– ISBN 9781665465137.– Pp. 1128–1142.  [↑325](#)
- [137] Wilke L., Wichelmann J., Morbitzer M., Eisenbarth Th. *SEVurity: No security without integrity: Breaking integrity-free memory encryption with minimal assumptions // 2020 IEEE Symposium on Security and Privacy (SP)* (San Francisco, California, USA, 18–21 May 2020).– IEEE.– 2020.– ISBN 978-1-7281-3498-7.– Pp. 1483–1496.   [↑325](#)
- [138] Karvandi M. S., Meghdadizanjani S., Arasteh S., Monfared S. Kh., Fallah M. K., Gorgin S., Lee J.-A., van der Kouwe E. *The reversing machine: reconstructing memory assumptions.*– 2024.– 17 pp. [arXiv:2405.00298](#)  [↑325](#)
- [139] *AMD EPYC™ 4004 Series Processors Data Sheet.*– 2024 (Accessed 1.06.2024).– 2 pp.  [↑326](#)

- [140] *Artificial Intelligence Machine Learning (AI/ML) Tuning Guide for AMD EPYC™ 9004 Series Processors*, Rev.1.1.– 2023 (Accessed 26.11.2024).  ↑^{328, 368}
- [141] *Lenovo ThinkAgile VX655 V3 2U Certified Node (AMD EPYC™ 9004) Product Guide*.– 2024 (Accessed 3.08.2024).– 61 pp.  ↑³²⁸
- [142] *Configuring AMD xGMI Links on the Lenovo ThinkSystem SR665 V3 Server*.– 2024 (Accessed 3.08.2024).– 15 pp.  ↑^{328, 329}
- [143] *Compute Nodes*.– 2024 (Accessed 21.08.2024).  ↑³²⁹
- [144] Atchley S., Zimmer Ch., Lange J., Bernholdt D., Vergara V. M., Beck Th., Brim M., Budiardja R., Chandrasekaran S., Eisenbach M., Evans Th., Ezell M., Frontiere N., Georgiadou A., Glenski J., Grete Ph., Hamilton S., Holmen J., Huebl A., Jacobson D., Joubert W., McMahon K., Merzari E., Moore S., Myers A., Nichols S., Oral S., Papatheodore Th., Perez D., Rogers D. M., Schneider E., Vay J.-L., Yeung P. K. *Frontier: exploring exascale // SC '23: Proceedings of the International Conference for High Performance Computing, Networking, Storage and Analysis*, New York: ACM.– 2023.– ISBN 979-8-4007-0109-2.– id. 52.– 16 pp.  ↑^{329, 479, 480}
- [145] *HoreKa Hardware Overview*.– 2024 (Accessed 2.08.2024).  ↑^{329, 480}
- [146] *AMD Documentation Hub* (Accessed 11.11.2024).  ↑^{330, 470}
- [147] Larabel M. *AMD EPYC™ 9554 & EPYC™ 9654 Benchmarks — Outstanding Performance For Linux HPC/Servers*.– 2022 (Accessed 20.10.2024).– 15 pp.  ↑^{331, 346, 358, 477}
- [148] Nambiar R. *AMD Ecosystem Poised and Ready for the 4th Gen AMD EPYC™ Processors*.– 2022 (Accessed 13.10.2025).  ↑^{331, 345, 346, 375}
- [149] Larabel M. *AlmaLinux, CentOS Stream, Clear Linux, Debian, Fedora & Ubuntu On AMD 4th Gen EPYC™ Genoa*.– 2023 (Accessed 20.10.2024).– 6 pp.  ↑³³¹
- [150] Larabel M. *AMD 4th Gen EPYC™ 9654 “Genoa” AVX-512 Performance Analysis*.– 2022 (Accessed 11.11.2024).– 9 pp.  ↑^{332, 367, 368}
- [151] Lin W. C., McIntosh-Smith S. *Comparing Julia to performance portable parallel programming models for HPC // 2021 International Workshop on Performance Modeling, Benchmarking and Simulation of High Performance Computer Systems (PMBS)* (St. Louis, MO, USA, 15 November 2021).– IEEE.– 2021.– ISBN 978-1-6654-1119-6.– Pp. 94–105.  ↑³³²
- [152] *AMD EPYC™ 9004 Series Performance Package*.– 2022 (Accessed 9.10.2024).– 35 pp.  ↑^{332, 345, 347}
- [153] *SPEC OMP 2012 Results* (Accessed 13.11.2024).  ↑³³³
- [154] *Tuning SPECComp2012 Performance on Lenovo ThinkSystem AMD Servers*.– 2023 (Accessed 20.10.2024).– 14 pp.  ↑³³⁴
- [155] *AMD Epyc 9004 “Genoa” buyers guide for CFD*.– 2022 (Accessed 21.10.2024).  ↑^{334, 354, 355}
- [156] *All Published SPEC MPIM 2007 Results* (Accessed 6.05.2025).  ↑³³⁵

- [157] Larabel M. *Ampere Altra Max 128-Core CPU Is Priced Lower Than Flagship Xeon, EPYC™ CPUs.*— 2021 (Accessed 12.05.2025).  [↑338](#)
- [158] Yalamanchi K., Vazhkudai S. *Boost HPC workloads with Micron DDR5 and 4th Gen AMD EPYC™ processors.*— 2022 (Accessed 9.02.2025).  [↑339](#)
- [159] Rajasukumar A., Zhang T., Xu R., Chien A. A. *UpDown: a novel architecture for unlimited memory parallelism // MEMSYS '24: The International Symposium on Memory Systems* (Washington, DC, USA, 30 September 2024–3 October 2024), New York: ACM.— 2024.— ISBN 979-8-4007-1091-9.— Pp. 61–77.  [↑342](#)
- [160] Nambiar R. *Performance Analysis of HPC Workloads: AMD EPYC™ with 3D V-Cache vs. Intel Xeon CPU Max with HBM.*— 2023 (Accessed 6.12.2024).  [↑342](#), 365, 366, 457
- [161] *Fujitsu Server PRIMERGY Memory performance of EPYC™ 9004 Series Processor (Genoa) based Systems White Paper v. 1.0.*— 2024 (Accessed 18.09.2024).  [↑343](#)
- [162] *Workload-Based DDR5 Memory Guidance for Next-Generation PowerEdge Servers.*— 2023 (Accessed 19.12.2024).— 21 pp.  [↑343](#), 344, 375
- [163] Reguly I. Z. *Comparative evaluation of bandwidth-bound applications on the Intel Xeon CPU MAX Series // SC-W '23: Proceedings of the SC '23 Workshops of the International Conference on High Performance Computing, Network, Storage, and Analysis* (Denver, CO, USA, 12–17 November 2023), New York: ACM.— 2023.— ISBN 979-8-4007-0785-8.— Pp. 1236–1244.  [↑344](#), 453, 457
- [164] *Fujitsu Server PRIMERGY Performance Report. PRIMERGY RX2530 M6.*— 2023 (Accessed 11.02.2025).  [↑345](#)
- [165] Sztemon M. *AMD Data Center Portfolio.*— 2024 (Accessed 9.10.2024).— 55 pp.  [↑347](#), 357, 375
- [166] *Fujitsu Server Performance Report PRIMERGY RX2530 M7 / RX2540 M7 v.1.5.*— 2024 (Accessed 31.12.2024).  [↑347](#), 380, 414, 423, 428, 434
- [167] Löff J., Griebler D., Mencagli G., Araujo G., Torquati M., Danelutto M., Fernandes L. G. *The NAS parallel benchmarks for evaluating C++ parallel programming frameworks on shared-memory architectures // Future Generation Computer Systems.*— 2021.— Vol. **125**.— No. C.— Pp. 743–757.  [↑348](#)
- [168] Stegailov V., Dlinnova E., Ismagilov T., Khalilov M., Kondratyuk N., Makagon D., Semenov A., Simonov A., Smirnov G., Timofeev A. *Angara interconnect makes GPU-based Desmos supercomputer an efficient tool for molecular dynamics calculations // The International Journal of High Performance Computing Applications.*— 2019.— Vol. **33**.— No. 3.— Pp. 507–521.  [↑349](#)
- [169] Ayala A., Tomov S., Haidar A., Dongarra J. *heFFTe: Highly efficient FFT for exascale // Computational Science — ICCS 2020: 20th International Conference.*— V. I (Amsterdam, The Netherlands, 3–5 June 2020), Berlin–Heidelberg: Springer-Verlag.— 2020.— ISBN 978-3-030-50370-3.— Pp. 262–275.  [↑351](#)

- [170] Ayala A., Tomov S., Stoyanov M., Dongarra J. *Scalability issues in FFT computation // Parallel Computing Technologies: 16th International Conference, PaCT 2021 (Kaliningrad, Russia, 13–18 September 2021), Lecture Notes in Computer Science.*— vol. **12942**, Cham: Springer.— 2021.— ISBN 978-3-030-86358-6.— Pp. 279–287.  [↑352](#)
- [171] Larabel M. *AMD EPYC™ 9684X Genoa-X Provides Incredible HPC Performance.*— 2023 (Accessed 25.11.2024).— 8 pp.  [↑352, 355, 358, 370](#)
- [172] Moon G., Yi M., Jun E. *Design and operational concept of a cryogenic active intake device for atmosphere-breathing electric propulsion // Aerospace Science and Technology.*— 2024.— Vol. **151**.— id. 109300.  [↑353](#)
- [173] German P., Marin O., Giudicelli G. L., Hansel J. E., Lindsay A. D., Yankura D. C., Charlot L., Freile R. O., Tano M. E. *Continued performance improvement and integration of MOOSE's thermal-hydraulics capabilities*, M3 Milestone Report, NoINL/RPT-24-80844-Rev000.— Idaho Falls, ID, USA: Idaho National Laboratory (INL).— 2024 (Accessed 29.11.2024).— 44 pp.  [↑353](#)
- [174] Danciu B. A., Frouzakis C. E. *KinetiX: A performance portable code generator for chemical kinetics and transport properties.*— 2024.— 34 pp. [arXiv:2411.02640](#)  [↑353](#)
- [175] Gross S. *Simulation Hardware: The Sky is the Limit?*— 2022 (Accessed 26.11.2024).  [↑353](#)
- [176] *OpenFOAM v12 User Guide.*— 2024 (Accessed 29.11.2024).  [↑354](#)
- [177] Spisso I., Bna S., Amati G., Rossi G., Magugliani F. *HPC Benchmark Project (part I)*, OpenFoam Conference (Germany, 15–17 October 2019).— 2019 (Accessed 29.11.2024).— 27 pp.  [↑354](#)
- [178] *OpenFOAM HPC Benchmark Suite.*— 2019 (Accessed 29.11.2024).  [↑354](#)
- [179] *OpenFOAM and AMD 3d V-cache Technology Computational Fluid Dynamics.*— 2023 (Accessed 8.12.2024).  [↑355](#)
- [180] Galeazzo F. C. C., Zhang F., Zirwes Th., Habisreuther P., Bockhorn H., Zarzalis N., Trimis D. *Implementation of an efficient synthetic inflow turbulence-generator in the open-source code OpenFOAM for 3D LES/DNS applications // High Performance Computing in Science and Engineering'20: Transactions of the High Performance Computing Center, Stuttgart (HLRS) 2020*, Cham: Springer.— 2021.— ISBN 978-3-030-80601-9.— Pp. 207–221.  [↑355](#)
- [181] Galeazzo F. C. C., Weiß R. G., Lesnik S., Rusche H., Ruopp A. *Understanding Superlinear Speedup in Current HPC Architectures.*— 2024 (Accessed 30.11.2024).— 9 pp.   [↑355](#)
- [182] Álvarez-Farré X., Gorobets A., Trias F. X. *A hierarchical parallel implementation for heterogeneous computing. Application to algebra-based CFD simulations on hybrid supercomputers // Computers & Fluids.*— 2021.— Vol. **214**.— id. 104768.  [↑355](#)
- [183] Pareek S., Veena K., Naik M., Donthireddy P. *HPC Application Performance on Dell PowerEdge R6625 with AMD EPYC™-GENOA.*— 2023 (Accessed 30.11.2024).  [↑355, 359, 360, 362, 364, 367](#)













- [184] *Supermicro, AMD, WEKA and NVIDIA deliver High Performance Ansys Turnkey Solution.*— 2024 (Accessed 5.10.2024).— 11 pp.  [↑³⁵⁶](#)
- [185] Banchelli F., Garcia-Gasulla M., Houzeaux G., Mantovani F. *Benchmarking of state-of-the-art HPC Clusters with a Production CFD Code // PASC '20: Proceedings of the Platform for Advanced Scientific Computing Conference* (Geneva, Switzerland, 29 June 2020–1 July 2020), New York: ACM.— 2020.— ISBN 978-1-4503-7993-9.— id. 3.— 11 pp.  [↑³⁵⁶](#)
- [186] Fernandez A. *Ansys Applications Technical Computing.*— 2022 (Accessed 8.05.2025).  [↑³⁵⁶](#)
- [187] Fernandez A. et al. *Leadership Performance on ANSYS Applications Finite Element Analysis & Computational Fluid Dynamics.*— 2024 (Accessed 8.12.2024^(**)).  [↑^{356, 357}](#)
- [188] Fernandez A., Manikonda A. *ANSYS LS-DYNA and AMD 3d V-cache Technology.*— 2023 (Accessed 11.10.2024).  [↑³⁵⁷](#)
- [189] Fernandez A., Manikonda A. *ANSYS CFX and AMD 3D V-Cache Technology Computational Fluid Dynamics.*— 2023 (Accessed 8.12.2024).  [↑³⁵⁷](#)
- [190] Fernandez A., Manikonda A. *ANSYS FLUENT and AMD 3D V-Cache Technology Computational Fluid Dynamics.*— 2023 (Accessed 11.10.2024).  [↑³⁵⁷](#)
- [191] Wilfong B., Radhakrishnan A., Le Berre H. A., Abbott S., Budiardja R. D., Bryngelson S. H. *OpenACC offloading of the MFC compressible multiphase flow solver on AMD and NVIDIA GPUs.*— 2024.— 11 pp. [arXiv:2409.10729](#)  [↑³⁵⁸](#)
- [192] Fernandez A., Manikonda A. *WRF and AMD 3D V-cache technology weather forecasting.*— 2023 (Accessed 8.05.2025).  [↑^{358, 359}](#)
- [193] Larabel M. *AMD EPYC™ 9374F Linux Benchmarks — Genoa's 32-Core High Frequency CPU.*— 2022 (Accessed 28.09.2024).— 14 pp.  [↑³⁵⁹](#)
- [194] Kashyap S., Kovouri S., Goyal P. *GROMACS on Amazon EC2 Hpc7a Instances.*— 2023 (Accessed 9.12.2024).  [↑³⁶⁰](#)
- [195] Fernandez A., Manikonda A. *Molecular Dynamics on AMD EPYC™ 9754 Processors.*— 2023 (Accessed 9.12.2024).  [↑^{360, 365, 438, 439}](#)
- [196] Malik H., Nunes T. *4th Gen AMD EPYC™ Processors for Healthcare and Life Science.*— 2024 (Accessed 22.10.2024).— 13 pp.  [↑^{365, 368, 375, 438}](#)
- [197] Ramakrishna K., Lokamani M., Cangi A. *Electrical conductivity of warm dense hydrogen from Ohm's law and time-dependent density functional theory.*— 2024.— 9 pp. [arXiv:2409.15160](#)  [↑³⁶⁶](#)
- [198] Voorhis T., Vázquez-Mayagoitia Á., Verma P., Villa O., Vishnu A., Vogiatzis K. D., Wang D., Weare J. H., Williamson M. J., Windus T. L., Woliński K., Wong A. T., Wu Q., Yang C., Yu Q., Zacharias M., Zhang Z., Zhao Y., Harrison R. J. *NWChem: Past, present, and future // The Journal of chemical physics.*— 2020.— Vol. **152**.— No. 18.— id. 184102.  [↑³⁶⁷](#)
- [199] Larabel M. *AMD EPYC™ 9374F Linux Benchmarks — Genoa's 32-Core High Frequency CPU.*— 2022 (Accessed 18.05.2025).— 14 pp.  [↑³⁶⁷](#)

- [200] Larabel M. *AMD EPYC™ 9755 / 9575F / 9965 Benchmarks Show Dominating Performance.*— 2024 (Accessed 14.12.2024).— 14 pp.  [↑367, 445, 469, 472, 473, 474, 475](#)
- [201] Larabel M. *AVX-512 Performance Comparison: AMD Genoa vs. Intel Sapphire Rapids & Ice Lake.*— 2023 (Accessed 15.12.2024).— 8 pp.  [↑367](#)
- [202] Larabel M. *Intel Xeon Platinum 8592+ “Emerald Rapids” Linux Benchmarks.*— 2023 (Accessed 15.12.2024).— 10 pp.  [↑367, 430, 431, 432, 433, 434, 435, 437, 438, 439, 440, 444, 447](#)
- [203] Hof J., Speed D. *LDAK-KVIK performs fast and powerful mixed-model association analysis of quantitative and binary phenotypes* // *Nature Genetics.*— 2025.— Vol. **57**.— Pp. 2116–2123.  [↑368](#)
- [204] Bernardini G., van Iersel L., Julien E., Stougie L. *Inferring phylogenetic networks from multifurcating trees via cherry picking and machine learning* // *Molecular Phylogenetics and Evolution.*— 2024.— Vol. **199**.— id. 108137.  [↑368](#)
- [205] Williams C. M., O’Connell J., Freyman W. A., 23andMe Research Team, Gignoux Ch. R., Ramachandran S., Williams A. L. *Phasing millions of samples achieves near perfect accuracy, enabling parent-of-origin classification of variants*, bioRxiv.— 2024.  [↑368](#)
- [206] McKenna A., Hanna M., Banks E., Sivachenko A., Cibulskis K., Kernysky A., Garimella K., Altshuler D., Gabriel S., Daly M., DePristo M. A. *The Genome Analysis Toolkit: a MapReduce framework for analyzing next-generation DNA sequencing data* // *Genome research.*— 2010.— Vol. **20**.— No. 9.— Pp. 1297–1303.  [↑368](#)
- [207] Kendig K. I., Baheti S., Bockol M. A., Drucker T. M., Hart S. N., Heldenbrand J. R., Hernaez M., Hudson M. E., Kalmbach M. T., Klee E. W., Mattson N. R., Ross Ch. A., Taschuk M., Wieben E. D., Wierpert M., Wildman D. E., Mainzer L. S. *Sentieon DNaseq variant calling workflow demonstrates strong computational performance and accuracy* // *Frontiers in genetics.*— 2019.— Vol. **10**.— id. 736.— 7 pp.  [↑368](#)
- [208] Malik H., Seniziaz M., Freed D., Gallagher B. *4th Gen AMD EPYC™ Prioessor Accelerate Genomics Data Processing with Sentieon.*— 2023 (Accessed 5.10.2024).  [↑368](#)
- [209] *Nvidia Clara Parabrics Pipelines.*— 2021 (Accessed 15.12.2024).  [↑368](#)
- [210] *AI Inferencing with AMD EPYC™ Processors*, White Paper.— 2024 (Accessed 09.01.2026).— 11 pp.  [↑368](#)
- [211] Ha D. M. F., Alderliesten T., Bosman P. A. N. *Learning discretized Bayesian networks with GOMEA* // *Parallel Problem Solving from Nature — PPSN XVIII.*— V. III, PPSN 2024 (Hagenberg, Austria, 14–18 September 2024), Lecture Notes in Computer Science.— vol. **15150**, Cham: Springer.— 2024.— ISBN 978-3-031-70070-5.— Pp. 352–368.  [↑368](#)







- [212] Nair K., Pandey A.-Ch., Karabannavar S., Arunachalam M., Kalamatianos J., Agrawal V., Gupta S., Sirasao A., Delaye E., Reinhardt S., Vivekanandham R., Wittig R., Kathail V., Gopalakrishnan P., Pareek S., Jain R., Kandemir M. T., Lin J.-L., Akbulut G. G., Das Ch. R. *Parallelization Strategies for DLRM Embedding Bag Operator on AMD CPUs* // IEEE Micro.– 2024.– Vol. 44.– No. 6.– Pp. 44–51.  [↑368](#)
- [213] Jocher G., Chaurasia A., Stoken A., Borovec J., NanoCode012, Kwon Y., Michael K., TaoXie, Fang J., Imyhxy, Lorna, Zeng Y., Wong C., Abhiram V., Montes D., Wang Zh., Fati C., Nadar J., Laughing, UnglvKitDe, Sonck V., Tkianai, YxNONG, Skalski P., Hogan A., Nair D., Strobel M., Jain M. *ultralytics/yolov5: v7.0 — YOLOv5 SOTA. Realtime instance segmentation.*– Zenodo.– 2022.  [↑368](#)
- [214] Nambiar R. *4th Gen AMD EPYC™ Processors Deliver Exceptional Performance for AI Workloads.*– 2023 (Accessed 27.11.2024).  [↑369](#)
- [215] Reddi V. J., Cheng Ch., Kanter D., Mattson P., Schmuelling G., Wu C.-J., Anderson B., Breughe M., Charlebois M., Chou W., Chukka R., Coleman C., Davis S., Deng P., Diamos G., Duke J., Fick D., Gardner J. S., Hubara I., Idgunji S., Jablin Th. B., Jiao J., John T. St., Kanwar P., Lee D., Liao J., Lokhmotov A., Massa F., Meng P., Micikevicius P., Osborne C., Pekhimenko G., Rajan A. T. R., Sequeira D., Sirasao A., Sun F., Tang H., Thomson M., Wei F., Wu E., Xu L., Yamada K., Yu B., Yuan G., Zhong A., Zhang P., Zhou Yu. *MLPerf inference benchmark* // ISCA '20: Proceedings of the ACM/IEEE 47th Annual International Symposium on Computer Architecture (Virtual Event, 30 May 2020–3 June 2020).– IEEE.– 2020.– ISBN 978-1-7281-4661-4.– Pp. 446–459. 
[↑369, 441, 442](#)
- [216] Gorbachev Y., Gorbachev Yu., Fedorov M., Slavutin I., Tugarev A., Fatekhov M. *OpenVINO deep learning workbench: Comprehensive analysis and tuning of neural networks inference* // Proceedings of the IEEE/CVF International Conference on Computer Vision Workshops (Seoul, Korea (South), 27–28 October 2019).– IEEE.– 2019.– ISBN 9789350307450.– Pp. 783–787 (Accessed 27.05.2025).  [↑369](#)
- [217] Larabel M. *Intel Xeon Platinum 8490H “Sapphire Rapids” Performance Benchmarks.*– 2023 (Accessed 23.04.2025).– 14 pp.  [↑370](#)
- [218] Rasley J., Rajbhandari S., Ruwase O., He Yu. *DeepSpeed: System optimizations enable training deep learning models with over 100 billion parameters* // KDD '20: Proceedings of the 26th ACM SIGKDD International Conference on Knowledge Discovery & Data Mining (Virtual Event, CA, USA, 6–10 July 2020), New York: ACM.– 2020.– ISBN 978-1-4503-7998-4.– Pp. 3505–3506.  [↑370](#)
- [219] Kim S. H., Wang X., Fu Y. *Practical Strategies for low-cost LLM Deployments using 4th Gen AMD EPYC™ Processors.*– 2024 (Accessed 28.11.2024).– 9 pp. 
[↑370, 371](#)
- [220] *TPCx-AI Specification Version 2.0.0.*– 2024 (Accessed 27.11.2024).– 85 pp. 
[↑372](#)

- [221] Rajput A. *AMD EPYC™ 9004 Tuning guide. Cloud Infrastructure and Datacenter Design & Configuration Rev. 1.03.*— 2024 (Accessed 18.12.2024).— 64 pp.  [↑373, 466](#)
- [222] Gibby G. *Meet the New AMD EPYC™ 97X4 Processors, Optimized for Cloud-Native Workloads.*— 2023 (Accessed 18.12.2024).  [↑373](#)
- [223] Nambiar R. *“Bergamo” 4th Gen AMD EPYC™ 97x4 Processors: Built for Cloud Native Workloads.*— 2023 (Accessed 18.12.2024).  [↑373, 375](#)
- [224] *VMware Marketplace.*— 2024 (Accessed 15.12.2024).  [↑373](#)
- [225] *VMmark 3.x Results.*— 2024 (Accessed 15.12.2024).  [↑373](#)
- [226] *VMmark 4 Results.*— 2024 (Accessed 15.12.2024).  [↑373](#)
- [227] *PostgreSQL pgbench.*— 2024 (Accessed 16.12.2024).  [↑374](#)
- [228] *AMD EPYC™ Delivers Leadership MariaDB Performance Relational Database.*— 2024 (Accessed 17.10.2024).  [↑375](#)
- [229] Rajaram G., Porana J., Veerabhadrachary B., Kenchappanavara D. *Cloud-Native Workloads on AMD EPYC™ 9754 Processors.*— 2023 (Accessed 09.01.2026).— 13 pp.  [↑375](#)
- [230] Nambiar R. *4th Gen AMD EPYC™ 8004 Series Processors Designed for Intelligent Edge.*— 2023 (Accessed 18.12.2024).  [↑376](#)
- [231] *Intel Xeon Platinum 8380 Processor* (Accessed 5.08.2024^(*)).  [↑377](#)
- [232] Schuh H. N., Krishnamurthy A., Culler D., Levy H. M., Rizzo L., Khan S., Stephens B. E. *CC-NIC: a cache-coherent interface to the NIC // ASPLOS '24: Proceedings of the 29th ACM International Conference on Architectural Support for Programming Languages and Operating Systems.*— V. 1, New York: ACM.— 2024.— ISBN 979-8-4007-0372-0.— Pp. 52–68.  [↑378](#)
- [233] Mulnix D. L. *Intel Xeon Processor Scalable Family Technical Overview.*— 2022 (Accessed 5.08.2024^(*)).  [↑379, 381, 382, 383](#)
- [234] *Product Naming Convention for the 4th and 5th Gen Intel Xeon Scalable Processors.*— 2024 (Accessed 10.08.2024^(*)).  [↑380](#)
- [235] *Intel Xeon Scalable Processors Numbers and Suffixes.*— 2024 (Accessed 13.01.2025^(*)).  [↑379, 380](#)
- [236] Watts D. *Lenovo ThinkSystem SR950 V3 Server Product Guide.*— 2025 (Accessed 09.01.2026).— 80 pp.  [↑381](#)
- [237] *Intel Scalable I/O Virtualization.*— 2020 (Accessed 09.01.2026).— 29 pp.  [↑383](#)
- [238] Nassif N., Munch A. O., Molnar C. L., Pasdast G., Lyer S. V., Yang Z. *Sapphire Rapids: The next-generation Intel Xeon Scalable processor // 2022 IEEE International Solid-State Circuits Conference (ISSCC)* (San Francisco, CA, USA, 20–26 February 2022).— IEEE.— 2022.— ISBN 978-1-6654-2801-9.— Pp. 44–46.  [↑383, 387, 391, 392](#)
- [239] Biswas A. *Sapphire Rapids.*— HotChips.— 2021 (Accessed 12.05.2025).— 22 pp.  [Intel Arijit.pdf](#) [↑383, 384, 392](#)
- [240] *Network-Optimized 4th Gen Intel Xeon Scalable Processors Product Brief* (Accessed 5.08.2024^(*)).  [↑383](#)














- [241] Intel® 64 and IA-32 Architectures Optimization Reference Manual Documentation Changes, Aug 2023.– 2023 (Accessed 5.08.2024).– 379 pp. [URL](#) ↑^{384, 385, 386, 387}
- [242] Mujtaba H. AMD Zen 4 For Ryzen 7000 & Intel Raptor Cove For Raptor Lake CPUs Have Almost Similar IPC.– 2022 (Accessed 15.02.2025). [URL](#) ↑³⁸⁶
- [243] Mulnix D. et al. Technical Overview Of The 4th Gen Intel Xeon Scalable processor family.– 2022 (Accessed 5.08.2024^(*)). [URL](#) ↑^{387, 388, 390, 391, 392, 393, 394, 395, 396, 398}
- [244] Intel 64 and IA-32 Architectures Software Developer Manuals Upd. (Accessed 5.08.2024^(*)). [URL](#) ↑³⁸⁷
- [245] Intel Architecture Instruction Set Extensions and Future Features Programming Reference.– 2024 (Accessed 6.08.2024^(*)). [URL](#) ↑^{388, 389, 390}
- [246] Intel 64 and IA-32 Architectures Optimization Reference Manual.– V. 1.– 2023 (Accessed 09.01.2026).– 963 pp. [URL](#) ↑^{389, 390}
- [247] Dizani F., Ghanbari A., Kalyanapu J., Asher D., Ajorpaz S. M. Thor: A non-speculative value dependent timing side channel attack exploiting Intel AMX // IEEE Computer Architecture Letters.– 2025.– Vol. **24**.– No. 1.– Pp. 69–72. [doi](#) ↑³⁸⁹
- [248] Cutress I. Intel Xeon Sapphire Rapids: How To Go Monolithic with Tiles.– 2021 (Accessed 23.04.2025). [URL](#) ↑³⁹¹
- [249] Mahajan R., Sankman R., Patel N., Kim D.-W., Aygun K., Qian Zh. Embedded multi-die interconnect bridge (EMIB) — a high density, high bandwidth packaging interconnect // 2016 IEEE 66th Electronic Components and Technology Conference (ECTC) (Las Vegas, NV, USA, 31 May 2016–03 June 2016).– IEEE.– 2016.– ISBN 9781509012053.– Pp. 557–565. [doi](#) ↑³⁹²
- [250] Mahajan R., Sankman R., Aygun K., Qian Zh., Dhall A., Rosch J., Mallik D., Salama I. Embedded Multi-die Interconnect Bridge (EMIB). A localized, high density, high bandwidth packaging interconnect // Advances in Embedded and Fan-Out Wafer-Level Packaging Technologies, Ch. 23, eds. Keser B., Kroehnert S.– Wiley.– 2019.– ISBN 9781119314134.– Pp. 487–499. [doi](#) ↑³⁹²
- [251] Duan G., Kanaoka Y., McRee R., Nie B., Manepalli R. Die embedding challenges for EMIB advanced packaging technology // 2021 IEEE 71st Electronic Components and Technology Conference (ECTC) (San Diego, CA, USA, 01 June 2021–04 July 2021).– IEEE.– 2021.– ISBN 9781665431200.– Pp. 1–7. [doi](#) ↑³⁹²
- [252] Lee C. C., Chang Y. W. Floorplanning for embedded multi-die interconnect bridge packages // 2023 IEEE/ACM International Conference on Computer Aided Design (ICCAD) (San Francisco, CA, USA, 28 October 2023–02 November 2023).– IEEE.– 2023.– ISBN 9798350322262.– Pp. 1–8. [doi](#) ↑³⁹²
- [253] Mujtaba H. Intel Sapphire Rapids-SP Xeon Server CPU Detailed: Quad-Tile Chiplet Design With EMIB, 56 Cores, 112 Threads, CXL 1.1, DDR5, HBM & PCIe 5.0 Support.– 2021 (Accessed 10.05.2025). [URL](#) ↑³⁹²




- [254] Kuper R., Jeong I., Yuan Y., Wang R., Ranganathan N., Rao N., Hu J., Kumar S., Lantz P., Kim N. S. *A quantitative analysis and guidelines of data streaming accelerator in modern Intel Xeon Scalable Processors* // *ASPLOS '24: Proceedings of the 29th ACM International Conference on Architectural Support for Programming Languages and Operating Systems*.— V. 2 (La Jolla, CA, USA, 27 April 2024–1 May 2024), New York: ACM.— 2024.— ISBN 979-8-4007-0385-0.— Pp. 37–54.  [↑395](#)
- [255] Berthold A., Fürst C., Obersteiner A., Schmidt L., Habich D., Lehner W., Schirmeier H. *Demystifying Intel Data Streaming Accelerator for in-memory data processing* // *DIMES '24: Proceedings of the 2nd Workshop on Disruptive Memory Systems* (Austin, TX, USA, 3 November 2024), New York: ACM.— 2024.— ISBN 979-8-4007-1303-3.— Pp. 9–16.  [↑395](#), [396](#)
- [256] *Proof Points of Intel® Dynamic Load Balancer (Intel® DLB)* (Accessed 10.08.2024^(*)).  [↑395](#), [396](#)
- [257] Sexton R., Coyle D., Przychodni D. *Guidelines for Optimizing Power Consumption of vCMTS Deployments on Intel Xeon Scalable Processors* (Accessed 19.08.2024).— 15 pp.  [↑396](#), [397](#)
- [258] Pattan R., Khan H. *Intel Turbo Boost Technology Configure Per Core Turbo Overview*.— 2022 (Accessed 24.04.2025).— 6 pp.  [↑397](#)
- [259] Huffstetler J. *Sustainability In Focus with 4th Gen Intel Xeon Processors*.— 2023 (Accessed 19.03.2025).  [↑397](#)
- [260] Rieger E. *Half-Socket VM support for SAP HANA on vSphere 8 and 4th Gen Intel® Xeon® Scalable Processors (Sapphire Rapids)*.— 2024 (Accessed 13.08.2024).  [↑397](#)
- [261] *Intel® Virtualization Technology for Directed I/O Architecture Specification*, Rev. 4.1.— 2023 (Accessed 13.08.2024^(*)).  [↑398](#)
- [262] Moghimi D. *Downfall: Exploiting speculative data gathering* // *SEC '23: Proceedings of the 32nd USENIX Conference on Security Symposium* (Anaheim, CA, USA, 9–11 August 2023), Berkeley: USENIX Ass..— 2023.— ISBN 978-1-939133-37-3.— Pp. 7179–7193.— id. 402.  [↑399](#)
- [263] *Intel® Trust Domain Extensions*, White Paper.— 2022 (Accessed 14.08.2024).— 9 pp.  [↑399](#), [400](#), [401](#), [402](#)
- [264] Sunny A., Shrivastava N., Sarangi S. R. *SecScale: a scalable and secure trusted execution environment for servers*.— 2024.— 13 pp. [arXiv:2407.13572](#)  [↑399](#), [400](#), [402](#)
- [265] Akram A., Giannakou A., Akella V., Lowe-Power J., Peisert S. *Performance analysis of scientific computing workloads on general purpose TEEs* // *2021 IEEE International Parallel and Distributed Processing Symposium (IPDPS)* (Portland, OR, USA, 17–21 May 2021).— IEEE.— 2021.— ISBN 978-1-6654-1156-1.— Pp. 1066–1076.  [↑399](#), [400](#)
- [266] Miladinović D., Milaković A., Vukasović M., Stanisavljević Ž., Vuletić P. *Secure Multiparty Computation Using Secure Virtual Machines* // *Electronics*.— 2024.— Vol. 13.— No. 5.— id. 991.— 25 pp.  [↑400](#)













- [267] Demigha O., Larguet R. *Hardware-based solutions for trusted cloud computing* // Computers & Security.– 2021.– Vol. **103**.– id. 102117. doi ↑400, 402
- [268] Li M., Wilke L., Wichelmann J., Eisenbarth Th., Teodorescu R., Zhang Y. *A systematic look at ciphertext side channels on AMD SEV-SNP* // 2022 IEEE Symposium on Security and Privacy (SP) (San Francisco, CA, USA, 22–26 May 2022).– IEEE.– 2022.– ISBN 9781665413176.– Pp. 337–351. doi ↑400
- [269] Intel® *Trust Domain Extension Research and Assurance*, Version 2.0.– 2024 (Accessed 15.08.2024^(*)). URL ↑400, 401
- [270] Wang W., Song L., Mei B., Liu Sh., Zhao Sh., Yan Sh., Wang X.-F., Meng D., Hou R. *NestedSGX: bootstrapping trust to enclaves within confidential VMs.*– 2024.– 16 pp. arXiv:2402.11438 ↑402
- [271] Stephan C., Rahman R. *Balanced Memory Configurations for 2-Socket Servers with 4th and 5th Gen Intel Xeon Scalable Processors.*– 2024 (Accessed 21.08.2024).– 13 pp. URL ↑402
- [272] Lesmanne S. et al. *Rise of Volumetric Data and Scale-Up Enterprise Computing.*– 2021 (Accessed 8.08.2024^(**)). URL ↑402
- [273] *HPE Compute Scale-up Server 3200.*– 2023 (Accessed 10.08.2024).– 7 pp. URL ↑403
- [274] *HPE Compute Scale-up 3200 Server Performance Tuning Guide* (Accessed 12.05.2025). URL ↑403
- [275] *Microsoft Eagle ND v5 System* (Accessed 21.08.2024). URL ↑403
- [276] Turisini M., Amati G., Cestari M. *LEONARDO: A pan-European pre-exascale supercomputer for HPC and AI applications.*– 2023.– 16 pp. arXiv:2307.16885 ↑403
- [277] *MareNostrum 5 System overview* (Accessed 21.08.2024). URL ↑403, 404
- [278] Shipman G. M., Swaminarayan S., Grider G., Lujan J., Zerr R. J. *Early Performance Results on 4th Gen Intel® Xeon® Scalable Processors with DDR and Intel® Xeon® processors, codenamed Sapphire Rapids with HBM.*– 2022.– 5 pp. arXiv:2211.05712 ↑404, 409, 453
- [279] *Technical Overview Of The Intel Xeon Scalable processor Max Series.*– 2022 (Accessed 11.08.2024^(*)). URL ↑405, 406
- [280] Kuo S., Cheng J. *Implementing High Bandwidth Memory and Intel Xeon Processors Max Series on Lenovo ThinkSystem Servers.*– 2024 (Accessed 24.09.2024).– 21 pp. URL ↑404, 406, 407, 408, 454, 455
- [281] McCalpin J. D. *Bandwidth limits in the Intel Xeon Max (Sapphire Rapids with HBM) processors* // High Performance Computing, ISC High Performance 2023 (Hamburg, Germany, 21–25 May 2023), Lecture Notes in Computer Science.– vol. **13999**, Cham: Springer.– 2023.– ISBN 978-3-031-40842-7.– Pp. 403–413. doi ↑405, 455, 456, 457, 465
- [282] Intel® Xeon® *CPU Max Series Configuration and Tuning Guide.*– 2023 (Accessed 12.08.2024).– 35 pp. URL ↑406
- [283] Fukazawa K., Takahashi R. *Performance evaluation of the fourth-generation Xeon with different memory characteristics* // HPCAsia '24 Workshops: Proceedings of the International Conference on High Performance Computing in Asia-Pacific Region Workshops (Nagoya, Japan, 25–27 January 2024), New York: ACM.– 2024.– ISBN 979-8-4007-1652-2.– Pp. 55–62. doi ↑407, 425, 453, 455, 457, 461, 462














- [284] Sanca V., Ailamaki A. *Post-Moore's Law Fusion: high-bandwidth memory, accelerators, and native half-precision processing for CPU-local analytics*, Joint Workshop sat 49th International Conference on Very Large Data Bases (VLDBW'23) — Workshop on Accelerating Analytics and Data Management Systems (ADMS'23) (Vancouver, Canada, August 28–September 1 2023), CEUR Workshop Proceedings.– vol. **3462**.– 2023.– id. ADMS1 (Accessed 13.08.2024).– 13 pp.  [↑408, 453, 454](#)
- [285] Munch A. O., Nassif N., Molnar C. L., Crop J., Gammack R., Joshi Ch. P. *2.3 Emerald Rapids: 5th-Generation Intel® Xeon® Scalable Processors // 2024 IEEE International Solid-State Circuits Conference (ISSCC)* (San Francisco, CA, USA, 18–22 February 2024).– IEEE.– 2024.– ISBN 979-8-3503-0621-7.– Pp. 40–42.  [↑409, 411, 412](#)
- [286] *5th Gen Intel® Xeon® Processors Product Brief*.– 2023 (Accessed 18.08.2024^(*)).  [↑409, 411, 412, 413](#)
- [287] *5th Gen Intel Xeon Scalable Processor XCC (Codename Emerald Rapids) Uncore Performance Monitoring Guide*, Rev. 001.– 2024 (Accessed 29.10.2024).– 353 pp.  [↑409](#)
- [288] Bai C., Huang J., Wei X., Ma Yu., Li S., Zheng H., Yu B., Xie Yu. *ArchExplorer: Microarchitecture exploration via bottleneck analysis // MICRO '23: Proceedings of the 56th Annual IEEE/ACM International Symposium on Microarchitecture* (Toronto, ON, Canada, 28 October 2023–1 November 2023), New York: ACM.– 2023.– ISBN 979-8-4007-0329-4.– Pp. 268–282.  [↑411](#)
- [289] Alcorn P. *Intel 'Emerald Rapids' 5th-Gen Xeon Platinum 8592+ Review: 64 Cores, Tripled L3 Cache and Faster Memory Deliver Impressive AI Performance*.– 2023 (Accessed 7.01.2025).  [↑411, 412, 413, 430, 436, 445](#)
- [290] *5th Gen Intel® Xeon® Scalable Processors* (Accessed 22.08.2024^(*)).  [↑411](#)
- [291] Morgan T. P. *Intel "Emerald Rapids" Xeon SPs: A Little More Bang, A Little Less Bucks*.– 2023 (Accessed 20.08.2024).  [↑411, 413](#)
- [292] Mujtaba H. *Intel 5th Gen Xeon CPUs Official: Emerald Rapids Compatible With Sapphire Rapids, Up To 64 Cores, 320 MB Cache, Prices Detailed*.– 2023 (Accessed 17.08.2024).  [↑412](#)
- [293] *Lenovo Launches New and Updated Servers with 5th Gen Intel Xeon Scalable Processors*.– 2023 (Accessed 21.02.2025).– 10 pp.  [↑412](#)
- [294] *Performance Tuning Guide*.– 2024 (Accessed 2.01.2024).  [↑414](#)
- [295] *CPU Practice Guide*.– 2024 (Accessed 2.01.2024).  [↑414](#)
- [296] *4th Generation Intel Xeon Scalable Processors* (Accessed 4.02.2025^(*)).  [↑414](#)
- [297] *5th Generation Intel® Xeon® Scalable Processors* (Accessed 4.02.2025^(*)).  [↑414](#)
- [298] *Accelerate with Xeon*.– 2023 (Accessed 22.12.2024).– 69 pp.  [↑414, 415](#)


















- [299] Afzal A., Hager G., Wellein G. *SPEChpc 2021 benchmarks on Ice Lake and Sapphire Rapids Infiniband clusters: A performance and energy case study // SC-W '23: Proceedings of the SC '23 Workshops of the International Conference on High Performance Computing, Network, Storage, and Analysis* (Denver, CO, USA, 12–17 November 2023), New York: ACM.– 2023.– ISBN 979-8-4007-0785-8.– Pp. 1245–1254.  [↑419, 420](#)
- [300] Laros III J. H., Pedretti K., Kelly S. M., Shu W., Ferreira K., Vandyke J., Vaughan C. *Energy delay product // Energy-Efficient High Performance Computing: Measurement and Tuning*, SpringerBriefs in Computer Science, London: Springer.– 2013.– ISBN 978-1-4471-4491-5.– Pp. 51–55.  [↑419](#)
- [301] Laukemann J., Gruber T., Hager G., Oryspayev D., Wellein G. *CloverLeaf on Intel multi-core CPUs: A case study in write-allocate evasion // 2024 IEEE International Parallel and Distributed Processing Symposium (IPDPS)* (San Francisco, CA, USA, 27–31 May 2024).– IEEE.– 2024.– ISBN 9798350387124.– Pp. 350–360.  [↑421](#)
- [302] *Fujitsu server performance report PRIMERGY TX2550 M7*.– 2024 (Accessed 24.02.2025).  [↑423](#)
- [303] *Fujitsu performance report PRIMERGY CX2550 M7 / CX2560 M7 v.1.3*.– 2024 (Accessed 22.02.2025).  [↑423, 424, 428, 434, 461](#)
- [304] *Memory performance of Xeon Scalable Processor (Sapphire Rapids / Emerald Rapids) based Systems v.1.1*.– 2024 (Accessed 25.09.2024).  [↑424](#)
- [305] Gray B., Dumas D., Shakshober D., Mehta M. *Red Hat Enterprise Linux performance results on 5th Gen Intel® Xeon® Scalable Processors*.– 2024 (Accessed 22.12.2024).  [↑425, 434](#)
- [306] *Fujitsu server performance report PRIMEQUEST 4400E v. 1.0*.– 2023 (Accessed 22.12.2024).  [↑426, 429](#)
- [307] Tatebe O. *Data and computational science driven by Persistent Memory supercomputer Pegasus*.– 2023 (Accessed 5.03.2025).– 19 pp.  [↑426](#)
- [308] Croci M., Wells G. N. *Mixed-precision finite element kernels and assembly: Rounding error analysis and hardware acceleration*.– 2024.– 37 pp. [arXiv](#)  [2410.12614](#) [↑426](#)
- [309] *Using Intel's new built-in AI acceleration engines*.– 2024 (Accessed 31.07.2024^(*)).– 57 pp.  [↑426, 427](#)
- [310] Kim H., Ye G., Wang N., Yazdanbakhsh A., Kim N. S. *Exploiting Intel® advanced matrix extensions (AMX) for large language model inference // IEEE Computer Architecture Letters*.– 2024.– Vol. **23**.– No. 1.– Pp. 117–120.  [↑426, 441](#)
- [311] Georganas E., Kalamkar D., Voronin K., Kundu A., Noack A., Pabst H. *Harnessing deep learning and HPC kernels via high-level loop and tensor abstractions on CPU architectures // 2024 IEEE International Parallel and Distributed Processing Symposium (IPDPS)* (San Francisco, CA, USA, 27–31 May 2024).– IEEE.– 2024.– ISBN 9798350387124.– Pp. 950–963.  [↑426, 447, 448](#)

- [312] *Отчет о тестировании масштабируемых процессоров Intel X Xeon 4-го поколения*, <https://axel.as-1.co.jp/images/pdf/hpcs/benchmark03.pdf>. – 2023 (Accessed 8.01.2025). – 20 с. (японский)  [↑429](#)
- [313] Marjanović V., Gracia J., Glass C. W. *Performance modeling of the HPCG benchmark // High Performance Computing Systems. Performance Modeling, Benchmarking, and Simulation*, 5th International Workshop, PMBS 2014 (New Orleans, LA, USA, 16 November 2014), Lecture Notes in Computer Science. – vol. **8966**, Cham: Springer. – 2015. – ISBN 978-3-319-17247-7. – Pp. 172–192.  [↑430](#)
- [314] Pareek S., Naik M., Veena K. *16G PowerEdge platform BIOS characterization for HPC with Intel Sapphire Rapids*. – 2023 (Accessed 8.01.2025).  [↑430](#), [431](#)
- [315] Heroux M., Dongarra J., Luszczek P. *HPCG technical specification*, Sandia Report SAND2013-8752. – Sandia National Laboratories. – 2013 (Accessed 8.03.2025). – 21 pp.  [↑431](#)
- [316] Fogli A., Zhao B., Pietzuch P., Bandle M., Giceva J. *OLAP on modern chiplet-based Processors // Proceedings of the VLDB Endowment*. – 2024. – Vol. **17**. – No. 11. – Pp. 3428–3441.  [↑433](#)
- [317] Plana-Riu J., Xavier Trias F., Alsalti-Baldellou A., Colomer G., Oliva A. *Performance analysis of parallel-in-time techniques in modern supercomputers // ECCOMAS: 9th European Congress on Computational Methods in Applied Sciences and Engineering* (Lisbon, Portugal, 3–7 June 2024). – International Centre for Numerical Methods in Engineering (CIMNE). – 2024. – ISBN 978-84-127483-6-9 (Accessed 20.03.2025). – 10 pp.  [↑434](#)
- [318] Larabel M. *Ubuntu 24.04 + Linux 6.9 Intel & AMD server performance*. – 2024 (Accessed 18.03.2025). – 10 pp.  [↑435](#), [436](#), [438](#), [466](#)
- [319] Larabel M. *Intel 5th Gen Xeon performance benchmarks: impressive efficiency gains with “Optimized Power Mode”*. – 2023 (Accessed 7.02.2025). – 10 pp.  [↑435](#)
- [320] Pareek S., Veena K., Naik M., Donthireddy P. *HPC Application Performance on Dell PowerEdge C6620 with Intel 8480+ SPR*. – 2023 (Accessed 30.11.2024).  [↑436](#), [439](#)
- [321] *NAMD GPU benchmarks and hardware recommendations*. – 2024 (Accessed 24.03.2025).  [↑438](#)
- [322] Prabhakaran A. et al. *Scalable End-to-End Enterprise AI on 4th Gen Intel Xeon Scalable Processors*, White Paper. – 2023 (Accessed 7.02.2025^(*)).  [↑440](#)
- [323] Huang W., Wang D., Zhou S., Li C., Xie Y., He P. *Accelerating deep learning workloads with advanced matrix extensions // 2023 5th International Conference on Machine Learning, Big Data and Business Intelligence (MLBDBI)* (Hangzhou, China, 15–17 December 2023). – IEEE. – 2023. – ISBN 9798350359923. – Pp. 70–73.  [↑441](#)
- [324] de Oliveira Silva J. V., Tahmid T., da Silva Pereira W. *Low precision and efficient programming languages for sustainable AI: Final report for the summer project of 2024*, NoNREL/TP-2C00-90910. – Golden, CO, USA: National Renewable Energy Laboratory (NREL). – 2024 (Accessed 10.05.2025). – 27 pp.  [↑441](#)






- [325] AbouElhamayed A. F., Dotzel J., Akhauri Y., Chang C.-C., Gobriel S., Pablo Muñoz J., Chua V. S., Jain N., Abdelfattah M. S. *SparAMX: Accelerating compressed LLMs token generation on AMX-powered CPUs.*— 2025.— 14 pp. arXiv:  2502.12444  ↑441
- [326] Quinn D., Nouri M., Patel N., Salihu J., Salemi A., Lee S., Zamani H., Alian M. *Accelerating retrieval-augmented generation // ASPLOS '25: Proceedings of the 30th ACM International Conference on Architectural Support for Programming Languages and Operating Systems.*— V. 1 (Rotterdam, Netherlands, 30 March 2025–3 April 2025), New York: ACM.— 2025.— ISBN 979-8-4007-0698-1.— Pp. 15–32.  ↑441
- [327] Saha S. *Taking on AI inferencing with 5th Gen Intel Xeon Scalable Processors.*— 2024 (Accessed 2.01.2025).  ↑441
- [328] *OpenVINO 2024.6* (Accessed 17.01.2025).  ↑441
- [329] *Benchmark suite results. MLPerf inference: datacenter.*— 2024 (Accessed 14.01.2025).  ↑441, 442
- [330] Eassa A., Nanjappa A., Jiang Zh., Zhang Y., Yang J., Kong Z., Xu Sh. *NVIDIA Blackwell Platform Sets New LLM Inference Records in MLPerf Inference v4.1.*— 2024 (Accessed 14.01.2025).  ↑442
- [331] Zhang T., Patel B., Sundararajan N., Engh J., Qiu Y., Tsai L., Iyengar T., Chukka R. *MLPerfTM Inference 4.0 on Dell PowerEdge Server with Intel® 5th Generation Xeon® CPU.*— 2024 (Accessed 25.03.2025).  ↑442
- [332] Zhang T., Patel B. *Running LLMs on Dell PowerEdge Servers with Intel® 4th Generation Xeon® CPUs.*— 2024 (Accessed 4.12.2025).  ↑442
- [333] Jithin V. G., Ditto P. S., Adarsh M. S. *Inference acceleration for large language models on CPUs.*— 2024.— 9 pp. arXiv:  2406.07553  ↑442
- [334] Chu A., Vance A. *Achieve Leading AI Performance with 5th Gen Intel Xeon Processors and Open Source AI Software*, upd. 6/14/2024 (Accessed 2.01.2024^(*)).  ↑443
- [335] Santana Pacheco F. *Performance evaluation of object detection in different architectures*, Master in High Performance Computing.— SISSA.— 2023 (Accessed 12.01.2025).— 62 pp.  ↑443, 453
- [336] Terven J., Cordova-Esparza D. *A comprehensive review of YOLO: From YOLOv1 and beyond.*— 2023.— 36 pp. arXiv:  2304.00501  ↑443
- [337] *Performance Data for Intel AI Data Center Products* (Accessed 15.01.2025^(*)).  ↑445
- [338] *Performance Data for Intel AI Data Center Products* (Accessed 15.01.2025^(*)).  ↑445
- [339] Abuzaina M., Bhuiyan A., Minakshi M. *Improve performance of TensorFlow AI Workloads Using 5th Gen Intel Xeon Scalable Processors.*— 2023 (Accessed 15.01.2025^(*)).  ↑445, 446

- [340] Jiang X., Minakshi M., Poornachandran R., Najnin Sh. *Power efficient deep learning acceleration using Intel Xeon Processors* // *2024 IEEE High Performance Extreme Computing Conference (HPEC)* (Wakefield, MA, USA, 23–27 September 2024).– IEEE.– 2024.– Pp. 1–6.  [↑446](#)
- [341] Hariharan R. *Leadership XGBoost Performance Outperforminh 5th Gen Intel Xeon.*– 2024 (Accessed 08.01.2026).  [↑448](#)
- [342] Gamblin T., LeGendre M., Collette M. R., Lee G. L., Moody A., de Supinski B. R. *The Spack package manager: bringing order to HPC software chaos* // *SC '15: Proceedings of the International Conference for High Performance Computing, Networking, Storage and Analysis* (Austin, TX, USA, 15–20 November 2015).– IEEE.– 2015.– ISBN 978-1-5090-0273-3.– Pp. 1–12.  [↑449](#)
- [343] *NVIDIA HPC application performance.*– 2024 (Accessed 9.10.2024).  [↑452](#)
- [344] *NAMD GPU benchmarks and hardware recommendations.*– 2024 (Accessed 12.01.2025).  [↑452](#)
- [345] Linford J. *Developing of Nvidia superchips.*– 2024 (Accessed 8.01.2025).– 73 pp.  [↑452](#)
- [346] Olenik G., Koch M., Boutanios Z., Anzt H. *Towards a platform-portable linear algebra backend for OpenFOAM* // *Meccanica.*– 2024.– Vol. **60.**– Pp. 1659–1672.  [↑452](#)
- [347] Halbiniak K., Rojek K., Iserte S., Wyrzykowski R. *Unleashing the potential of mixed precision in AI-accelerated CFD simulation on Intel CPU/GPU architectures* // *24th International Conference on Computational Science* (Málaga, Spain, 2–4 July 2024), *Lecture Notes in Computer Science.*– vol. **14837**, Cham: Springer.– ISBN 978-3-031-63777-3.– Pp. 203–217.  [↑453](#)
- [348] Sfiligoi I., Belli E. A., Candy J. *The benefits of HBM memory for CPU-based fusion simulations* // *PEARC '24: Practice and Experience in Advanced Research Computing 2024: Human Powered Computing* (Providence, RI, USA, 21–25 July 2024), New York: ACM.– 2024.– ISBN 979-8-4007-0419-2.– id. 103.– 2 pp.  [↑453](#),
462
- [349] Martin J. E., Feldman C., Calder A., Curtis T., Siegmann E., Carlson D., Gonzalez R., Wood D., Harrison R., Coskun F. *Benchmarking with Supernovae: A performance study of the FLASH code* // *PEARC '24: Practice and Experience in Advanced Research Computing 2024: Human Powered Computing* (Providence, RI, USA, 21–25 July 2024), New York: ACM.– 2024.– ISBN 979-8-4007-0419-2.– id. 8.– 9 pp.  [↑453](#)
- [350] Arslan V. *HBM Contribution to Intel Sapphire Rapids for Geophysical Workloads* // *EAGE Seventh High Performance Computing Workshop*, Volume 2023 (Lugano, Switzerland, 25–27 September 2023).– European Association of Geoscientists & Engineers.– 2023.– Pp. 1–5.  [↑453](#)
- [351] Li Z., Rickert G., Zheng N., Zhang Zh., Özgen-Xian I., Caviedes-Voullième D. *SERGHEI v2.0: introducing a performance-portable, high-performance three-dimensional variably-saturated subsurface flow solver (SERGHEI-RE)* // *Geoscientific Model Development.*– 2025.– Vol. **18.**– No. 2.– Pp. 547–562.  [↑453](#)

- [352] Piroozan N., Kumar N. *Enabling performant thermal conductivity modeling with DeePMD and LAMMPS on CPUs // Proceedings of the SC'23 Workshops of The International Conference on High Performance Computing, Network, Storage, and Analysis* (Denver, CO, USA, 12–17 November 2023), New York: ACM.– 2023.– ISBN 979-8-4007-0785-8.– Pp. 88–94.  [↑453](#)
- [353] Ibeid H. et al. *Performance Analysis of HPC applications on the Aurora Supercomputer: Exploring the Impact of HBM-Enabled Intel Xeon Max CPUs.– 2025.– 11 pp.*  [arXiv:2504.03632](#) [↑453, 454, 481](#)
- [354] McCalpin J. D. *Bandwidth limits in the Intel Xeon Max (Sapphire Rapids with HBM) processors // High Performance Computing, ISC High Performance 2023* (Hamburg, Germany, May 21–25 2023), Lecture Notes in Computer Science.– vol. **13999**, Cham: Springer.– 2023.– ISBN 978-3-031-40842-7.– Pp. 403–413 (Accessed 26.02.2025).   [↑455, 456, 457, 465, 470](#)
- [355] Wang Y., McCalpin J. D., Li J., Cawood M., Cazes J., Chen H., Koesterke L., Liu H., Lu Ch.-Y., McLay R., Milfield K., Ruhela A., Semeraro D., Zhang W. *Application performance analysis: a report on the impact of memory bandwidth // High Performance Computing, ISC High Performance 2023* (Hamburg, Germany, May 21–25 2023), Lecture Notes in Computer Science.– vol. **13999**, Cham: Springer.– 2023.– ISBN 978-3-031-40842-7.– Pp. 339–352 (Accessed 18.05.2025).   [↑457, 462, 465](#)
- [356] Ristow Hadlich R., Verma G., Curtis T., Siegmann E., Assanis D. *A64FX enables engine decarbonization using deep learning // PEARC'24: Practice and Experience in Advanced Research Computing 2024: Human Powered Computing* (Providence, RI, USA, 21–25 July 2024), New York: ACM.– 2024.– ISBN 979-8-4007-0419-2.– id. 52.– 5 pp.  [↑458](#)
- [357] Simakov N. A., Jones M. D., Furlani T. R., Siegmann E., Harrison R. J. *First impressions of the NVIDIA Grace CPU Superchip and NVIDIA Grace Hopper Superchip for scientific workloads // Proceedings of the International Conference on High Performance Computing in Asia-Pacific Region Workshops* (Nagoya, Japan, 25–27 January 2024), New York: ACM.– 2024.– ISBN 979-8-4007-1652-2.– Pp. 36–44.  [↑459, 460, 481](#)
- [358] Larabel M. *Intel Xeon Max Enjoying some performance gains with Linux 6.6.– 2023* (Accessed 11.04.2025).  [↑462](#)
- [359] Larabel M. *Intel Xeon Max 9480/9468 show significant uplift in HPC & AI workloads with HBM2e.– 2023* (Accessed 9.04.2025).  [↑462, 463, 464, 465](#)
- [360] Kutzner C., Miletić V., Rodríguez K. P., Rampp M., Hummer G., de Groot B. L., Grubmüller H. *Scaling of the GROMACS molecular dynamics code to 65k CPU cores on an HPC cluster // Journal of Computational Chemistry.– 2025.– Vol. 46.– No. 5.– id. e70059.*  [↑464](#)
- [361] *Mdsv3 Very High Memory series.– 2024* (Accessed 13.04.2025).  [↑466](#)
- [362] *Серия размеров Dlsv5.– 2024* (Accessed 13.04.2025).  [↑466](#)

- [363] Britton L., Malamed S. *Public preview: new AMD-based VMs with increased performance, Azure Boost, and NVMe support.*— 2023 (Accessed 6.10.2024).  [↑466](#)
- [364] Yun C. *New – Amazon EC2 Hpc7a instances powered by 4th Gen AMD EPYC™ processors optimized for high performance computing.*— 2023 (Accessed 13.04.2025).  [↑467](#)
- [365] *Developer clouds for accelerated computing* (Accessed 13.04.2025^(*)).  [↑467](#)
- [366] Thiagarajan M. *Announcing World's Largest, first Zettascale AI supercomputer in the Cloud.*— 2024 (Accessed 13.04.2025).  [↑467](#)
- [367] Morgan T. P. *Intel rounds out “Granite Rapids” Xeon 6 with a slew of chips.*— 2025 (Accessed 17.05.2025).  [↑467, 474](#)
- [368] Powell M. D., Fleming P., Rangarajan V. I., Lakkakula N., Ravisundar S., Mosur P. *Intel Xeon 6 product family* // IEEE Micro.— 2025.— Vol. 45.— No. 3.— Pp. 31–40.  [↑467, 468](#)
- [369] Gianos C. *Architecting for flexibility and value with Next Gen Intel® Xeon® processors* // 2023 IEEE Hot Chips 35 Symposium (HCS) (Palo Alto, CA, USA, 27–29 August 2023).— IEEE.— 2023.— ISBN 9798350339086.— Pp. 1–15.  [↑468](#)
- [370] *5th Gen AMD EPYC™ Processor Architecture 1st ed*, whitepaper.— 2025 (Accessed 25.04.2025).— 19 pp.  [↑469](#)
- [371] *AMD EPYC™ 9005 Processor Architecture Overview*, whitepaper.— 2025 (Accessed 25.04.2026).— 11 pp.  [↑469](#)
- [372] Singh T., Oliver S., Rangarajan S., Southard S., Henrion C., Schaefer A. *“Zen 5”: The AMD high-performance 4nm x86-64 microprocessor core* // 2025 IEEE International Solid-State Circuits Conference (ISSCC) (San Francisco, CA, USA, 16–20 February 2025).— IEEE.— 2025.— Pp. 1–3.  [↑469](#)
- [373] Cohen B., Subramony M., Clark M. *Next generation “Zen 5” core* // 2024 IEEE Hot Chips 36 Symposium (HCS) (Stanford, CA, USA, 25–27 August 2024).— IEEE.— 2024.— Pp. 1–27.  [↑469, 470](#)
- [374] *Zen 5 – Microarchitectures – AMD* (Accessed 26.04.2025).  [↑469](#)
- [375] Larabel M. *Intel Xeon 6980P 1S performance with DDR5-6400/MRDIMM-8800* (Accessed 24.11.2024).  [↑469](#)
- [376] *Intel® Xeon® 6, Performance Index.*— 2025 (Accessed 26.04.2025^(*)).  [↑470, 471](#)
- [377] Sehgal R. et al. *Optimizing system memory bandwidth with Micron CXL memory expansion modules on Intel Xeon 6 processors.*— 2024.— 7 pp. arXiv: 2412.12491 [↑470](#)
- [378] Larabel M. *AVX-512 performance with 256-bit vs. 512-bit data path for AMD EPYC™ 9005 CPUs.*— 2024 (Accessed 12.10.2024).  [↑470](#)
- [379] *OpenFOAM on 5th Gen AMD EPYC™ Processors.*— 2024 (Accessed 1.12.2024).  [↑471](#)
- [380] Siddiqi S., Kern R., Boehm M. *SAGA: a scalable framework for optimizing data cleaning pipelines for machine learning applications* // Proceedings of the ACM on Management of Data.— 2023.— Vol. 1.— No. 3.— id. 218.— 26 pp.  [↑476](#)

- [381] Shen Y., Ren X., Lu Yu., Jiang H., Xu H., Peng D., Li Y., Zhang W., Cui B. *Rover: An online Spark SQL tuning service via generalized transfer learning* // *KDD '23: Proceedings of the 29th ACM SIGKDD Conference on Knowledge Discovery and Data Mining* (Long Beach, CA, USA, 6–10 August 2023), New York: ACM.– 2023.– ISBN 979-8-4007-0103-0.– Pp. 4800–4812. doi ↑476
- [382] Li Y., Jiang H., Shen Y., Fang Y., Yang X., Huang D., Zhang X., Zhang W., Zhang C., Chen P., Cui B. *Towards general and efficient online tuning for spark.*– 2023.– 14 pp. arXiv:2309.01901 ↑476
- [383] Xin J., Hwang K., Yu Z. *LOCAT: Low-overhead online configuration auto-tuning of Spark SQL applications* // *SIGMOD '22: Proceedings of the 2022 International Conference on Management of Data* (Philadelphia, PA, USA, 12–17 June 2022), New York: ACM.– 2022.– ISBN 978-1-4503-9249-5.– Pp. 674–684. doi ↑476
- [384] Perera N., Sarker A. K., Staylor M., von Laszewski G., Shan K., Kamburugamuve S., Widanage C., Abeykoon V., Kanewela T. A., Fox G. *In-depth analysis on parallel processing patterns for high-performance Dataframes* // *Future Generation Computer Systems.*– 2023.– Vol. 149.– Pp. 250–264. doi ↑476
- [385] Özdil U. E., Ayvaz S. *An experimental and comparative benchmark study examining resource utilization in managed Hadoop context* // *Cluster Computing.*– 2023.– Vol. 26.– No. 3.– Pp. 1891–1915. doi ↑476
- [386] Yuan Y., Salmi M. F., Huai Y., Wang K., Lee R., Zhang X. *Spark-GPU: An accelerated in-memory data processing engine on clusters* // *2016 IEEE International Conference on Big Data (Big Data)* (Washington, DC, USA, 05–08 December 2016).– IEEE.– 2016.– ISBN 978-1-4673-9005-7.– Pp. 273–283. doi ↑476
- [387] Li P., Luo Y., Zhang N., Cao Y. *HeteroSpark: A heterogeneous CPU/GPU Spark platform for machine learning algorithms* // *2015 IEEE International Conference on Networking, Architecture and Storage (NAS).*– IEEE.– 2015.– ISBN 9781467378901.– Pp. 347–348. doi ↑476
- [388] Malakar R., Vydyanathan N. *A CUDA-enabled Hadoop cluster for fast distributed image processing* // *2013 National Conference on Parallel Computing Technologies (PARCOMPTECH)* (Bangalore, India, 21–23 February 2013).– IEEE.– 2013.– ISBN 9781479915903.– Pp. 1–5. doi ↑476
- [389] Abbasi A., Khunjush F., Azimi R. *A preliminary study of incorporating GPUs in the Hadoop framework* // *The 16th CSI International Symposium on Computer Architecture and Digital Systems (CADS 2012)* (Shiraz, Fars, Iran, 02–03 May 2012).– IEEE.– 2012.– ISBN 978-1-4673-1481-7.– Pp. 178–185. doi ↑476
- [390] Azeem M., Abualsoud B. M., Priyadarshana D. *Mobile Big Data analytics using deep learning and Apache Spark* // *Mesopotamian Journal of Big Data.*– 2023.– Vol. 2023.– Pp. 16–28. doi ↑476
- [391] Wu R., Wang Y., Kutscher D. *Affordable HPC: leveraging small clusters for big data and graph computing.*– 2024.– 9 pp. arXiv:2408.15568 ↑476, 479

- [392] Prichard R., Strasser W. *A Novel HPC scaling optimization methodology* // *Proceeding of 7th Thermal and Fluids Engineering Conference (TFEC)* (Begellhouse, Las Vegas, NV, USA, 15–18 May, 2022).– 2022.– ISBN 978-1-56700-544-8.– Pp. 183–192.  [↑476](#)
- [393] Rogowski M., Dalcin L., Parsani M., Keyes D. E. *Performance analysis of relaxation Runge–Kutta methods* // *The International Journal of High Performance Computing Applications*.– 2022.– Vol. **36**.– No. 4.– Pp. 524–542.  [↑477](#)
- [394] Che Y., Xu C., Fang J., Wang Y., Wang Z. *Realistic performance characterization of CFD applications on Intel Many Integrated Core architecture* // *The Computer Journal*.– 2015.– Vol. **58**.– No. 12.– Pp. 3279–3294.  [↑477](#)
- [395] Prichard R., Strasser W. *When fewer cores is faster: a parametric study of undersubscription in high-performance computing* // *Cluster Computing*.– 2024.– Vol. **27**.– Pp. 9123–9136.  [↑477](#)
- [396] Hammond S., Vaughan C., Hughes C. *Evaluating the Intel Skylake Xeon processor for HPC workloads* // *2018 International Conference on High Performance Computing & Simulation (HPCS)* (Orleans, France, 16–20 July, 2018).– IEEE.– 2018.– ISBN 9781538678800.– Pp. 342–349.  [↑477](#)
- [397] Zhang T., Shirzad Sh., Wagle B., Lemoine A. S., Diehl P., Kaiser H. *Supporting OpenMP 5.0 Tasks in hpxMP – a study of an OpenMP implementation within Task Based Runtime Systems*.– 2020.– 12 pp. [arXiv:2002.07970](#)  [↑477](#)
- [398] Prichard R., Strasser W. *An intuitive multi-objective, multi-variable high-performance computing optimization methodology* // *International Journal of Computational Fluid Dynamics*.– 2024.– Vol. **38**.– No. 8–9.– Pp. 610–616.  [↑478](#)
- [399] Chang J., Lu K., Guo Y., Wang Y., Zhao Zh., Huang L., Zhou H., Wang Y., Lei F., Zhang B. *A survey of compute nodes with 100 TFLOPS and beyond for supercomputers* // *CCF Transactions on High Performance Computing*.– 2024.– Vol. **6**.– No. 3.– Pp. 243–262.  [↑478, 479](#)
- [400] *HPC6, supercomputer at the service of energy* (Accessed 20.04.2025).  [↑](#)
- [401] *GPU nodes — LUMI-G* (Accessed 18.04.2025).  [↑](#)
- [402] *Perlmutter architecture* (Accessed 18.04.2025).  [↑](#)
- [403] *HPE Cray Supercomputing EX QuickSpecs v.19*.– 2024 (Accessed 19.04.2025).– 19 pp.  [↑480, 481](#)
- [404] Fusco L., Khalilov M., Chrapek M., Chukkapalli G., Schulthess Th., Hoefer T. *Understanding data movement in tightly coupled heterogeneous systems: A case study with the Grace Hopper superchip*.– 2024.– 12 pp. [arXiv:2408.11556](#)  [↑481](#)
- [405] *AMD Instinct MI300A APU Datasheet*.– 2023 (Accessed 21.01.2025).– 2 pp.  [↑481](#)

(*) Сайт закрыт для российских пользователей (*прим. ред*);

(**) Источник недоступен редакции журнала (*прим. ред*).

Приложение. Используемые в статье сокращения

Здесь приводятся только некоторые, не самые крайне широко используемые в соответствующей научной литературе сокращения (с точки зрения автора), которые применяются в тексте статьи в самых разных разделах, а не только в ориентированных на конкретные модели процессоров.

Общие сокращения

1P	one-processor	. . . 2.1, 2.2, 2.3, 2.4, 3.2, 4.1, 4.2, 4.3, 4.4, 6, 7
2P	two-processor	<i>Введение</i> , 1.1, 1.3, 2.1, 2.2, 2.3, 2.4, 3, 3.1, 3.2, 4.1, 4.2, 4.3, 4.4, 6, 7
4P	four-processor 2.4
8P	eight-processor 2.4
1DPC	One DIMM per channel 2.2, 2.4, 3.1, 3.3, 4.1
2DPC	Two DIMM per channel 2.2, 2.4, 3.1, 3.3, 4.1
ACPI	Advanced Configuration and Power Interface	. . . 1.2, 3.2
FMA	Fused multiply-add 2.1, 2.4, 3
NPB	NAS Parallel Benchmarks 2.4, 4.1, 4.3, 4.4, 6
PTS	Phoronix Test Suite	. . . <i>Введение</i> , 2.4, 4.1, 4.2, 4.3, 4.4, 6, 7
SKU	Stock Keeping Unit (стандартное во всем мире сокращение для кода любого товара) 2.2, 3, 3.1, 3.2, 3.3
SMT	Simultaneous multithreading	<i>Введение</i> , 2, 2.2, 2.3, 2.4, 3, 3.1, 4.1

Сокращения для аппаратных средств AMD:

CCD	Core Complex Die 2.2, 2.3, 2.4, 3
CCX	Core Complex 2.1, 2.2, 2.4
GMI	Global Memory Interface 2.2
IF	Infinity Fabric 2.2, 2.3, 3
IOD	I/O Die (теперь применяется также в Xeon 6)	2.2, 2.3, 6, 7
NPS	Nodes Per Socket 2.2, 2.3, 2.4, 7
xGMI	eXternal Global Memory Interconnect 2.2, 2.3

Сокращения для аппаратных средств Intel:

1LM	one-level memory 3.2
2LM	two-level memory 3.2

AMX	Advanced Matrix Extensions	1.3, 2.1, 3.1, 3.2, 3.3, 4.1, 4.2, 6, 7
EMR	Emerald Rapids	Введение, 2.4, 3, 3.1, 3.3, 4, 4.1, 4.2, 4.3, 4.4, 6, 7
ICL	Ice Lake	Введение, 1.1, 2.1, 2.4, 3, 3.1, 4.1, 4.3, 4.4
OPM	Optimized Power Mode	3.1, 4.1, 4.2
SNC	4 sub-NUMA clustering	3, 3.1, 3.2, 3.3, 4.1, 4.4
SPR	Sapphire Rapids	Введение, 1.1, 1.2, 1.3, 2.1, 2.4, 3, 3.1, 3.2, 3.3, 4, 4.1, 4.2, 4.3, 4.4, 6, 7
UPI	Ultra Path Interconnect	3, 3.1, 3.2, 3.3, 6

Аналоги терминов Intel и AMD:

AMD	Intel
NPS	SNC
xGMI	UPI

Поступила в редакцию 31.05.2025;
одобрена после рецензирования 14.10.2023;
принята к публикации 10.11.2025;
опубликована онлайн 15.01.2026.

Рекомендовал к публикации

д.ф.-м.н. С. М. Абрамов

Информация об авторе:



Михаил Борисович Кузьминский

старший научный сотрудник лаборатории компьютерного обеспечения химических исследований, кандидат химических наук ИОХ РАН. Научные интересы – высокопроизводительные вычисления, аппаратура ЭВМ, вычислительная химия.



0000-0002-3944-8203

e-mail: kus@free.net

Декларация об отсутствии личной заинтересованности: *благополучие автора не зависит от результатов исследования.*